

# 소 특 집

## 고속/고밀도 인쇄회로기판 기술

고 영 주

대덕전자 부설연구소 개발1팀

### I. 서 론

전자산업의 급속한 디지털화, 네트워크화 및 mobile화가 진행되고 있는 가운데, 통신기기, 반도체, Package, Mobile 기기, LCD 등 전자 제품이 급속히 고속화 및 고집적화 되고 있다. 따라서 모든 전자 제품의 기초가 되는 인쇄회로기판(PCB) 역시 고속화 및 고집적화에 대응을 위한 새로운 기술이 적용되고 있다. 우선 고속 신호 전송을 위한 PCB가 필요하고, 이를 위하여 저유전상수(3.8 이하), 저유전손실(0.010 이하)의 원재료가 필요하고, 이들 원재료의 가공기술이 중요한 과제로 대두되고 있다. Passive 부품 수를 감소시켜 부품 및 실장에 소요되는 total cost를 줄이고, Noise 등을 감소시키기 위해 PCB 속에 Capacitor나 Resistor를 내장하는 Embedded Passive 기술 또한 최근 주목되고 있는 기술이다. PCB 회로의 특성 impedance (이하 impedance) 관리는 이미 오래 전부터 이야기되었지만 최근에는 거의 모든 PCB에서 impedance 관리는 필수사항이 되었고 differential impedance, coplanar impedance 등 새로운 개념의 impedance의 요구가 증가되고 있다. Mobile phone을 시작으로 적용된 Microvia는 협 pitch의 CSP의 증가로 거의 모든 분야에서 그 요구가 증가되고 있다.

본 고에서는 1) 고속화에 대응하는 PCB 기술, 2) Microvia를 갖는 HDI(High Density Interconnection) 기술, 3) Embedded Passive

기술을 중심으로 PCB의 기술 변화와 그에 따른 과제 등에 대하여 기술코자 한다.

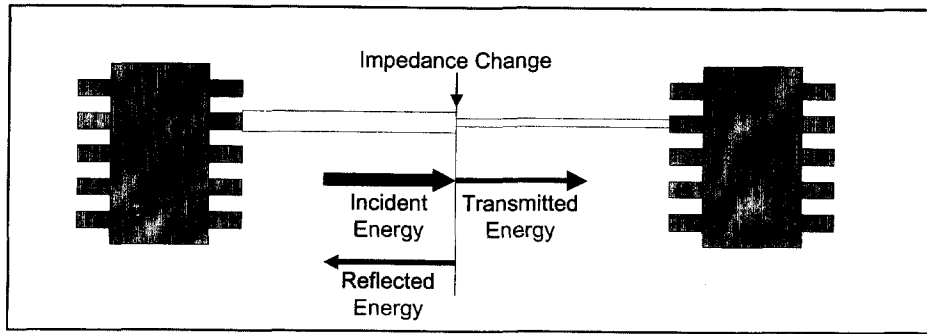
### II. High Speed 대응 기술

#### 1. Impedance 기술

Impedance는 10여년 전부터 소개되었고, 국내의 리딩 PCB maker가 약 10년전부터 생산을 개시했고, 96년경 memory module 분야에서 까지 impedance matching을 요구함에 따라 최근에는 범용기술화 되었으나, 그 중요성이 매우 커 기술하지 않을 수 없다.

높은 전송 속도를 갖는 신호에서, 즉 신호의 change level이 짧을 때, impedance 변곡점에서는 신호의 반사가 일어나고 반사된 신호가 다음 번 신호와 부딪쳐 다음 번 신호에 영향을 미치므로, 반도체 등의 오동작을 야기시킨다. 따라서 mother board와 sub-board 간의, PC에서는 주기판과 memory module 기판간의, impedance matching이 필요하고, 또한 PCB와 terminator 등 부품간의 impedance matching이 필요하다.

〈그림 1〉은 impedance의 변화 점에서의 신호 energy의 반사를 그림으로 나타내었다. 일반적으로 사람들은 (부품의 rise time)/(Propagation delay time)이 8보다 작을 때 impedance matching이 필요하다고 말하고 혹자는 4보다 작을 때 impedance matching이 의미를 갖는



〈그림 1〉 Impedance 변화 점에서의 energy의 반사

다고 한다.

$$Tpd(\text{ns/m}) = L \cdot \sqrt{Dk} / Vc \quad \dots\dots(\text{식 1})$$

; Tpd=Propagation delay time,  
L=Length of Trace,  
Vc=Velocity of Light

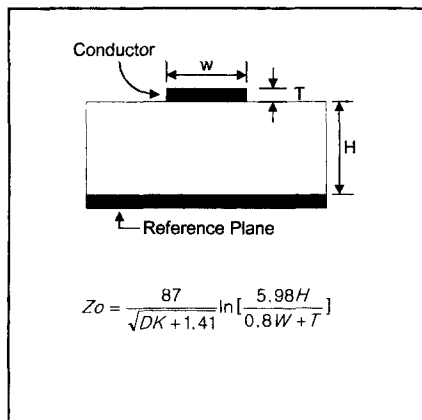
식 1에서 PCB의 유전재료의 Dk(Dielectric constant)를 4.0으로 가정하고, PCB에서 문제 시되는 회로의 길이를 15cm일 때, 식 1에 의하여 Tpd는 1ns임을 알 수 있다. Rise time이 10ns인 TTL을 사용할 때는 (부품의 rise time)/(Propagation delay time)이 10으로 8보다 크므로 impedance matching의 필요성이 없음을 알 수 있다 그러나 rise time이 1ns인 ECL

등을 사용하는 경우는 (부품의 rise time)/(Propagation delay time)이 1로 8(또는 4)보다 훨씬 작은 값을 가지므로 PCB에서 impedance가 중요함을 알 수 있다.

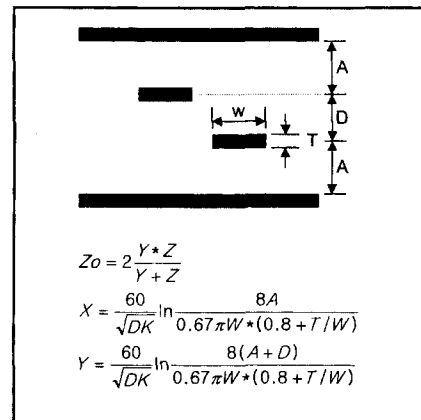
〈표 1〉과 〈표 2〉는 이론적인 Impedance의 계산식을 나타낸다.

상기의 식에서 보듯이 impedance는 회로폭 및 층간두께의 영향을 가장 많이 받는다. Impedance의 변화는 회로 폭이 좁으면 좁을수록 회로 폭의 변화에 따른 impedance 변화가 크고, 층간 두께가 얇을수록 층간 두께의 변화에 따른 impedance의 변화가 크다. 과거 4~5년 전에는 impedance를 관리하는 PCB의 회로 폭이나 층간 두께가 200um 내외였으나, 최근에는 100um 또는 그 이하의 층간 두께 및 회로 폭을

〈표 1〉 Microstrip에서 Impedance 이론식



〈표 2〉 Stripline에서 Impedance 이론식



갖는 설계가 증가함에 따라 +/-10% 정도의 impedance를 관리하기 위해서는 회로 폭 및 층간 두께를 +/-10um 이하로 관리하는 생산기술이 필요하게 되었다.

최근 3~4년 전부터 differential 신호를 이용하여 high clock rate, low EMI spectrum, low power consumption을 실현하는 경우가 증가하고, 이에 따라 differential impedance 관리가 필요한 제품의 증가하고 있다. 아직 국내의 네트워크는 differential signal의 적용사례가 미미한 실정이나, Cisco, Ericson, Nortel 등의 선진 업체들은 이미 98년 이후부터 대부분의 신규 개발에 differential signal 을 기본 설계로 채택하고 있다.

2. 저유전상수(Low Dk)와 저유전정접(Low Df)

고속의 신호전송을 위하여는 유전상수(Dielectric constant=Dk)가 작은 재료를 사용하는 것이 필수 사항이고, 전송신호의 손실을 최소화하기 위해서는 유전정접(유전손실=Df=Dissipation factor=Dielectric loss)가 낮은 자재를 사용하여야 한다. 식 2는 유전상수와 신호전송속도의 관계를, 식 3은 신호전송손실과 유전상수, 유전정접의 관계를 식으로 나타냈다.

$$V=C/\sqrt{Dk} \quad \dots\dots(식 2)$$

; V=신호전송속도, C=광속

$$Ad(dB/in) \propto f \cdot \sqrt{Dk} \cdot Df \quad \dots\dots(식 3)$$

; Ad=signal transmission loss,  
f=frequency

<표 3>와 <표 4>는 재료에 따른 신호의 전송속도와 손실을 표로 나타냈다.

최근 Router 등 Interface의 속도가 10Gbps 급에 이르면서 신호의 전송속도가 매우 중요한 문제로 대두되고 있다. 최근의 고속전송을 만족시키기 위해서는 기존의 FR-4(4.0 이상의 유전상수와 0.015 이상의 유전손실을 가짐)로는 그 성능을 다할 수 없음이 여러 통신 업체에서 제기되고 있다. 신호전송속도를 만족하고, 신호의 loss, 특히 peak loss를 줄이기 위해서는 2.5Gbps 이상의 system에서는 GETEK(GE), Megtron(Matsushita), N4000-13(Nelco) 등의 저 Dk(3.8 at 1GHz), 저 Df(0.010 at 1GHz)를 갖는 재료의 사용이 상식화되고 있다.

OC(Optical Carrier)-192, 즉 10Gbps의 전송속도를 갖는 System이 개발되었으나, 상용화를 하려는 과정에서 많은 문제점이 대두되며, 새로운 자재가 요구되고 있다. 최근 10Gbps의 전송을 위하여 PPE 자재나 Ceramide 자재의 적용 및 검토가 증가추세에 있다. 이들 신규 자재들은 저유전율/저유전손실을 기본으로 한 자재로 고주파의 신호전송에 유리하나, PCB process에 있어서 여러 가지 문제점을 갖고 있기 때문에, 적

<표 3> 재료의 유전상수에 따른 상대 신호전송속도

재료	FR-4	Polyimide	GETEK	Cynate Ester	PTFE
Dk	4.7	4.3	3.8	3.0	2.4
상대속도	100	105	111	125	140

<표 4> 재료의 유전상수 및 유전정접에 따른 상대 신호전송손실 재료

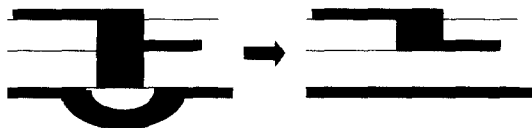
재료	FR-4	Polyimide	GETEK	Cynate Ester	PTFE
Dk	4.7	4.3	3.8	3.0	2.4
Df	0.018	0.015	0.010	0.010	0.001
상대손실	100	80	50	44	5

층공정 Desmear 공정 및 도금 공정, 그리고 PSR 공정 등에 대한 새로운 process의 정립이 필요하고, 더 나아가서 새로운 설비의 도입을 필요로 한다.

### III. HDI(High Density Interconnection)

최근 SMD pitch가 협 pitch화 됨에 따라 PCB의 회로밀도가 더욱 증가하고 있다. 회로의 고집적화를 위해서는 fine pattern화가 필수적이나, 더욱 중요한 것은 1) pad size를 감소시켜야 하고, 2) 층간 via를 형성하여 pad가 있는 부분에 대하여 pad가 있는 층 외의 내층이나 반대면 층에 자유롭게 회로나 pad를 형성하려는 요구가 증대되고 있다. 전통적인 mechanical drill로 blind via를 가공하는 방식으로도 타 층의 자유도를 얻을 수는 있으나, CSP나 micro BGA의 pad 폭이 0.25mm 이하가 됨에 따라 hole 크기가 0.15mm 이하인 microvia가 필요하다. 상기의 2가지 요구를 만족시키기 위한 방법으로는 현재의 기술에서 microvia를 적용하는 방법 외에는 다른 방법을 찾기 힘들다. 2~3년 전만해도 mobile 계열(휴대폰, PDA, Video Camera, DSC, Note PC 등)의 상품에 microvia를 적용하는 것이 일반적이었으나, 협 pitch의 BGA 제품의 증가에 따라 Network용 mother board, package용 substrate를 필두로 대부분의 제품에 microvia의 적용이 확대되고 있다.

Microvia를 갖는 PCB를 일본 등에서는 BUM(Build-up Multylayer) 기판이라 부르고 있으나, 구미 등지에서는 Microvia라고 부른다. 최



〈그림 2〉 관통 via를 Microvia로 전환함에 따른 타 층의 회로의 자유화

근 IPC 등에서 microvia를 갖는 PCB를 HDI라 명명함에 따라 HDI라 하면 Microvia를 갖는 PCB를 총칭한다.

Microvia를 형성하는 방법에는 Photo법, Laser법, Plasma법 등이 개발되어 있다. IBM Yasu에서 개발된 Photo 법이 Microvia가 양산에 적용된 시초나, 150um 이하의 via를 가공하기 어렵다는 점, 두께 관리가 어렵고, 절연특성 등의 신뢰성에 있어서 한계가 있고, 범용성이 적어 PCB 제조업체와 Set 업체가 공동으로 대응하지 않고는 양산적용에 어려움이 있다. 이에 따라 Photo법에 의한 HDI는 많은 PCB 업체에서 개발 및 검토를 진행하였으나, 양산에 이른 업체는 IBM Yasu, 이비텐 외에는 거의 없다.

Plasma법은 유럽의 일부회사가 소량 양산 한 바 있으나, 생산성이 떨어지고, 150um 이하의 작은 Microvia 형성이 어려워, 대부분의 PCB 제조업체가 그 방법을 적용하고 있지 않다 Laser에 의한 방법은, 처음 이 방법이 개발 되었을 때는 Laser에 의한 방법으로 얼마나 빠른 속도로 via를 가공할 수 있을까 의문시 되었으나, 최근 laser drilling 장비가 지속적으로 발전함에 따라, 1996년에는 가장 빠른 laser driller가 1초에 50 hole 남짓의 가공속도를 가지고 있었으나, 최근 상용화된 laser driller는, 물론 가공 parameter 설정이나, 가공하는 재료, 가공하는 process에 따라 차이는 있으나, 1초에 1000 hole 정도의 가공이 가능한 경우도 있다.

Laser를 사용하나 그 process가 완전히 다른 ALIVH법(마츠시다)이 일본의 휴대전화에 있어서는 그 적용이 상당량이 되고 있으나, 이 방식의 원가가 비싸다는 문제 때문에 일반적인 laser를 사용하는 HDI와 어디까지 가격경쟁력을 가질 수 있어 언제까지 양산이 지속될까 하는 의문점도 제기되고 있다.

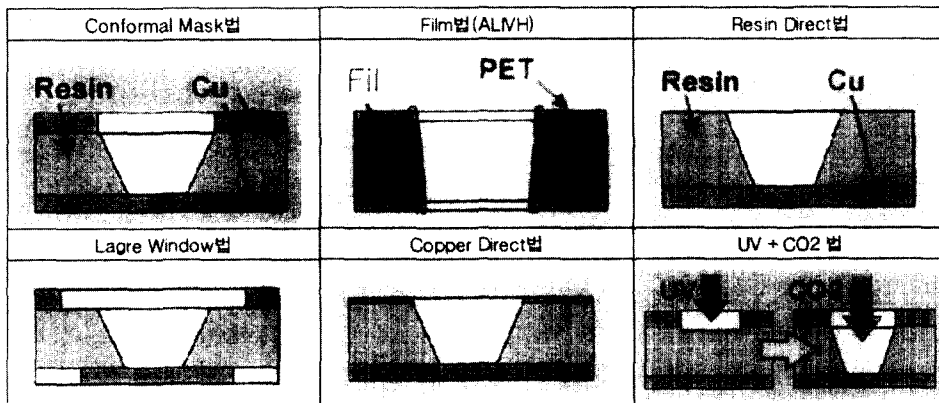
Bump를 이용하여 microvia를 가공하는 B2it법(도시바), NMBI법(North) 등에 대한 개발이 완료되었고 일부업체에서 양산중에 있다.

Laser를 microvia를 형성하는 방법은, conformal mask법, large window법, resin direct

법, copper direct법 등이 있다. Conformal mask법은 가장 널리 사용되고 있으며, 특히 한국과 일본의 대부분의 휴대전화용 기판은 이 방식으로 laser를 가공한다. Resin direct법은 열경화성 ink나 film을 microvia의 절연층으로 사용할 때의 방식으로 Burst 가공방식으로 laser를 가공할 수 있으므로 laser 생산성을 향상시킬 수 있다. 수지 위에 구리를 직접 도금해야 하기 때문에 수지와 구리간의 접착강도가 상대적으로 약하며 이의 해결을 위한 추가의 process가 필요하다, 도금후 표면의 구리의 두께가 얇아 fine pattern을 가공하기에 용이하다. Large window법은 conformal mask법의 개량으로 Burst 가공방식으로 laser 가공하여도 taper가 있는 microvia를 얻을 수 있으므로 laser 생산성을 향상시킬 수 있으나, window에 의해 생긴 단차가 후공정인 dry film 공정에서 불량률 야기할 수 있으나, 일본 등지에서 점차 이 공법이 증가하고 있다. Copper direct법은 우선 base 동박을 매우 얇게 한 후 동박 위에 oxide 처리 등을 실시하여 CO2 laser를 흡수할 수 있게하여, CO2 laser로 동박까지 뚫는 방식이다. 동박이 가공될 때 튀는 동 잔사가 laser drill 의 f $\ominus$  lens를 손상시킬 수 있으므로 장비의 focus 조절이 필요하고 이에 의한 생산성 감소가 있고, hole 주변의 burr가 문제점이어서, 현재 양산에 적용 실례는 없다. UV laser로 동박을 가공하고 수지는 CO2

로 가공하는 장비가 최근 개발되었으나, 장비의 가격이 비싸고, UV의 속도가 CO2 속도보다 상당히 느리다는 단점이 있다. 구미나 유럽 등지에서는 UV+CO2 방식이 conformal mask 형성이 필요없다는 장점을 가지고 있고, 생산하는 제품이 network 관련 제품으로 일본/아시아의 mobile 제품에 비하여 hole 수가 매우 적기 때문에 UV+CO2 방식을 많이 사용하고 있다.

Microvia를 형성하는데 있어서 또 하나의 관건은 어떤 재료를 절연층으로 사용하는가 하는 것이다. 우리나라의 경우 HDI의 대부분이 휴대전화고 이들 휴대전화의 대부분이 RCC(Resin Coated Copper)를 사용하고 있다. 하지만 Resin direct 공법에 사용되는 ink나 film 등도 사용되고 있다. Ink의 경우 일부 휴대전화에 사용되어 왔으며, RCC에 비하여 가격이 저렴하다는 이유로 그 성장이 커지리라 예상되었으나, 수지와 동박의 접착강도의 한계, 절연층의 두께 편차, 신뢰성문제 등으로 그 사용이 오히려 감소하고 있다. Film 등을 사용한 HDI 기판이(참고로 이 film이 Inter의 MPU 기판에 적용 됨) package용 substrate의 재료로 부각되고 있다. 하지만 최근 가장 장래가 보장된 듯이 보이는 재료는 일반 FR-4이다. FR-4는 기존의 PCB에 사용되는 가장 보편적인 재료로, 가격이 저렴하고 신뢰성 역시 이미 검증되어 있는 상태다. 단지 laser 가공성이 나쁘다는 단점과 laser via의 신뢰성에 문



〈그림 3〉 Laser에 의한 Microvia 형성방법

제가 있으리라는 편견 때문에 최근까지도 그 양이 증가하지 않았으나, 최근 laser drill 장비가 매우 빨라져 FR-4의 가공 cost가 상대적으로 줄어들었고, 2층 build-up 제품의 휨 문제를 해결하는 궁극적인 방법은 FR-4뿐이라는 생각이 점점 일반화되어 가고 있다. 더욱이 최근에는 laser drill 가공성이 좋은 glass를 사용한 FR-4가 기존의 FR-4보다 그다지 비싸지 않은 가격으로 여러 원재료업체에서 출시되고 있다.

Laser via는 최외층과 바로 아래층을 연결하는 것을 일반적인 것이라는 생각이 있었으나, 우리나라에서는 이미 HDI 기판을 개발되어 양산된 초기 시절부터 dual via(이 방식은 한국 외에서는 그다지 많이 사용되지 않기 때문에 국제적인 명칭이 없으나, 이 방식을 최초로 개발하여 특허를 갖고 있는 대덕전자는 dual via라 부른다. 최근 대만의 업체들도 이 방식의 PCB를 주요 개발품으로 광고하고 있다)방식을 양산하여 왔으나, 이 방식은 0.25mm 이하의 microvia 형성이 어렵다는 되는 단점이 있다. 최근 많은 PCB 업체에서 개발하고 있는 stacked via 방식은 이런 단점을 해결했으나, micro via hole 속을 메꾸는 방법에 어려움이 있어 아직 생산량은 미미하다.

2000년도 전세계 HDI 생산금액은 전체 PCB 생산액의 약 9%에 달한다. 한국의 경우 삼성전기가 약 1,700억원으로 전체 매출의 38% 대덕전자가 1,120억원으로 전체 매출의 32%에 달한다. 향후 이 비중은 더욱 커지리라 예상되며, 대부분의 PCB는 HDI화 되려는 전망이다. 향후 모든 PCB업체가 HDI를 생산하는 것은 기본사

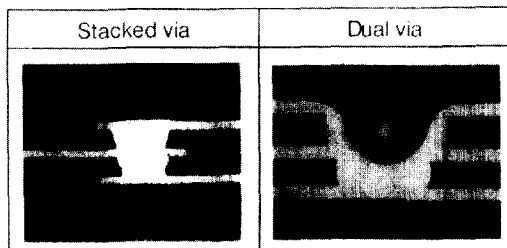
항이 되리라 예상된다. 문제는 누가 더 적은 cost로 HDI를 생산하는가, 누가 더 새로운 재료의 HDI 기판을 개발하는가, 누가 더 복잡한 HDI 기판을 양산에 성공하는지가 관건이 되리라 생각된다.

#### IV. 결론 및 전망

이상에서 언급한 바와 같이 최근의 주요 PCB 기술은 크게 두 가지 기술이 주류를 이루고 있다.

첫번째가 더 빠른 신호의 전송을 위한 기술이다. 이를 위하여 PCB 회로의 impedance 관리, Dk 및 Df가 낮은 재료의 적용이 필수적이다. 더 나아가서 solder joint에서 noise나 inductance의 감소를 위하여 passive 부품을 PCB에 내장하는 기술, 그리고 광섬유를 PCB에 내장하는 기술이 크게 발전되리라 전망된다.

두번째 기술은 HDI 기술로, 더 작은 microvia를 더 높은 생산성으로 가공하는 기술이 더욱 발전하며, 이 기술은 모든 PCB 회사의 기본 기술로 자리를 잡으리라 예상된다. . 문제는 누가 더 적은 cost로 HDI를 생산하는가, 누가 더 새로운 재료의 HDI 기판을 개발하는가, 누가 더 복잡한 HDI 기판을 양산에 성공하는지가 관건이 되리라 생각된다.



〈그림 4〉 Cross-section of stacked via and dual via

#### 저자 소개



高永周

1991년 2월 한양대학교 공과대학 금속공학과 석사, 1989년 2월 한양대학교 공과대학 금속공학과 졸업, 1992년~현재 : 대덕전자 부설연구소 개발 1팀 팀장