

MMIC 공정 기술

이성대, 이진구

동국대학교 밀리미터파 신기술연구센터(MINT)

I. 서 론

최근에 통신 서비스의 광대역화, 다양화, 초고속화 및 양질화 등을 위한 기술 개발이 급격히 요구되고 있다. 이러한 시대적 요구에 부응하기 위하여 사용 주파수 대역도 초고주파 및 밀리미터파 대역으로 확장되고 있다. 또한 언제나, 어디서나, 누구에게나 가능한 이동 및 무선 통신을 위하여 휴대용 단말기의 소형화와 대량 생산을 통한 단말기의 저가격화 기술이 핵심 부품의 MMIC (Monolithic Microwave Integrated Circuit)화 등을 이용하여 끊임없이 개발되고 있다.

MMIC란 GaAs의 높은 기판 저항을 이용하여 MESFET (Metal Semiconductor Field Effect Transistor), HEMT (High Electron Mobility Transistor) 및 HBT (Heterojunction Bipolar Transistor) 등의 능동 소자와 저항, 인덕터 및 캐패시터 등의 수동 소자를 단일 기판 위에 일괄적으로 제작되는 집적회로로, Si에 비해 높은 주파수에서 사용가능하고 잡음 특성 등이 우수하다는 장점을 가지고 있다.

MMIC는 국내의 Foundry 전문 업체에서 이들이 제공한 능동 소자 및 수동 소자 라이브러리를 이용하여 설계된 MMIC의 제작을 대행하여 주고 있다. 또한 한국전자통신연구원(ETRI)를 비롯한 국내 일부 연구소와 동국대를 비롯한 일부 대학에서도 MMIC 제작 연구를 하고 있다.

MMIC를 제작하기 위한 공정 기술은 산업체, 연구소 및 대학에서 각각의 개발된 독특한 공정 기술을 이용하고 있으나 그 기본적인 공정 기술

은 거의 동일하다. 본 글에서는 GaAs MMIC를 제작하기 위한 동국대학교 밀리미터파 신기술 연구센터(MINT) 공정 기술에 대해 중점적으로 논하기로 한다.

II. MMIC 제작을 위한 공정 기술

MMIC 제작 공정 기술로는 식각 및 금속층의 패턴 형성을 위한 묘화(lithography) 공정, 능동 소자간의 전기적으로 분리하기 위한 메사(mesa) 식각 공정, 금속과 반도체간의 전류 흐름을 원활하게 하기 위한 오믹(ohmic) 접촉 공정, 능동 소자 보호 및 캐패시터의 유전층을 형성하기 위한 유전 박막 형성 공정, 격리된 전극의 상호 연결을 위한 배선 공정 및 효과적인 열방출 및 접지를 위한 후면 공정 등이 있다. 다음에서 이러한 MINT 공정들에 대한 자세한 내용을 다루기로 한다.

1. 묘화 공정

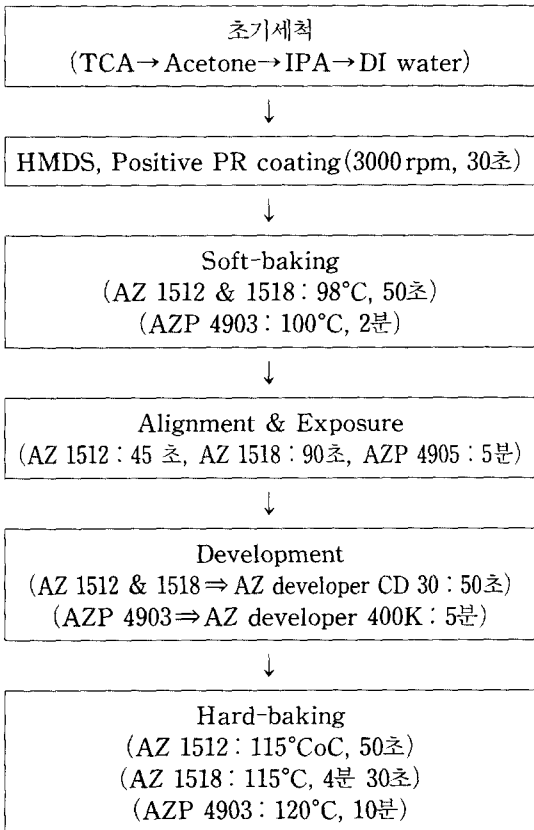
묘화 공정은 유전 박막 적층 공정을 제외한 모든 공정에서 선행되는 패턴 형성 공정으로, 조사되는 광원의 종류에 따라 광조사 묘화(photo lithography) 공정과 비광조사 묘화(non-optical lithography) 공정으로 분류된다. 광조사 묘화 공정에 사용되는 광원으로 250nm에서 450nm의 파장을 갖는 자외선(UV, Ultra Violet)을 사용하며, 비광조사 묘화 공정에서는 전자선(electron beam) 및 X선(X ray) 등을 사용한

다. 비광조사 묘화 공정에 사용되는 광원은 자외선에 비해 파장이 짧기 때문에 $1\mu\text{m}$ 이하의 미세 패턴 형성이 가능하다. MINT에서는 $0.2\mu\text{m}$ 및 $0.1\mu\text{m}$ 게이트 길이를 갖는 미세한 게이트 패턴 형성에 전자선 묘화 공정을 이용하며, 그 외의 공정에는 광조사 묘화 공정을 사용하고 있다.

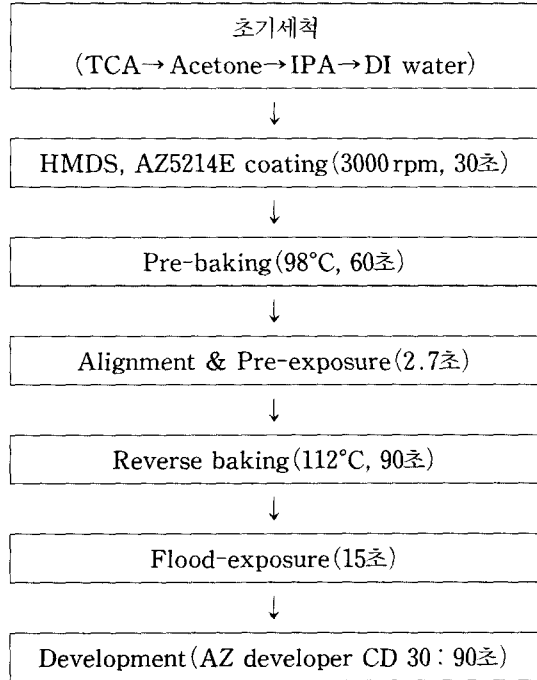
1) 광조사 묘화 공정 (Photo-lithography)

MINT에서는 매사 식각, 유전 박막 식각, 에어브리지 공정을 위한 PR(Photo-Resist) via 및 후면 via-hole 공정에 양성 묘화 공정, 오믹 및 전송 선로 형성을 위한 금속 증착 패턴에 영상반전공정 (IR process, Image Reversal process) 등의 광조사 묘화 공정을 사용하고 있다.

양성 묘화 공정에 사용된 PR은 격리 식각 및 유전 박막 식각 패턴용 AZ 1512, 에어브리지 공



〈그림 1〉 MINT의 양성 묘화 공정



〈그림 2〉 MINT의 영상 반전 공정

정에서 PR via 패턴용 AZ 1518 및 후면 via-hole 패턴용 AZP 4903 등이 있다. 〈그림 1〉은 MINT에서 사용된 양성 묘화 공정의 순서 및 조건을 나타낸 것이다.

금속 증착 패턴 형성을 위한 영상 반전 공정은 반전 베이킹 (reverse baking)을 통하여 패턴이 반대로 현상되는 것을 이용하는 것으로 현상 후 오버 행 (over-hang) 구조를 얻는데 용이하여 금속층 증착 공정에 있어 리프트 오프 (lift-off) 공정이 용이한 장점을 가지고 있다¹¹⁾. 영상 반전 공정에 사용된 PR은 AZ 5214E이며, 〈그림 2〉는 공정 순서 및 조건이다.

2) 전자선 묘화 공정 (Electron-beam lithography)

MMIC는 MESFET 또는 HEMT가 주로 능동 소자로 사용되고 있으며, 소자의 성능을 향상시키기 위하여 게이트 길이를 $1\mu\text{m}$ 이하로 감소시키고 있다. 현재 발표된 문헌상에서 가장 작은 게이트 길이는 전자선 묘화 공정을 이용한 25

nm로 소자의 성능 또한 많은 향상을 가져왔다^[2].

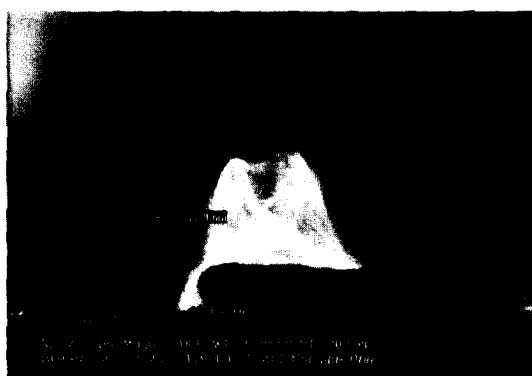
작은 게이트 길이는 소자의 주파수 특성을 향상시키지만 게이트의 단면적이 감소로 인해 게이트의 저항이 증가하게 되어 전력 이득 감소 및 잡음 지수의 증가 등을 야기하여 소자의 특성을 저하시킨다^[3]. 소자 특성 저하를 막기 위하여 작은 게이트 길이와 게이트 단면적이 큰 T-게이트 및 Γ -게이트 등의 머쉬룸(mushroom) 게이트 제작 공정 개발이 필수적이다. MINT에서는 게이트 길이가 $0.2\mu\text{m}$ 인 T 게이트와 $0.1\mu\text{m}$ 인 Γ 게이트를 개발하였다.

$0.2\mu\text{m}$ T 게이트 개발을 위해 PMMA4%/P(MMA-MAA) (PolyMethylMethAcrylate & Meth-AcrylicAcid)/PMMA4% 3층 구조의 레지스트를 사용하였다. 상기 레지스트는 2000/6000/2000 Å의 두께로 도포하였으며, 이중 노광 방법(double exposure method)을 사용하였다. 게이트 헤드(head)를 형성하기 위해 $0.375\text{nC}/\text{cm}^2$ 의 dose량으로 노광하였으며, 게이트 풋(foot)을 형성하기 위해 $4.5\text{nC}/\text{cm}$ 의 dose량으로 노광하였다. 각각의 노광된 패턴을 현상하기 위하여 세 가지의 현상액을 사용하였다. 게이트 헤드 패턴은 MCB(MonoChloro-Benzene)와 Methanol과 IPA(IsoPropylAlcohol)를 1:1로 혼합한 용액을 사용하여 각각 18초와 22초의 시간동안 현상하여 형성하였다. 게이트 풋은 MIBK(MethylIsoButylKetone)과 IPA를 1:3으로 혼합한 용액에 120초동안 현상하여 형성하였다. <그림 3>은 상기의 조건으로 현상된 게이트 패턴에 Ti/Au($500/4000\text{Å}$)를 증착한 게이트의 SEM 사진이다.

$0.1\mu\text{m}$ Γ 게이트는 MCB+PMMA4%(1:1.5)/P(MMA-MAA)/PMMA4%(1000/5800/1900 Å)의 레지스트 구조와 이중 노광 방법을 사용하여 제작되었다. 게이트 헤드는 $100\mu\text{C}/\text{cm}^2$ 의 dose량으로, 게이트 풋은 $900\mu\text{C}/\text{cm}^2$ 의 dose량으로 노광하였으며, MCB(MonoChloro-Benzene)와 Methanol과 IPA(IsoPropyl-Alcohol)를 1:1로 혼합한 용액을 사용하여 각각 12초와 24초의 시간동안 현상하여 게이트 헤



<그림 3> $0.2\mu\text{m}$ T 게이트



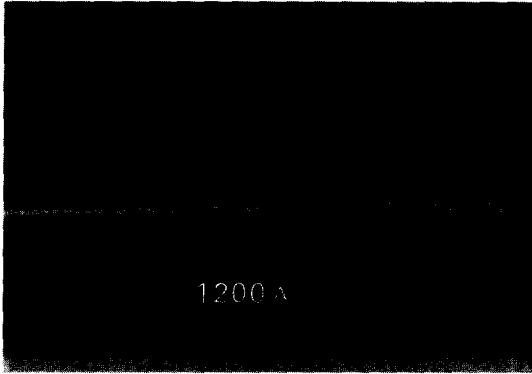
<그림 4> $0.1\mu\text{m}$ Γ 게이트

드 패턴을, MIBK와 IPA를 1:3으로 혼합한 용액에 120초동안 현상하여 게이트 풋을 형성하였다. <그림 4>는 제작된 $0.1\mu\text{m}$ Γ 게이트의 SEM 사진을 나타낸 것이다.

상기의 개발된 $0.2\mu\text{m}$ T 게이트와 $0.1\mu\text{m}$ Γ 게이트는 현재 밀리미터파 대역용 능동 소자 및 MMIC 제작 공정에 적용하고 있다.

2. 메사 식각 공정

MMIC는 종류에 따라 하나 이상의 능동 소자가 사용되며, 동일한 기판 위에 다수의 MMIC가 제작되기 때문에 소자간의 전기적인 격리가 중요하다. 또한 수동 소자도 일괄적으로 동일한 기판 위에 제작되어지며, 신호의 손실을 막기 위해 높은 저항의 기판 위에 제작되어야하기 때문에 반도체 기판의 능동 소자의 활성층 영역을 제외한



〈그림 5〉 메사 식각 계면

나머지 부분을 제거할 필요가 있다. 이를 위해 이온 주입 또는 식각 방법을 이용하여 기판의 활성층을 제거한다.

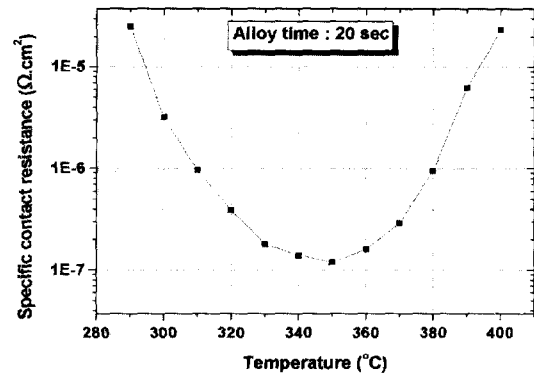
MINT에서는 메사 식각 공정을 위해 화학적 식각 용액을 이용한 습식 식각 공정을 사용한다. 식각에 사용되는 식각 용액은 황산(H₂SO₄), 과산화수소(H₂O₂) 및 초순수(D.I water; De-Ionized water)를 1: 8: 160의 비율로 혼합한 용액을 사용하고 있다. 식각 계면에서 금속 저항이 증가하는 것을 최소화하기 위하여 식각과 현상을 일정한 시간 주기로 반복하여 식각 계면을 계단 형태로 식각되는 방법을 사용한다. 상기의 식각 용액은 2700 Å/min의 식각율을 가지고 있으며, 25초 동안 식각한 후 형성되어 있는 패턴을 1분 동안 현상하고 다시 식각하는 방법을 3회 반복하여 3500 Å의 두께로 식각한다. 〈그림 5〉는 상기의 방법을 이용하여 식각된 계면 사진을 나타낸 것으로 계면이 1200 Å의 두께로 계단 형태로 이루어져 있는 것을 확인할 수 있다.

3. 오믹(ohmic) 접촉 공정

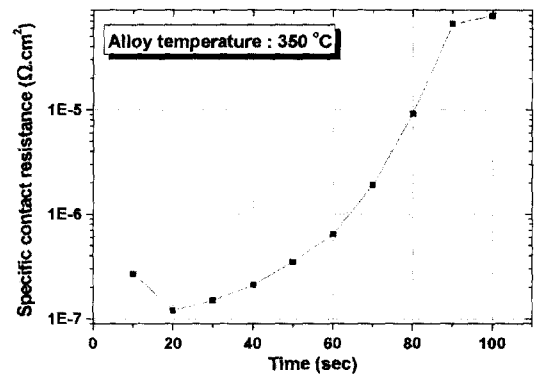
오믹 접촉은 반도체의 내부에서 외부로 또는 외부에서 내부로의 전류 흐름을 용이하게 하는 목적을 가지고 있으며, 오믹 접촉시 금속과 반도체간의 접촉면에서 저항이 작을수록 전기 전도가 유리하며, 이 때 전류-전압 특성은 시간 및 온도에 대해 선형적이고 안정적이다. 오믹 접촉을 형성하기 위해서는 GaAs 표면 도핑 농도가 10¹⁹

cm⁻³ 이상인 경우, 장벽의 얇은 윗부분에서 터널링(tunneling)이 발생하게 되어 경우에는 열처리 작업이 필요없이 오믹 접촉이 형성된다. 그러나 실질적으로 GaAs는 10¹⁹cm⁻³ 이상의 도핑 농도를 기대하기 어렵기 때문에 열을 가열하여 금속과 반도체간의 내부 확산을 통하여 오믹 접촉 저항을 줄여 주는 열처리(alloy) 공정을 수행한다. 이 때의 열처리 작업에서는 소자 격자에 열적 손상이 발생할 수 있기 때문에 공정의 최적화가 필요하다¹⁴⁾.

MINT에서는 오믹 접촉을 위해 AuGe/Ni/Au을 1250/280/1600 Å의 두께로 5×10⁻⁶ torr 이하의 열적 증착기를 이용하여 증착한 후 RTP (Rapid Thermal Process)를 이용하여 열처리 공정을 수행하고 있다. 오믹 접촉 저항을 결정하는 중요 변수인 열처리(alloying) 온도 및 시



〈그림 6〉 온도 변화에 따른 오믹 접촉 저항



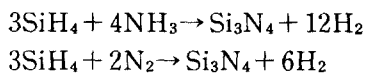
〈그림 7〉 시간 변화에 따른 오믹 접촉 저항

간을 변화시키면서 오믹 접촉 저항의 변화를 관찰하였다. 오믹 접촉 형성을 위한 열처리 공정은 290°C부터 400°C의 온도 조건과 10초에서 100초까지의 시간 조건으로 나누어 실시하였다. <그림 6>과 <그림 7>은 온도 및 시간의 변화에 따른 오믹 접촉 저항 (specific contact resistance) 을 나타낸 것으로, 350°C의 온도와 20초의 시간에서 $1 \sim 2 \times 10^{-7} \Omega \cdot \text{cm}^2$ 의 접촉 저항을 얻을 수 있었으며, 현재 오믹 접촉 형성을 위한 열처리 공정에서 상기의 공정 조건을 이용하고 있다.

4. 유전 박막 적층 공정

MMIC 내에서 유전 박막은 능동 소자의 보호 (passivation) 및 MIM (Metal-Insulator-Metal) 캐패시터의 유전 박막으로 사용된다. 이러한 소자의 passivation 및 MIM 캐패시터의 유전체로 일반적으로 Si_3N_4 가 사용되고 있으며, Si_3N_4 를 적층하기 위해 PE-CVD (Plasma Enhanced Chemical Vapor Deposition) 방법이 사용된다. Si_3N_4 는 SiO_2 보다 diffusion barrier가 좋고, 유전상수가 높아 초고주파 및 밀리미터파 대역의 MMIC를 위한 주된 유전 박막으로 이용되고 있으며, PE-CVD는 저온 (<400°C)에서 박막의 성장이 가능하기 때문에 저온 공정을 요구하는 MMIC 공정에서 MIM 캐패시터 및 passivation 층 형성을 위해 널리 사용되고 있다¹⁵⁾.

Si_3N_4 적층 공정 변수로는 적층에 사용되는 가스의 유입량, 플라즈마를 발생시키기 위한 RF power, 공정 중의 챔버 압력, 기판의 온도 등이 있다. 박막 적층에 사용되는 가스에는 SiH_4 , NH_3 및 N_2 등이 있으며, Si_3N_4 박막 형성시에 이루어지는 반응은 다음과 같다.

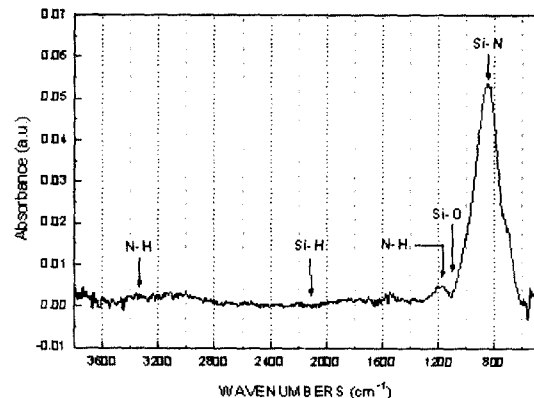


<표 1>은 MINT의 Si_3N_4 적층 공정 조건을 나타낸 것으로 적층된 Si_3N_4 는 123 Å/min의 적층율, 1.98의 반사계수, 6.9의 비유전율 및 7.2 MV/cm의 절연 파괴 전계를 나타낸다.

<표 1> Si_3N_4 적층 공정 조건

Item		Conditions
Gas	SiH_4 (sccm)	30
	NH_3 (sccm)	6
	N_2 (sccm)	60
Pressure (mtorr)		700
RF power (W)		45
Temperature (°C)		250

상기의 조건으로 적층된 Si_3N_4 박막 내에는 반응 부산물인 수소가 포함된다. 박막 내의 수소량 비율은 박막의 질에 영향을 미치며, 스트레스 (stress)로 인한 소자의 열화를 초래할 수 있기 때문에 박막의 성질을 결정하는 중요한 요소 중 하나이다¹⁶⁾. 일반적으로 PE-CVD를 이용하여 적층된 Si_3N_4 는 20~25%의 수소를 포함하고 있다. 박막 내의 수소량을 분석하기 위해 FT-IR (Fourier Transform Infra Red)을 이용하여 박막의 결합 구성을 측정하였다. <그림 8>은 적층된 박막의 파수 (wave-number)에 따른 적외선 흡수 양상으로, 841 cm^{-1} 에서 적외선 흡수가 나타나 전형적인 Si_3N_4 의 조성을 갖는 것을 확인할 수 있다. 또한 수소에 대한 결합을 나타내는 Si-H 결합은 거의 나타나지 않으며, 1175 cm^{-1} 의 파수에서 N-H 결합에 의한 흡수만이 미약하게 나타나는 것을 확인할 수 있다.



<그림 8> 적외선 흡수 스펙트럼

기관간의 선택도(selectivity)를 높이기 위하여 BCl₃ 및 SiCl₄ 등의 가스를 혼합하여 사용한다^[1]. 또한 큰 식각율과 높은 선택도를 얻기 위하여 RIE(Reactive Ion Etching) 외에 고밀도의 플라즈마를 얻을 수 있는 ECR(Electron Cyclotron Resonance) RIE 및 ICP(Inductive Coupled Plasma) RIE를 사용하여 수행된다.

MINT에서는 ICP-RIE를 이용한 건식 식각 방법으로 후면 via-hole 식각 공정을 수행하고 있다. Via-hole 식각 공정시 공정 변수로는 가스의 종류 및 유입량, plasma를 여기시키기 위한 RF power, 공정 중의 챔버 압력 등이 있으며, 높은 식각율, 선택도, 양호한 경사각 및 표면을 얻기 위해서는 이들 공정 변수의 최적화하였다. <표 2>는 후면 via-hole 식각 공정 변수를 요약한 것이다. <그림 11>은 식각된 via-hole의 단면 사진으로 50분의 식각 공정 시간동안 113μm의 식각 깊이로 2.2μm/min의 식각율을 나타

낸다. 또한 <그림 11>에서 식각면은 평균 75°의 경사각을 이루는 것을 확인할 수 있다.

III. 결 론

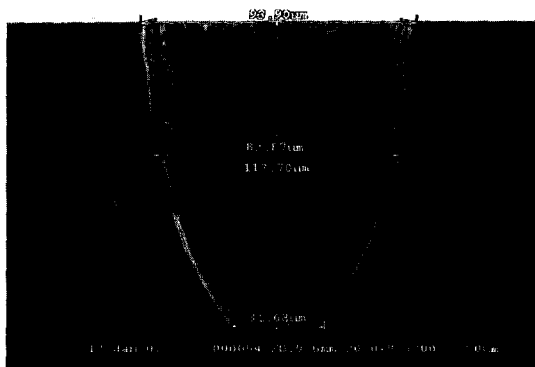
본 글에서는 동국대학교 밀리미터파 신기술 연구센터(MINT)에서 사용되는 MMIC 제작 공정 기술에 대하여 언급하였다. MINT에서 사용되는 MMIC 공정 기술인 전자선 묘화 공정을 이용한 0.2μm T 게이트 및 0.1μm Γ 게이트 개발, 식각 계면에서의 금속 저항 증가를 최소화하기 위한 식각과 현상을 반복한 계단형 격리 식각 공정, AuGe/Ni/Au의 오믹 금속 증착 및 RTP를 이용한 오믹 접촉 공정, 능동 소자의 passivation 및 MIM 캐패시터의 유전 박막 형성을 위한 Si₃N₄ 적층 공정, 격리된 전극을 상호 연결하기 위한 증착법을 이용한 에어브리지 공정 및 효과적인 열방출 및 접지를 위한 후면 공정 등을 자세히 소개하였다. 본 글에서 소개한 MINT MMIC 공정 기술을 이용하여 MINT에서는 현재 60GHz용 LNA(Low Noise Amplifier), PA(Power Amplifier) 및 Mixer 등의 칩(chip)을 자체 설계·제작하고 있다.

참 고 문 헌

- [1] 이일형, 김상명, 윤관기, 신석현, 이진구, "Image Reversal 공정을 이용한 sub-micron 게이트의 제작," 1992년도 대한전자공학회 추계종합학술대회 논문집, 제15권, 제2호, pp.356-358, 1992.
- [2] Yamashita Y. et. al., "Ultra-short 25-nm-gate lattice-matched InAlAs/InGaAs HEMTs within the range of 400 GHz cutoff frequency," IEEE Electron Device Letters, Vol. 22, No. 8, pp.367-369, 2001.

<표 2> 후면 via-hole 식각 공정 조건

Item		Conditions
Gas	Cl ₂ (sccm)	30
	Ar(sccm)	20
ICP power(W)		500
RF power(W)		125
Pressure(mtorr)		10



<그림 11> Via-hole 단면 사진

- [3] Kiyomitsu Onodera, "Extremely Low-Noise Performance of GaAs MESFET's with Wide-Head T-Shaped Gate," IEEE transactions on Electron Devices. Vol. 46, No 2, pp.310~319, 1999.
- [4] David Hodul, *Rapid Thermal Annealing, Chemical Vapor Deposition and Integrated Processing*, Materials Research Society
- [5] 이일형, "PM-HEMT를 이용한 MIMIC 전력증폭기의 설계 및 제작에 관한 연구," 동국대학교 박사학위 논문, 1999.
- [6] J.W. shin, Y.S. Yoon, S.D. Lee, H.C. Park, J.K. Rhee, "Effects of He gas on hydrogen content and passivation of GaAs PHEMT with SiN film," 2000 Asia-Pacific Workshop on Fundamental and Application Advanced Semiconductor Devices, pp.121-125, 2000.
- [7] Ralph Williams, *Modern GaAs Processing Methodes*, Artech House. 1994.
- [8] 이일형, 김성수, 윤관기, 김상명, 이진구, "열적 증착법을 이용한 Air-Bridge 제작과 그 응용에 관한 연구," 대한전자공학회논문지, A편, 제33권, 제12호, pp.53-57, 1996.
- [9] R.J. Shul, M.L. Lovejoy, J.C. Word, A. J. Howard, D.J. Rieger and S.H. Kravitz, "High rate reactive ion etch and electron cyclotron resonance etching of GaAs via holes using thick polyimide and photoresist masks," Journal of Vacuum Science, B. 15(3), pp.657-664, 1997.

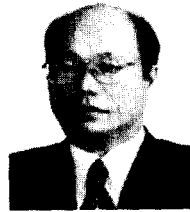
저자 소개



李聖大

1971년 6월 17일생, 1998년 2월 동국대학교 전자공학과(공학사), 2000년 2월 동국대학교 대학원 전자공학과(공학 석사), 2000년 3월~현재: 동국대학교 대학원 전자공학과 박사과정 재학, <주

관심 분야: 밀리미터파 대역용 MIMIC 부품 설계 및 제작>



李鎭九

1946년 2월 1일생, 1969년 6월 국립 항공대학교 전자공학과(공학사), 1975년 2월 서울대학교 대학원 전자공학과(공학 석사), 1979년 6월 Oregon State University 전기공학과(공학 석사),

1982년 6월 Oregon State University 전기공학과(공학 박사), 1972년 7월: 해군 중위 전역, 1982년 11월: 미국 Cray Research Inc, 선임연구원, 1991년 8월: 미국 University of Michigan, Visiting Research Scientist, 1998년 1월~2001년 12월: 대한전자공학회, 상임이사, 1999년 7월~현재: 과학재단 지정 우수공학연구센터 밀리미터파 신기술 연구센터(ERC) 소장, 2002년 1월~현재: 대한전자공학회, 부회장 1985년 9월~현재: 동국대학교 전자공학과 교수, <주관심 분야: 밀리미터파 대역용 MIMIC 부품 및 시스템의 설계 및 제작>