

## Simulation of RSFQ D/A Converter

Hyung-Gon Chu<sup>a</sup>, Kyu-Tae Kim<sup>b</sup>, and Joonhee Kang<sup>\*,a</sup>

<sup>a</sup> Department of Physics, University of Incheon, Korea

<sup>b</sup> Korea Research Institute of Standards and Science, Daejeon, Korea

Received 20 August 2001

## 단자속양자 Digital-to-Analog Converter의 전산모사 연구

추형곤<sup>a</sup>, 김규태<sup>b</sup>, 강준희<sup>\*,a</sup>

### Abstract

Superconductive digital to analog converters (DAC) based on Josephson effect produce the voltage steps with high precision and good stability. Therefore, they can be applied to obtain a very accurate ac voltage standard. In this paper, we made a simulation study of Rapid Single Flux Quantum (RSFQ) DAC. RSFQ DAC was composed of Non-destructive Read Out (NDRO) cells, T flip-flops, D flip-flops, Splitters, and Confluence Buffers. Confluence Buffer was used in resetting the DACs. We also obtained operating margins of the important circuit parameters in simulations.

### I. 서 론

고속 정보 통신의 발달에 따른 고속 데이터 전송은 필수적이다. 이러한 고속 데이터 전송의 신호처리를 위한 초고속 전자소자의 개발이 절실히 요구되고 있으나 반도체 소자의 내부적인 한계성과 작동속도를 높이기 위해 드는 제작비의 급속한 증가로 인하여 새로운 물질을 이용한 초고속 전자소자의 개발 필요성이 요구되고 있다. 초전도 조셉슨소자는 초전도체만이 갖는 특이한 양자현상을 갖고 있어, 반도체로는 불가능한 빠른 전환속도를 낼 수 있는 전자소자를 제작하는 것이 가능하며 이를 이용한 초고속 전자소자의 개발이 선진국에서는 많이 연구되어 왔다. 현재 전압표준으로 사용되고

있는 조셉슨 배열 전압표준기는 현재 알려진 전압표준기 중 가장 정확한 것으로 알려져 있다.[1] 하지만, 이 전압표준기는 정확한 주파수의 RF 신호를 사용한 직류 전압을 사용하므로 정확한 교류의 전압표준이나 정확한 파형의 분석, 높은 정확도를 갖는 digital-to-analog 전환기 (DAC)의 특성분석 등에 사용되기는 어렵다.[2],[3] 조셉슨 접합을 사용한 단자속 양자 회로를 사용할 경우 100 GHz에 이르는 빠른 속도의 디지털 신호를 얻을 수 있어 이를 이용하면 매우 정확한 교류의 신호를 만들어 낼 수 있다.[4]-[8] 단자속 양자회로를 사용한 DAC는 현재 사용되고 있는 전압표준기의 기능을 단순한 직류전압의 표준뿐만 아니라 교류의 표준으로서 사용할 수 있도록 하여 준다. 단자속 양자회로는 전압표준기의 성능을 확장 시켜줄 뿐만 아니라 통신 등의 분야에 응용될 경우 우리의 기술적 수준을 한단계 높여줄 수 있을 것이

\*Corresponding author. Fax : +82 32 766 8018

e-mail : jhkang@incheon.ac.kr

며 새로운 시장을 개척하는데 큰 기여를 할 것으로 전망된다. 본 연구에서는 조셉슨 접합을 이용한 전압표준용 단자속 양자 digital-to-analog 전환회로를 설계하였으며, 핵심적인 회로요소인 voltage multiplier (VM)를 2가지 경우(직접적 결합, 자기적 결합)에 대하여 비교 분석하여 simulation을 수행하였고 회로의 올바른 작동 margin값을 얻었다.

## II. 회로의 설계 및 Simulation 결과

조셉슨 접합을 사용하여 DAC를 구성하는 방법으로는 Fig. 1과 같은 구조가 가장 많이 사용된다. Fig. 1에서와 같이 digital 값이 binary code로 입력되면 이에 비례하는 주파수의 단자속양자의 흐름을 RSFQ DAC 회로로 부터 얻게 된다. 예를 들어, binary code '1001'을 Fig. 1에 보여진 바와 같이 DAC의 digital input에 가하면 analog output값은 각 stage 전압의 직렬합에 비례하게 되어  $(1 \cdot 2^3 + 0 \cdot 2^2 + 0 \cdot 2^1 + 1 \cdot 2^0) \cdot (h/2e)\phi$ 에 비례하게 된다. 하지만 단자속양자 신호는 단지 atto-joule 수준의 작은 에너지를 갖고 있으므로 RSFQ DAC로 부터 얻어지는 신호를 증폭시켜 주어야만 실질적인 응용이 가능하다. 단자속양자 신호의 증폭을 위해서는 일반적으로 voltage multiplier(VM)를 사용하게 되며 VM을 통하여 증폭된 값이 analog 출력으로 나타나게 된다. 이러한 과정을 Fig. 1에 나타내었다.

RSFQ DAC의 회로 구성은 RSFQ logic cell들을 사용하여 가능하며 본 연구에서는 Fig. 2에

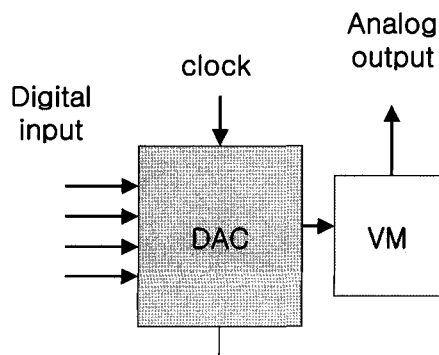


Fig. 1. Block diagram of digital-to-analog circuit.

보여진 바와 같이 Non-Destructive Read-Out (NDRO), Toggle Flip-Flop (TFF), D Flip-Flop (DFF) Splitter, Confluence Buffer (CB) 등을 사용하여 구성하였다. Binary code로 된 digital input이 most significant bit (MSB)은 왼쪽으로부터 첫 번째의 CB에 그리고 그 다음 significant bit 은 그 다음의 CB로 순차적으로 입력되게 된다. 여기서 digital code의 입력에 있어서 CB를 사용한 이유는 reset을 위한 것으로 digital input을 DFF에 저장시켜 둠으로써 reset 신호에 의해 이 값을 다시 CB를 통하여 NDRO 회로에 입력시킴으로써 NDRO 회로의 상태를 "0" 상태로 만들어 주기 위함이었다. Clock 다음에 TFF을 사용함으로써 clock 신호를 이등분하여 하나는 DAC의 작동에 하나는 회로의 synchronization에 사용하였다.

편의를 위해서 Fig. 2에는 2 bit DAC 회로를 제시하였으나 두 번째 bit에 사용된 것과 같은 회로를 오른쪽에 나열함으로써 더 많은 bit의 DAC 회로를 구성할 수 있다. 본 연구에서는 조셉슨 시뮬레이션 툴을 사용하여 전산모사 실험을 수행함으로써 Fig. 2에 보여진 RSFQ DAC가 정상적으로 작동함을 알 수 있었다. 실제 전산모사 실험을 위한 회로의 구성은 4 bit로 된 회로를 구성하여 전산모사 실험을 하였다. 전산모사 실험을 위하여 Whiteley사에서 개발된 XIC software를 설치하여 사용하였다. 본

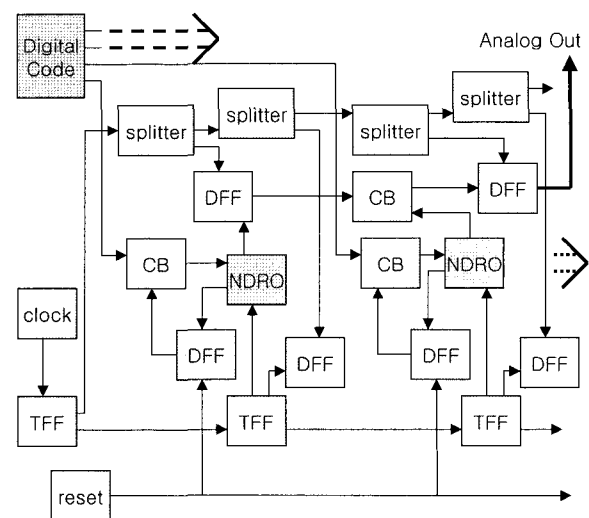


Fig. 2. Schematic diagram of RSFQ DAC.

RSFQ DAC에 사용된 RSFQ logic cell 들의 회로 요소 들에 대한 margin 값들을 전산모사 실험을 통하여 구하였으며 가장 작은 margin 값이  $\pm 29\%$  이었으며 대부분 40-50%의 큰 값들을 보여 주어 안정된 회로의 작동을 얻을 수 있었다.

Voltage multiplier의 경우 일반적으로 알려져 있는 방법으로 단자속양자 생성회로를 직접적으로 직렬 연결하는 것이다.[9],[10] 이와 같이 직접적 결합 방법으로 voltage multiplier를 구성한 회로는 Fig. 3에 보여진 바와 같으며 이 회로는 스토니부룩 대학에서 개발한 회로를 본 연구에서 전산모사 실험을 위하여 재구성한 것이다. 단자속양자 생성회로 자체는 안정된 작동을 보여 주었으며 회로요소들이  $\pm 40\%$  이상의 높은 margin 값들을 갖고 있었다. 하지만 두 개의 단자속양자 생성회로를 직렬 연결하여 본 결과 회로요소들의 margin이  $\pm 30\%$  이상으로 회로의 안정성이 많이 줄어들었다. 단자속양자 생성회로를 4개, 그리고 8개를 직접 결합해 본 결과 margin 값들이 현저히 줄어들어 회로가 불안정해 졌다. 따라서 Fig. 3에 보여진 직접적 결합 방법에 의한 voltage multiplier의 경우 적은 수의 multiplication을 얻고자 할 때는 회로가 상당히 안정되어 있으나 multiplication factor가 커질수록 마진이 줄어들면서 회로가 불안정한 작동을 함을 알 수 있었다. 이를 보완하기 위하여 본 연구에서는 자기적으로 결합된 Josephson Transmission Line[11]을 사용한 voltage multiplier를 고안하여 simulation 연구를 수행하였다. Fig. 4는 새로운 voltage

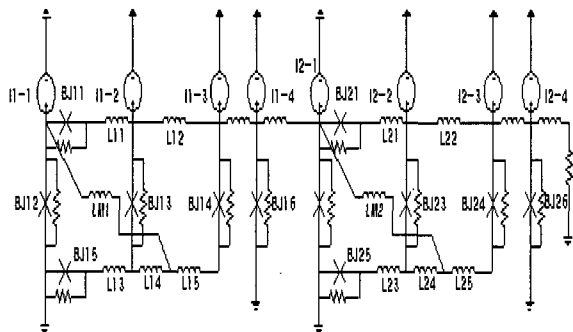


Fig. 3. Directly coupled voltage multiplier

multiplier의 회로 설계도를 보여주고 있으며 Fig. 5는 이 회로에 대한 시뮬레이션 결과가 보여지고 있다.

Fig. 4에서 input pulse들이 아래쪽의 Josephson Transmission Line을 지나가며 그 중 두 곳에서 위쪽의 회로와 자기적으로 결합되게 되어 위쪽의 회로에 단자속 양자가 전달되게 된다. 그런데 위쪽의 회로는 직렬로 서로 연결되어 있기 때문에 각각의 단자속 양자 receiver에 유도된 위상  $2\pi$  가 더해져서  $4\pi$  가 되어, 아래쪽의 회로에서는  $2\pi$  의 위상 차로 전달되는 단자속 양자의 신호가 위쪽의 회로에서는 2배가 되게 된다. 자기적 결합의 결합상수는 0.68로 주었으며 이것은 실제로 layout된 회로로부터 추출된 값으로부터 얻어졌다. Fig. 3에서 보여진 바와 같

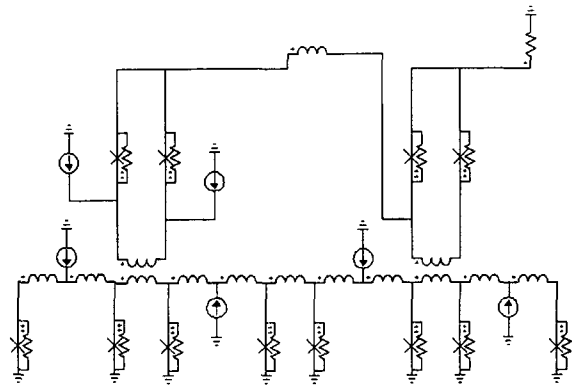


Fig. 4. Magnetically coupled voltage multiplier

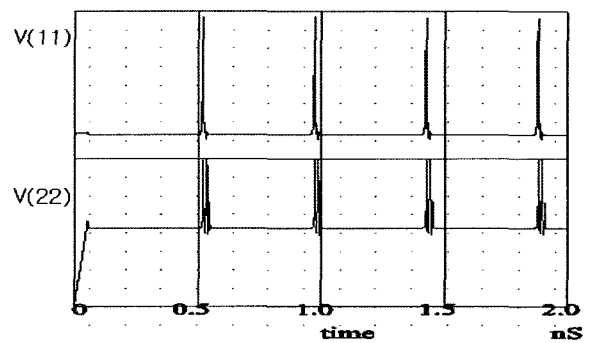


Fig. 5. Simulation results of the magnetically coupled 2-stage voltage multiplier. Two output pulses are generated for each input pulse.

은 직접적으로 결합된 방법으로 구성된 voltage multiplier의 경우와는 달리 단자속 양자가 갖고 있는 에너지가 단자속 양자의 전달과정에서 일부 손실되므로 이러한 효과를 최소화하기 위하여 아래쪽 부분 회로의 접합의 크기는 모두 임계전류( $I_c$ )값이 560 $\mu$ A인 것을 사용하였으며 위쪽 부분 회로의 접합의 크기는 왼쪽의 것은 임계전류 값이 200 $\mu$ A인 것을 오른쪽의 것은 임계전류 값이 280 $\mu$ A인 것을 사용하여 단자속 양자의 전달이 용이하도록 하였다. Fig. 5에서 보여진 simulation 결과는 이와 같은 과정을 거쳐 적절히 설계된 회로의 simulation 결과를 나타낸다. 이 그림에서  $v(11)$ 은 input된 pulse를 나타내며 각각의 input pulse에 대해 output pulse인  $v(22)$ 는 두 개가 됨을 알 수 있다. 이 회로의 가장 핵심적인 부분은 자기적으로 결합된 부분으로 특히 단자속 양자를 receive하는 부분이다. 이 부분은 자속의 전달 시에 손실이 생기게 되어 접합의 작동이 실패할 확률이 가장 크므로 이 부분의 inductance와 junction의 크기를 세심하게 설계하였다.

Junction의 크기와 inductance의 크기가 적절하게 설계 되었을 경우 회로의 bias current margin이 최대값을 갖게 된다. 본 simulation 연구에서는 자기적으로 결합된 receiver 부분에 있는 두 개의 junction에 각각 독립적으로 bias current를 가한 후 이 bias current들의 마진을 구하였다. Fig. 6에서는 회로가 올바르게 작동한 bias current의 범위를 보여 주고 있다. 이 그림에서 y 축은 오른쪽의 junction에 가해진 bias current값들을 나타내고 x 축은 왼쪽의 junction에 가해진 bias current의 값들을 나타낸다. 다이아몬드 기호로 나타낸 점들의 안쪽에서의 bias current값들에 대해 회로가 올바르게 작동하였으며 이 외의 범위에서는 회로가 정상적인 작동을 하지 않고 오류를 범하였음을 보여 주고 있다. 회로의 작동이 비교적 넓은 범위의 bias 값들에 대하여 올바르게 이루어졌으며 최소한  $\pm 25\%$  이상의 margin값들을 갖고 있음을 알 수 있었다.

Fig. 7에서 보여지는 것은 8-stage voltage multiplier의 simulation 결과를 나타낸다. 각각의 input pulse에 대해서 output pulse는 8개가 형성되는 것을 알 수 있고, 따라서 8배의 pulse

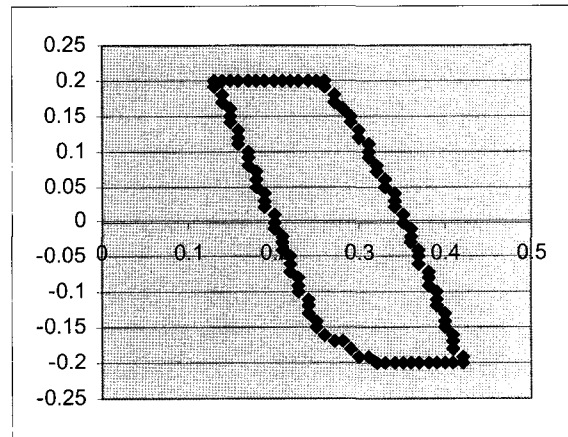


Fig. 6. Bias current margins of a magnetically coupled 2-stage voltage multiplier circuit. The y-axis represents the bias current values applied to the right hand junction and the x-axis represents the bias current values applied to the left hand junction.

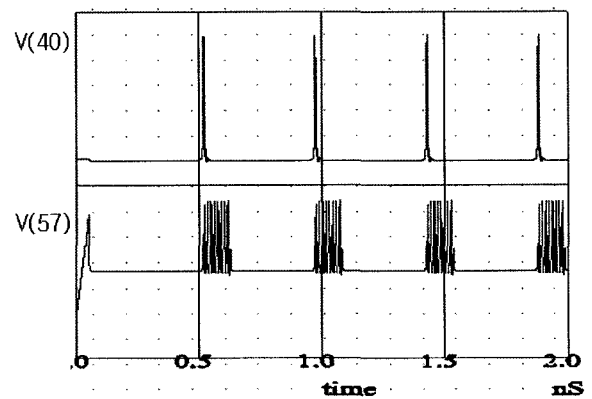


Fig. 7. Simulation results of a magnetically coupled 8-stage voltage multiplier circuit. Eight output pulses are generated for each input pulse.

multiplication이 일어남을 알 수 있다. 직접적 결합에 의해 설계된 voltage multiplier의 경우에는 stage의 수를 늘임에 따라 margin이 줄어드는 현상이 발생하여 gain이 큰 voltage multiplier를 설계할 경우 상당한 어려움이 뒤따랐다. 하지만 자기적 결합에 의한 방법으로 설계된 voltage multiplier의 경우에는 비록 single stage에서는 직접적 결합 방법으로 설계된 회로보다

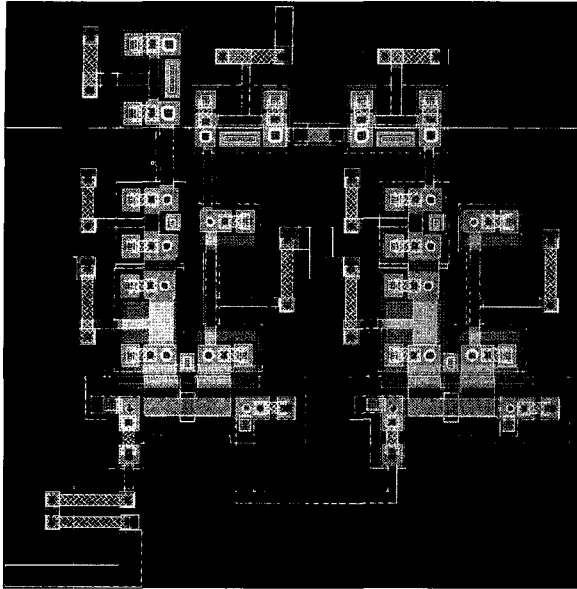


Fig. 8. Layout of the magnetically coupled 2-stage voltage multiplier. The magnetically coupled parts are indicated by arrows. Above the magnetically coupled parts, Josephson transmission lines lie and below them, voltage multiplications arise.

회로의 margin 이 작게 나왔으나 stag 의 수를 늘임에 따라 회로의 margin 이 거의 변하지 않아 gain 이 큰 voltage multiplier 를 구성한 경우에도 안정적인 회로의 작동을 얻을 수 있었다. 하지만 두 경우 모두 floating ground plane 의 영향으로 capacitance 의 효과가 생길 것으로 예상되어 실제로 제작을 하기 위해서는 이러한 기생효과를 조심스럽게 검토하여야 할 것으로 판단된다.

Fig. 8은 자기적 결합에 의해 voltage multiplier 를 구성하는 방법으로 설계된 회로를 layout tool 을 사용하여 layout한 mask drawing 그림을 보여준다. 본 layout을 위하여는 ground plane, SiO<sub>2</sub> insulator, Nb trilayer, SiO<sub>2</sub> insulator, Mo resistor, SiO<sub>2</sub> insulator, Nb wiring, SiO<sub>2</sub> insulator, 2nd Nb wiring layer, gold contact layer로 이루어진 조셉슨 회로 제작과정에 맞추었으며 Nb 조셉슨 접합의 임계전류 밀도는 2500 A/cm<sup>2</sup>을 사용하였다.

### III. 결 론

본 연구를 통하여 RSFQ DAC 전환기와 RSFQ voltage multiplier 를 설계하였으며 조셉슨 시뮬레이터를 사용하여 회로의 올바른 작동을 시험하였다. RSFQ DAC 전환기의 설계에는 Non-Destructive Read-Out (NDRO), Toggle Flip-Flop (TFF), D Flip-Flop (DFF), Splitter, Confluence Buffer (CB) 등을 사용하였으며 voltage multiplier 의 구성을 위해서는 직접적 결합 방법으로 단자속 양자를 multiply 하는 방법과 자기적 결합 방법으로 단자속 양자를 multiply 하는 방법을 모두 사용하였다. RSFQ DAC 전환기 회로에 대한 simulation 연구를 통하여 설계된 회로가 정상적으로 잘 작동하는 것을 관찰하였으며 구성 회로들의 simulation 을 통하여 회로 요소들의 회로 margin 도 충분함을 관찰하였다. 작은 gain 의 multiplication 이 요구되는 경우에는 직접적 결합 방법이 더 효과적이었으나 큰 gain 의 multiplication 이 요구되는 실질적인 경우에는 자기적인 결합 방법에 의하여 구성한 voltage multiplier 가 훨씬 더 안정적인 특성을 보여 주었다.

### 감사의 글

본 연구는 21세기 프론티어 연구개발사업인 차세대초전도응용기술개발 사업단의 연구비 지원으로 이루어 졌습니다.

### 참고문헌

- [1] R. Popel, Metrologia, 153-174(1992)
- [2] C. A. Hamilton, C. J. Burroujhs and R. L. Kautz, IEEE Trans. Inst and Meas., Vol.44, 223-225(1995)
- [3] C. A. Hamilton, C. J. Burroujhs, S. P. Benz, and J. R. Kinard, Inst. and Meas., Vol.46, 224-227(1997)
- [4] K. K. Likharev and V. K. Semenov, IEEE Trans. Appl. Supercond., Vol.1, 3-28(1991)
- [5] S. P. Benz, Appl. Phys. Lett., vol.67, 2714-2716(1995)
- [6] R. D. Sandell, B. J. Darlymple and A. D. Simth, IEEE Trans. Appl. Supercond., Vol.7, 2468-2471(1997)
- [7] S. P. Benz and C. A. Hamilton, Appl. phys. Lett., Vol.68, 3171-3173(1996)

- [8] H. Sasaki, S. Kiryu, F. Hirayama, T. Kihuchi, M. Maezawa and A. Shoji and S. V. Polonsky, IEEE Trans. Appl. Supercond., Vol.9, 3561-3564 (1999)
- [9] V. K. Semenov and M. A. Voronova, IEEE Trans. Magn., Vol.25, 1432-1435(1989)
- [10] V. K. Semenov, IEEE Trans. Appl. Supercond., Vol.3, 2437-2440(1993)
- [11] A. H. Miklich, A. H. Worsham, D. L. Miller and J. X. Przybysz, IEEE Trans. Appl. Supercond., Vol.7, 2278-2281(1997)