

수직 공통패턴을 사용한 고속/저전력 CSD 선형위상 FIR 필터 구조

정회원 장 영 범*, 준회원 양 세 정*

A High-speed/Low-power CSD Linear Phase FIR Filter Structure Using Vertical Common Sub-expression

Young-beom Jang* *Regular Member*, Se-jung Yang* *Associate Member*

요 약

Digital IF(Intermediate Frequency) 처리단과 같은 고속과 저전력을 요구하는 필터에서 덧셈기만을 사용하여 CSD(Canonical Signed Digit)형의 필터계수들을 구현하는 구조가 널리 연구되고 있다. 본 논문에서는 CSD형의 선형위상 FIR(Finite Impulse Response) 필터에서 수직의 공통패턴을 공유하는 구조를 제안한다. 선형위상 FIR 필터를 CSD형의 코드를 사용하여 구현할 때에, 선형위상의 계수대칭의 특성 때문에 수평 공통패턴의 방식이 사용되어 왔다. 그러나 본 논문에서는 선형위상 필터는 근접해 있는 계수들끼리 근사의 값을 갖기 때문에 MSB가 같다는 것을 이용하여 수직 공통패턴을 사용하는 방식을 제안하였다. 제안된 방식은 구현의 정세도가 낮을수록, 구현하는 탭의 길이가 길수록 더욱 효과가 큼을 예제를 통하여 보였다. 따라서 제안된 방식은 고속/저전력 구현을 요하는 이동 통신용 필터에서 사용하기에 적합한 필터임을 보였다.

ABSTRACT

In the high-speed/low-power digital filter applications like wireless communication systems, canonical signed digit(CSD) linear phase finite impulse response(FIR) filter structures are widely investigated. In this paper, we propose a high-speed/low-power CSD linear phase FIR filter structure using vertical common sub-expression. In the conventional linear phase CSD filter, horizontal common sub-expressions are utilized due to the inherent horizontal common sub-expression of symmetrical filter coefficients. We use the fact that their MSBs are also equal since adjacent filter coefficients have similar values in the linear phase filter. Through the examples, it is shown that our proposed structure is more efficient in case that precision of implementation is lower, and tap length are longer.

1. 서론

이동 통신 시스템에서 고속/저전력으로 구현되는 선형위상 FIR(Finite Impulse Response) 필터 구조가 요구되고 있다. 이와 같은 선형위상 FIR 필터의 2진수로 표현되는 필터계수에서, 2의 보수형 계수보다는 1의 수가 적게 사용되는 CSD(Canonical Signed Digit)형 계수가 구현 측면에서 여러 가지

장점을 갖고 있다. 이동 통신 시스템에서 IF(Intermediate Frequency) 대역의 디지털 처리 단을 DFDC(Digital Frequency Down Converter)라고 한다. 이와 같은 DFDC는 디지털 믹서, 데시메이션 필터, 그리고 데시메이터로 구성된다. 또한 DFDC의 고속/저전력 구현을 위한 핵심은 데시메이션 필터의 고속/저전력 구현이다. 따라서 이와 같은 데시메이션 필터를 덧셈만으로 구현하는 CSD 필터가 선호되고 있다. 즉, CSD 형의 계수가 1의 수가 가

* 이화여자대학교 정보통신학과(ybjang@mm.ewha.ac.kr)

논문번호 : 010297-1019, 접수일자 : 2001년 10월 19일

※ 본 연구는 삼성전자(주)와 교육부 BK21의 지원에 의해 수행되었습니다.

장 적으므로 덧셈(뺄셈포함) 만으로와 구현할 때 가장 적은 계산량을 갖게 된다. 다음의 식 $\sum_{i=0}^{N-1} a_i 2^{-i}$ 이 나타내는 수 $a_0.a_1a_2 \dots a_{N-1}$ 에서 $a_0=0$ 또는 -1 이고, $i>0$ 에 대하여는 $a_i=0$ 또는 1 이면 2의 보수형이라고 한다. 그리고 수 $b_0.b_1b_2 \dots b_{N-1}$ 이 각각의 b_i 에 대하여 $0, +1, -1$ 이고 두 개의 연속되는 b_i 가 nonzero가 아니면 CSD 형이라고 한다 [1][2]. 모든 n-bit의 2의 보수형의 필터계수는 n-bit의 CSD 형의 필터계수로 나타낼 수 있다. 2의 보수형의 계수에 비하여 CSD 형의 계수는 (N+1)/2 이상의 nonzero bit를 갖지 않는 장점을 갖고 있으며, 이는 덧셈만을 사용하여 구현할 때에 덧셈의 수를 줄일 수 있음을 의미한다. 따라서 CSD 형의 필터계수와 입력신호와의 MAC(Multiplication and Accumulation) 계산은 덧셈과 shift를 사용하여 구현될 수 있는데, shift는 Hard wired 로직으로 구현할 때에는 비용이 거의 들지 않는다. 그러므로 덧셈의 수를 줄이는 데에 연구의 초점이 맞추어지고 있다. 그 가운데에서도 공통패턴을 공유함으로써 덧셈의 수를 감소시키는 방법이 가장 널리 연구되었다 [3][4]. 즉, CSD형으로 표현되는 필터계수 표에서 1과 -1의 공통패턴을 만들어서 공유함으로써 덧셈의 수를 감소시키는 방법이다. 선형위상 FIR 필터를 CSD형으로 구현하는 경우에는 선형위상의 특성상 모든 필터계수가 대칭이므로 자연스럽게 공통패턴이 생긴다. 5탭의 선형위상 필터를 예를 들면, 5개의 계수에서 h_0, h_1 의 계수는 h_4, h_3 의 계수와 각각 대칭이므로 h_0, h_1 를 각각 공통패턴으로 정의하면 h_4, h_3 는 공통패턴을 사용하여 구현할 수 있다. 따라서 선형위상 필터에서는 자연스럽게 수평방향의 공통패턴이 발생하므로 수직의 공통패턴을 이용하기 어렵다고 알려져 왔다. 수직의 공통패턴을 이용하기 위해서는 수평 방향의 자연적으로 존재하는 공통패턴을 이용할 수 없기 때문이었다. 본 논문은 선형위상 FIR 필터에서의 효율적인 수직 공통패턴을 이용하는 기법을 제안한다. 즉, 수직의 공통패턴을 사용함으로써 기존의 수평 공통패턴을 사용하는 구조보다 덧셈의 수가 더욱 감소한 구조를 얻는 방법을 제안한다.

본 논문의 II장에서는 선형위상 FIR 필터에서 수직 공통패턴이 정의되는 방식을 제안한다. 그리고, 얼마나 덧셈의 수를 감소시키는지를 기존의 수평 공통패턴 공유 방식과 비교하여 알아본다. III장에서

는 1차 버전의 CDMA IF 필터를 CSD형의 계수로 설계하여 본 논문의 구조를 적용함으로써 덧셈의 수 감소효과를 알아본다. 이 실험에서 9bit에서 12bit 까지의 CSD형 계수를 실험하며 각각의 경우에 대하여 계수 양자화에 의한 주파수 응답을 비교한다.

II. 수직 공통패턴을 사용한 선형위상 FIR 필터

2.1 기존의 수평 공통패턴을 사용하는 방식

이 절에서는 선형위상 필터에서 수평 공통패턴을 공유하는 기존의 방식을 알아본다. 먼저 구현해야 할 임의의 11탭 선형위상 FIR 필터의 CSD형 계수가 표 1과 같다고 가정한다. 앞으로 표기를 편리하게 하기 위해서 -1은 n으로 표기하기로 한다. 표 1에서는 0의 수는 표시하지 않았다. 임의의 필터에서 1 또는 n이 총 m개가 있을 때, 공통패턴을 구려하지 않으면 m-1개의 덧셈이 필요하다^[4]. 따라서 표 1에서는 m=17이므로 16개의 덧셈이 필요하다. 그러나 표 1의 필터계수는 선형위상 필터이므로 자연스럽게 대칭의 공통패턴이 발생한다. 즉, h_0, h_1, h_2, h_3, h_4 의 계수는 $h_{10}, h_9, h_8, h_7, h_6$ 의 계수와 각각 대칭이다.

표 1. 선형위상 FIR 필터의 수평 공통패턴

	2 ⁻¹	2 ⁻²	2 ⁻³	2 ⁻⁴	2 ⁻⁵	2 ⁻⁶	2 ⁻⁷	2 ⁻⁸	2 ⁻⁹
h0									1
h1							n		n
h2				n			1		
h3		n		1					
h4		1							
h5	1								
h6		1							
h7		n		1					
h8				n			1		
h9							n		n
h10									1

표 1에서는 이와 같은 수평 공통패턴을 굵은 선으로 표기하였다. [2]에서는 출력신호에 대하여 다음과 같은 표기법이 제시되었다.

$$y[n] = \sum_{i=0}^{N-1} \sum_{j=0}^{M-1} h_{ij} (x_{n-i} \gg j) \quad (1)$$

위의 Convolution 식에서 CSD형 필터계수 h_{ij}

는 1, 0, 또는 -1이므로 출력은 입력신호 x의 shift 되고 지연된 여러 개의 합으로 표현될 수 있음을 의미한다. 따라서 i행, j열의 h_{ij} 에 해당하는 ± 1 은 입력신호의 동작으로 나타내면 $\pm x_1[-i] \gg j$ 로 표현할 수 있다. 그러나 0번째 행과 0번째 열은 i와 j를 붙이지 않고 x_1 으로 정의하며 기준 점으로 정한다. 이와 같은 표기방법을 사용하여 대칭계수들을 공통패턴 x_2, x_3, x_4 로 정의하면 다음과 같이 표현된다.

$$\begin{aligned} x_2 &= -x_1 - x_1 \gg 2 \\ x_3 &= -x_1 + x_1 \gg 3 \quad (2) \\ x_4 &= -x_1 + x_1 \gg 2 \end{aligned}$$

위의 공통패턴을 만드는데 3개의 덧셈이 필요하며, 이를 사용하여 출력신호를 다음과 같이 구할 수 있다.

$$\begin{aligned} y &= x_1 \gg 8 + x_2[-1] \gg 6 + x_3[-2] \gg 3 + x_4[-3] \gg 1 \\ &+ x_1[-4] \gg 1 + x_1[-5] + x_1[-6] \gg 1 \quad (3) \\ &+ x_4[-7] \gg 1 + x_3[-8] \gg 3 + x_2[-9] \gg 6 + x_1[-10] \gg 8 \end{aligned}$$

위의 식에서 보듯이 11개항의 합을 구하기 위해서 10개의 덧셈이 필요함을 알 수 있다. 위의 식이 나타내고있는 공통패턴을 공유하기 위하여 Transposed Direct form을 이용하여 구현하면 그림 1과 같다. 그림 1에서도 볼 수 있듯이 13개의 덧셈이 필요하다. 공통패턴을 공유하여 사용하여야 하므로 Transposed Direct form을 사용하여야 한다. 그림 1에서 모든 k는 2^{-k} 을 의미하며, k비트 right shift의 동작이다. 식 (2)와 (3)을 그림 1과 같은 구조로 구현할 때 다음을 주의하여야 한다. 즉 x_1 자체가

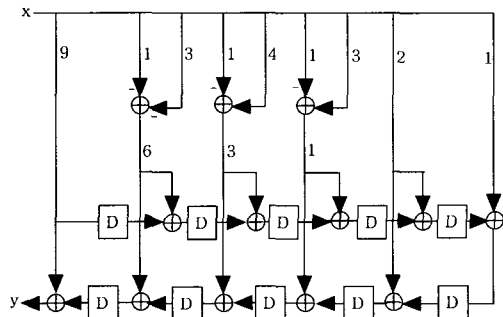


그림 1. Linear phase의 대칭계수를 수평 공통패턴으로 사용한 CSD 필터 구조

1의 shift를 내재하고 있는 기준 점이므로 x_1 을 구현할 때에는 구현 식보다 1을 더 shift해야 한다. 즉, $x_1 \gg 8$ 의 식을 구현할 때 9의 shift를 사용하여야 한다.

2.2 수직 공통패턴을 사용하는 방식

이 절에서는 선형위상 필터에서 수직 공통패턴을 공유하는 방식을 제안한다. 구현해야 할 11탭 선형위상 FIR 필터는 2.1절과 같은 표 2의 예제를 사용하기로 한다. 표 2에서와 같이 선형위상에서 생기는 자연의 수평 공통패턴은 무시하고 수직의 공통패턴을 굵은 선으로 표시한다. 이 표에서 $1n$ 과 $n1$ 은 같은 공통패턴이므로 다음과 같이 나타낼 수 있다.

$$x_2 = x_1 - x_1[-1] \quad (4)$$

위의 공통패턴을 만드는데 1개의 덧셈이 필요하며, 이를 사용하여 출력신호를 구하면 다음과 같다.

$$\begin{aligned} y &= x_2 \gg 8 - x_2[-1] \gg 6 - x_2[-2] \gg 3 \\ &- x_2[-3] \gg 1 + x_1[-4] + x_2[-5] \gg 1 \quad (5) \\ &+ x_2[-6] \gg 3 + x_2[-7] \gg 6 - x_2[-8] \gg 8 \end{aligned}$$

위의 식에서 보듯이 9개항의 합을 구하기 위해서 8개의 덧셈이 필요함을 알 수 있다. 따라서 총 9개의 덧셈이 필요하며 이를 Transposed Direct form을 사용하여 구현하면 그림 2와 같다. 따라서 수평 공통패턴을 사용하는 기존의 방법보다 덧셈의 수가 4개가 감소하였음을 알 수 있다. 공통패턴의 모양으로는 수평방향, 수직방향, 그리고 사선방향의 공통패턴이 있다. 선형위상 필터에서는 이 중에서 수직방향과 사선방향의 공통패턴의 사용은 비효율적이라

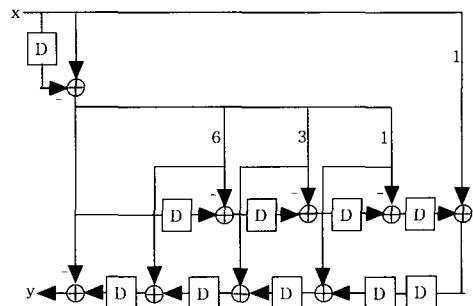


그림 2. 수직 공통패턴을 사용한 선형위상 CSD 필터 구조

표 2. 선형위상 FIR필터의 수직 공통패턴

	2^{-1}	2^{-2}	2^{-3}	2^{-4}	2^{-5}	2^{-6}	2^{-7}	2^{-8}	2^{-9}
h0									1
h1							n		n
h2				n			1		
h3		n		1					
h4		1							
h5	1								
h6		1							
h7		n		1					
h8				n			1		
h9							n		n
h10									1

고 알려져 왔다^[4]. 그러나 이 절에서 보듯이 수직방향의 공통패턴이 선형위상에서 자연적으로 발생하는 수평방향의 공통패턴을 이용하는 것보다 더욱 효과적임을 알 수 있다. 이는 선형위상의 필터의 인접한 필터계수들을 살펴보면 비슷한 값들을 가지므로 MSB가 같기 때문이다. MSB가 같기 때문에 수평방향의 공통패턴이 많이 존재하게 되고, 이를 이용하는 것이 효과적임을 예제를 통하여 알 수 있다.

III. 설계 예제

3.1 예제 1

예제로서 CDMA 이동통신 단말기의 IF단 사양의 디지털 필터를 본 논문이 제안하는 CSD형 구조로 구현한다. 필터의 샘플링 주파수는 19.6608MHz이며, 통과대역의 주파수와 감쇠량은 각각 630KHz와 0.1dB로 하였다. 저지대역의 주파수와 감쇠량은 각각 1.2288MHz와 -40dB로 하였다. 이와 같은 사양을 만족하도록 COSSAP FIR 필터설계 도구를 사용하여 설계한 결과, 73탭의 선형위상 필터계수를 얻었다.

예제 1에서는 16비트의 정세도부터 9비트의 정세도 까지 8가지를 기존의 수평 공통패턴 방식과 비교하기로 한다. 10비트의 정세도로 구현되는 경우를 먼저 살펴보기로 한다. 기존의 수평 공통패턴을 사용하기 위하여 표 3과 같이 공통패턴을 구하였다. 표 3에서 보듯이 73개의 필터계수 중에서 대칭인 h_{37} 부터 h_{72} 까지의 계수는 표에서 생략하였다. 선형위상 필터이므로 이 표에서 h_{36} 을 제외한 모든 계수는 대칭의 필터계수를 갖는다. 선형위상 필터 때문에 발생하는 공통패턴 이외의 공통패턴을 표 3

표 3. 기존의 수평 공통패턴을 사용한 예제1의 필터계수 표 (10bit)

	1	2	3	4	5	6	7	8	9	10	#			
0									n		1			
1										n	2			
2										n	2			
3														
4														
5														
6										1	2			
7									1		2			
8									1		2			
9									1		2			
10								1		n	2			
11								1		n	2			
12								1		n	2			
13									1		2			
14									1		2			
15														
16										n	2			
17								n		1	2			
18								n		n	2			
19								n		1	2			
20								n			2			
21								n			2			
22								n			2			
23								n			2			
24								n		1	2			
25										n	2			
26										1	2			
27								1			n	2		
28								1		n		1	3	
29								1		1		n	3	
30								1		n		1	3	
31								1					2	
32								1		1		n	3	
33								1		1		1	3	
34								1		n		n	3	
35								1		n			2	
36								1		n			1	2

에서 이중 선으로 표기하였다. 표 3에서 보듯이 10n 과 101의 공통패턴이 있음을 알 수 있다. 따라서 공통패턴을 만드는 데 2개의 덧셈이 필요하다. 표 3의 가장 오른쪽 열에는 그 계수를 구현하는데 필요한 덧셈의 수를 표기하였으며 그 합은 71개이다. 따라서 총 73개의 덧셈이 필요함을 알 수 있다. 이제 본 논문에서 제안한 수평 공통패턴을 사용하여 설계해 보기로 한다. 먼저 10비트의 표에서 수직 공통패턴을 굵은 선으로 묶으면 표 4와 같다. 표 4에서

표 4. 수직 공통패턴을 사용한 예제1의 필터계수표(10bit)

	1	2	3	4	5	6	7	8	9	10	#
0									n		1
1									n		
2									n		2
3											
4											
5											
6										1	2
7								1			
8								1			
9								1			2
10							1		n		
11							1		n		
12							1		n		3
13								1			
14								1			2
15											
16									n		
17							n		1		
18							n		n		3
19							n		1		2
20							n				
21							n				2
22							n				
23							n				
24							n		1		2
25									n		
26									1		2
27							1			n	2
28						1		n		1	
29						1		1		n	5
30					1		n		1		2
31					1						2
32					1		1		n		
33					1		1		1		3
34					1		n		n		2
35					1		n				3
36					1		n			1	2

보듯이 111t, 1n1t, 11t, 1nt의 수직 공통패턴이 있음을 알 수 있다. 이와 같이 수직 공통패턴을 모두 찾은 후에 10n의 수평 공통패턴이 존재하여 이를 이중 선으로 표기하였다. 따라서 공통패턴을 만드는데 모두 5개의 덧셈이 필요하다. 표 4의 가장 오른쪽 열에 그 계수를 구현하는데 필요한 덧셈의 숫자를 표기하였으며, 그 합은 44개이다. 따라서 총 49개의 덧셈이 필요하다. 10비트 정세도의 경우에 73개에서 49개로 24개의 덧셈이 감소하였다. 표 4에서 보면 수직 공통패턴 외에 이중실선으로 표시한

표 5. 예제1의 수직 공통패턴 사용의 덧셈수 감소율 (73tap)

구현비트	기존수평공통패턴	수직공통패턴	덧셈감소율 (%)
16	116	111	4.3
15	107	100	6.5
14	101	96	5.0
13	93	83	10.6
12	93	75	19.4
11	81	63	22.2
10	73	49	32.9
9	62	40	35.5

수평 공통패턴이 2개가 있음을 알 수 있다. 이와 같이 수직 공통패턴을 모두 구현 뒤에 수평의 공통패턴이 있다면 덧셈의 감소를 위하여 이용할 수 있다. 이와 같은 방법으로 16비트부터 9비트까지의 정세도에 대하여 기존의 방식과 비교하였으며, 그 결과 표 5와 같은 감소를 얻었으며, 18비트부터 9비트 구현까지의 평균감소율은 17.05%이다.

3.2 예제 2

두 번째 예제로서 예제 1와 같은 사양이며 오직 다른 점은 저지대역의 주파수가 820kHz인 필터를 설계한다. 이 사양은 CDMA IS-95 이동통신 단말기의 중간주파수 처리 단 사양을 만족한다. Matlab을 사용하여 설계한 결과 219탭의 선형위상 필터계수를 얻었다. 예제 2에서도 역시 16비트부터 9비트 정세도 까지 8가지를 기존의 수평 공통패턴 방식과 비교하였으며 그 결과는 표 6과 같다. 표 6에서 보듯이 16비트부터 9비트까지의 평균감소율은 28.84%이다. 표 5와 6에서 알 수 있듯이 구현 정세도를

표 6. 예제2의 수직 공통패턴 사용의 덧셈수 감소율(219tap)

구현비트	기존수평공통패턴	수직공통패턴	덧셈감소율 (%)
16	288	244	15.3
15	270	227	15.9
14	248	193	22.2
13	226	172	27.1
12	223	136	39.0
11	203	116	44.8
10	153	80	47.7
9	108	56	48.1

낮출수록 본 논문이 제안하는 수직 공통패턴 방식이 효과가 커짐을 알 수 있으며, 탭 수가 긴 필터에서 더욱 효과가 큼을 알 수 있었다.

IV. 결론

선형위상 필터의 CSD 필터구조에서는, 자연히 발생하는 수평 공통패턴을 이용하여 구조를 간단히 하기 위하여 수직 공통패턴 방식이 사용되지 않았다. 그러나 본 논문에서는 선형위상 필터는 근접해 있는 계수들은 근사의 값을 갖기 때문에 MSB가 같다는 것을 이용하여 수직 공통패턴을 사용하는 방식을 제안하였다. 제안된 방식은 구현의 정세도가 낮을수록 더욱 효과가 큼을 예제를 통하여 보였다. 또한 구현 탭의 길이가 클수록 더욱 효과가 있음을 보였다. 따라서 우리가 제안한 필터 구조는 고속/저전력 구현을 요하는 통신용 필터와 영상의 크기를 실시간으로 줄이거나 확대하는 영상신호처리 분야에서 널리 사용될 수 있다.

참 고 문 헌

[1] R. W. Reitwiesner, "Binary arithmetic," in *Advances in Computers*, New York: Academic, vol. 1, pp. 231-308, 1966.

[2] K. Hwang, *Computer Arithmetic: Principles, Architecture, and Design*, New York: Wiley, 1979.

[3] R. I. Hartley, "Subexpression sharing in filters using canonic signed digit multipliers," *IEEE Trans. Circuits and Systems-II: Analog and Digital Signal Processing*, vol. 43, pp. 677-688, Oct. 1996.

[4] M. Yagy, A. Nishihara, and N. Fujii, "Fast FIR digital filter structures using minimal number of adders and its application to filter design," *IEICE Trans. Fundamentals of Electronics Communications & Computer Sciences*, vol. E79-A, pp. 1120-1129, Aug. 1996.

[5] H. Samuelli, "An improved search algorithm for the design of multiplierless FIR filters with powers-of two coefficients," *IEEE Trans. Circuits and Systems*, vol. 36, Jul. 1989.

[6] Y. W. Kim, Y. M. Yang, J. T. Yoo, and S. W.

Kim, "Approximate processing for low-power digital filtering using variable canonic signed digit coefficients," *IEE Electronics Letters*, vol. 36, pp. 11-13, 6th Jan. 2000.

[7] R. Hawley, T. Lin, and H. Samuelli, "A silicon compiler for high-speed CMOS multirate FIR digital filters," *Proc. IEEE International Symposium on Circuits and Systems*, San Diego, CA, pp. 1348-1351, May 1992.

장 영 범(Young-Beom Jang)

정회원



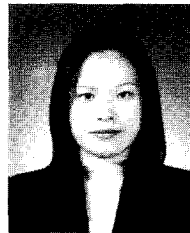
1981년 2월 : 연세대학교 전기공학과 졸업, 공학사
 1990년 1월 : Polytechnic University 전기공학과 졸업, 공학석사
 1994년 1월 : Polytechnic University 전기공학과 졸업, 공학박사

1981년~1999년 : 삼성전자 System LSI 사업부 수석 연구원

2000년~현재 : 이화여자대학교정보통신학과 조교수
 <주관심 분야> 통신신호처리, 음성/오디오 신호처리

양 세 정(Se-Jung Yang)

준회원



2001년 2월 : 이화여자대학교 정보통신학과 졸업, 공학사
 2001년 3월~현재 : 이화여자대학교 정보통신학과 석사3학기

<주관심 분야> 통신신호처리