X-Band 휴대용 위성단말기의 고속 주파수 도약 합성기 구현

정회원 김 정 섭*, 장 동 운*, 최 태 환* 김 재 환**

Implementation of the Fast Frequency Hopping Synthesizer for X-band Satellite Transportable Terminal

Jung-sup Kim*, Dhong-woon Jang*, Tae-hwan Choi*, Jae-hwan Kim** ***Regular Members***

요 약

주파수 도약(Frequency Hopping)시스템을 구현하기 위해서는 고속으로 도약 가능한 주파수 합성기의 개발이 필수적이다. X-band 휴대용 위성단말기는 약 5000홉/초로 주파수 도약하는 대전자전 기능을 가진 단말기이다. 본 논문에서는X-band 휴대용 위성단말기에 실장되는 초고속 주파수 합성기를 DDS Driven PLL 방식을 이용하여 설계 및 제작하였다. 제작된 주파수 합성기는 102.4MHz 국부 발진주파수에서 100KHz 주파수 간격으로 송신주파수 6600~7100MHz, 수신주파수 6140~6640MHz를 발생시키고 입력되는 주파수 정보에 따라 원하는 주파수를 15 usec 이내로 생성하며 1KHz 오프셋 주파수에서 -75dBc의 위상 잡음 특성을 보였다.

ABSTRACT

Frequency synthesizer is an essential part for developing high speed frequency hopping radio. A high speed synthesizer using DDS driven PLL technique is designed and implemented for a X-band portable satellite terminal. It generates transmitter and receiver frequency ranging 6600~7100MHz and 6140~6640MHz, respectively by using 102.4MHz local oscillator. Its lock time is below 15 μsec and Its phase noise is below -75dBc at 1KHz offset frequency.

I. 서 론

현재 군에 배치 운용중인 주파수 도약 무전기들은 저속(10회/초: 차기AM무전기), 중속(100~200회/초: 차기FM무전기, 전술통신체계 장비) 등의 도약속도를 가지며 주파수대역은 HF 또는 VHF 대역이며, 대역폭은 대략 3~300㎒인 PLL 방식의 주파수 합성기가 적용되었다.

군 위성통신에서는 X-band 주파수를 사용하며, 대역폭은 500㎒으로서 여러 가지 단말기들 중에서 휴대용 위성단말의 경우 소형 경량화가 필수 요소이다. 휴대용 위성단말의 주파수 합성기는 이와 같은 요구조건을 만족하면서 군 위성통신 운용환경이 상용통신에 비교되는 정보보호 능력을 위해 5,000회/초 이상의 도약속도를 갖는 고속 주파수합성기 개발이 필수적이다. 그러나 군용 통신장비에 제한적으로 적용되는 X-band 고속 주파수 합성기 기술은 선진국에서도 자국의 통신보안능력을 보호하기 위하여 외국에 누출을 꺼리는 군통신의 핵심기술로 국내독자개발이 반드시 요구되는 기술이다. 따라서 이러한 여러 가지 어려운 요구조건을 만족시키면서 무게와 크기를 최소화하고 대전자전 능력이 우수한 주파수 합성기를 연구하게 되었다.

X-band이며, 채널간격 100KHz, 도약 대역폭 500㎒에서 도약속도 5000회/초의 고속 도약을 위해서는 기존의 PLL 방식이나 DDS 방식만으로는 구현이 불가능하다. 도약속도 5,000회는 한 주파수가 차

* 국방과학연구소 위성통신연구실(jungsup@add.re.kr),
논문번호 : 010264-0928, 접수일자 : 2001년 9월 28일
** 삼성탈레스 기술개발팀(lovimus@samsung.co.kr)

지하는 시간인 chip time이 200μs인데 주파수 합성 천이 시간(lock time)은 chip time의 5-10% 이내(20 μs 이하)에 이루어져야한다. PLL 방식은 기준 주파수(reference frequency)가 기본적으로 낮아 기준 불요파(reference spurious) 잡음이 합성 주파수에 가까워 루프 필터(loop filter)의 고 충실도가 요구되고, 카운터와 prescaler의 계산량이 많아 lock time이 커지는 단점이 있으나 대역폭은 넓게 할 수 있다는 장점이 있다.[1][2][3][4]

DDS(direct digital synthesizer) 방식은 IC chip이 ROM과 D/A 변환기를 이용하여 주파수를 직접 만들어내기 때문에 lock time이 매우 빠르고, 위상 잡음(phase noise) 특성이 좋은 장점이 있는 반면 출력주파수의 불요파 잡음(spurious noise)이 많아 대역폭이 기준 주파수의 30-40% 수준으로 좁아진다는 단점을 가지고 있다.[5][6]

따라서 lock time, 위상 잡음, 불요파 특성, 크기나 소모 전력을 중심으로 검토해 본 결과 복합 방식인 PLL with DDS Generated Frequency Offset 방식과 DDS Driven PLL 방식이 가장 적합한 구조라고 판단되었다.

본 연구에서는 이러한 배경을 바탕으로 위 두 가지 방식으로 각각 X-band 대전자전용 고속 FH 주파수 합성기 설계와 구현을 시도하였고, 두 가지 방식 중 주로 DDS Driven PLL 방식을 이용하여 낮은 위상 잡음 특성과 빠른 lock time을 가지는 X-band 대전자전용 5000 hop/sec 고속 FH 주파수 합성기를 설계 및 제작하였다.

Ⅱ. 본 론

표 1은 X-band 휴대용 위성단말기용 주파수 합성기의 성능 목표이다.

PLL로 구성되는 주파 수합성기에서는 lock time과 위상 잡음은 상호간에 영향을 주는 성능이므로, Trade off에 의해 설계와 구현이 요구되며 본 개발시는 lock time과 위상 잡음을 만족하는데 중점을 두어 본 연구를 수행하였다.

1. PLL with DDS Generated Frequency Offset 방식 주파수합성기

1.1 기본동작

그림 1은 PLL with DDS Generated Frequency Offset 방식으로 설계한 X-band 주파수 합성기의 블럭도이다.

표 1. 휴대용 위성단말기의 주파수합성기 규격

규격	송신주파수합성기	수신주파수합성기
Freq. Band	6.60~7.10GHz	6.14~6.64GHz
Stability	±0.1ppm	±0.1ppm
Resolution	100KHz	100KHz
Lock Time	15usec 이내	15usec 이내
Phase Noise	-75dBc/Hz@1KHz	-75dBc/Hz@1KHz
Harmonics	-30dBc	-30dBc
Spurious Level	-60dBc	-60dBc
Output Level	+7dBn @50Ω	+7dBn @50Ω
Module Size	180×110×15mm	180×110×15mm
Supply Volt.	+5VDC, +12VDC	+5VDC, +12VDC

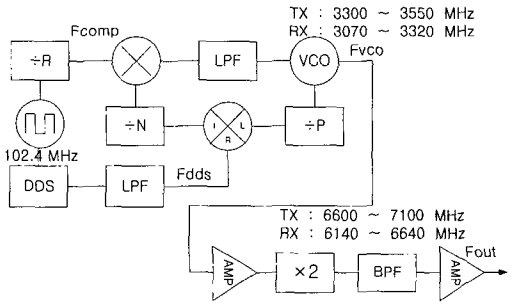


그림 1. PLL with DDS Generated Frequency Offset 방식 주파수합성기 블록도

위 설계 방법은 DDS 의 빠른 lock time을 이용해 수시로 변화되는 오프셋 주파수를 Mixer를 통해 궤환로(feedback path)에 실어 주파수 해상도를 처리하도록 하고, PLL에서는 한번의 초기 데이터 입력으로 DDS 주파수 변화에 따라 VCO 주파수를 변경하게 되며 체배부를 통과하여 최종 국부발진 주파수를 생성하게 된다.

1.2 설계

DDS IC 에서는 102.4 MHz 클럭을 받아 입력되는 분주값에 의해 TX (32.7250~40.5375 MHz) 와 RX (25.5375~33.3500MHz)의 주파수를 출력하고, Mixer를 통해 오프셋 주파수를 제공한다. DDS 주파수(Fdds) 계산식은 다음 식(1)과 같다.

$$Fdds = 102.4\ MHz \times (N / 2^{32}) \quad (1)$$

TX 일때 N=1372585984~1700265984
RX 일때 N=1071120384~1398800384

PLL에서는 6.4MHz를 비교 주파수(Fcomp)로 고정시킨다. VCO 출력의 궤환로에 Mixer를 통해 DDS로부터 주파수 오프셑을 주어 Mixer 단 BPF 이후 PLL로는 항상 70.4MHz가 들어가도록 루프가 동작하게 된다. PLL 분주값의 변화 없이 DDS로 오프셑 주파수를 변화시켜 최종단 VCO 출력에서는 50KHz씩 채널(channel)을 변화시키며, 비교 주파수를 채널 간격(channel spacing)에 관계없이 6.4MHz로 크게 하여 루프 대역폭(loop bandwidth)을 넓힐 수 있어 lock time을 빠르게 할 수 있는 장점을 갖게 된다. PLL 주파수(Fvco) 계산식은 다음 식 (2)와 같으며, 표 2 와 같이 출력주파수를 나타낸다.

$$Fvco=P\times(N\times Fcomp+Fdds) \quad (2)$$

표 2. Fdds, Fvco, Fout 주파수 테이블

TX Fdds (MHz)	Fcomp (MHz)	N	P	TX Fvco (MHz)	TX Fout (MHz)
32.7250000	6.4	11	32	3300.00	6600.0
32.7265625	6.4	11	32	3300.05	6600.1
32.7281250	6.4	11	32	3300.10	6600.2
:	6.4	11	32	:	:
40.5375000	6.4	11	32	3550.00	7100.0

RX Fdds (MHz)	Fcomp (MHz)	N	P	RX Fvco (MHz)	RX Fout (MHz)
25.5375000	6.4	11	32	3070.00	6140.0
25.5390625	6.4	11	32	3070.05	6140.1
25.5406250	6.4	11	32	3070.10	6140.2
:	6.4	11	32	:	:
33.3500000	6.4	11	32	3320.00	6640.0

1.3 구현

그림 2는 PLL with DDS Generated Offset Frequency 방식 주파수합성기의 부품배치도이다. 왼쪽부터 첫번째 블럭은 DDS IC, Amp, LPF를 포함하고, 두번째 블럭은 PLL IC, 루프 필터, 기준 클럭 분주기, Mixer, BPF 단을 포함한다. 세번째 블럭은 VCO, Amp, prescaler를 포함하며, 네번째 블럭은 VCO 출력을 2체배 하는 주파수 체배기(frequency doubler), BPF, Amp 등이 위치한다. 마지막으로 아래에 있는 블럭은 전원필터 및 DDS와 PLL로의 주파수 데이타를 분리하여 주는 버퍼가 있다. 블럭간 상호 전자기 간섭을 제거하기 위해 블럭 사이에 칸막이를 두어, 모듈 덮개를 닫으면 각 블럭은 격리된 상태가 되어 spur의 영향을 최소화 할 수 있도록 하였다.

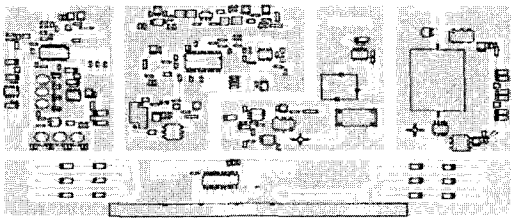


그림 2. PLL with DDS Generated Frequency Offset 방식 주파수 합성기 Layout

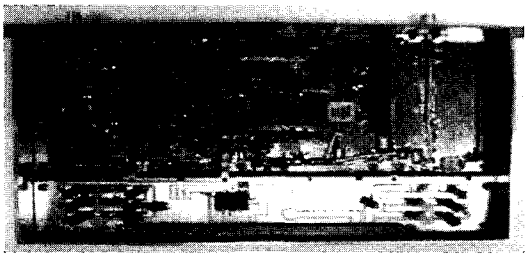


그림 3. PLL with DDS Generated Frequency Offset 방식 주파수 합성기 사진

1.4 결과

PLL with DDS Generated Offset Freqeuncy 방식은 사용한 PLL IC에 6.4MHz 비교 주파수인가시 위상 검출기 출력에서 루프 대역폭내 spur를 발생시키는 AC 성분이 많이 출력되어 루프 필터 대역폭을 줄여야 했고, 그에 따라 lock time도 만족을 못하게 되었다. 이 방식에 맞는 prescaler가 내장되어 있지 않은 PLL IC의 대체 부품과 동작주파수에서 회로구성시 필요한 분주값의 주파수 분주기 등의 부품 선정이 어려워 더 이상의 실험을 진행하지 못하였고, 추후 DDS Driven PLL 방식으로 PLL IC 등을 교체하여 실험을 진행하게 되었다. PLL with DDS Generated Offset Frequency 방식의 측정 데이타는 이와 같은 이유로 생략한다.

2. DDS Driven PLL 방식 주파수합성기

2.1 기본동작

위 설계 방법은 DDS의 빠른 lock time을 이용해 PLL이 빠른 lock time을 갖도록 하고, PLL에서는 DDS로부터 주파수 해상도만큼 수시로 변화되는 높은 비교 주파수를 받아 분주값 만큼 체배하는 기능을 하며 여기서 생성된 주파수는 연속적인 4체배를

통해 최종 국부발진주파수를 생성하게 된다.

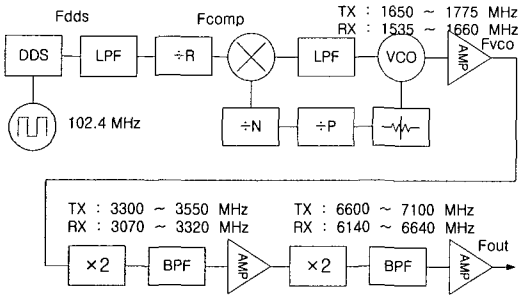


그림 4. DDS Driven PLL 방식 주파수합성기 블록도

2.2 설계 및 측정결과

(1) DDS 블록의 설계 및 측정결과

102.4MHz의 OCXO는 ±0.1ppm 의 높은 Stability와 -130dBc/Hz@1KHz의 낮은 위상 잡음 특성을 가지며 DDS IC로 기준 클럭을 제공한다. DDS IC에서는 이 클럭을 받아 TX (25.781250~27.734375MHz)와 RX (23.984375~25.937500MHz)의 주파수를 입력되는 분주값(32bit Data)에 따라 출력하여 PLL로 비교 주파수(Fcomp)를 제공하는 기능을 한다. DDS 주파수(Fdds)계산식은 식 (3)과 같으며, TX 주파수 출력도는 그림 5와 같다.

$$Fdds = 102.4\ MHz \times (N / 2^{32}) \quad (3)$$

TX 일때 N=1081344000~1163264000

RX 일때 N=1005977600~1087897600

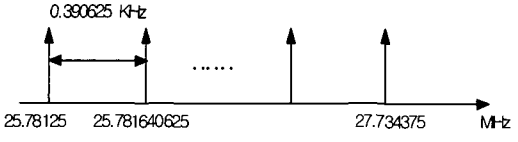


그림 5. TX DDS 주파수 출력도

DDS IC 출력 다음 단의 LPF는 체브쉐브 필터(Chebyshev filter)로 설계하였고, LPF의 특성은 그림 6과 같으며 그림 7(a)에 나타나는 DDS 출력 주파수 성분중 102.4MHz - Fdds 와 각종 spur를 제거한 후 그림 7 (b)와 같은 측정결과를 보여준다. PLL에서는 DDS 출력주파수를 기준 클럭으로 받아 위상 검출기에서 동작할 수 있도록 R 카운터에서 4로 나누어주게 되고, PLL로 비교 주파수(Fcomp)를 송신 주파수 합성기의 경우에는 6.44531250000~6.93359375MHz 범위로, 수신 주파수 합성기의 경우에는 5.99609375~ 6.484375MHz 주파수범위 안에서 변화시켜 주어 PLL 분주값의 변화 없이 VCO 출력에서 25KHz 씩 채널을 변화시킬 수 있게 된다. 비교 주파수를 주파수 해상도(channel spacing)에 관계없이 5.9~6.9MHz 정도로 크게 하여 루프 대역폭을 넓힐 수 있어 lock time을 빠르게 할 수 있는 장점이 있다.

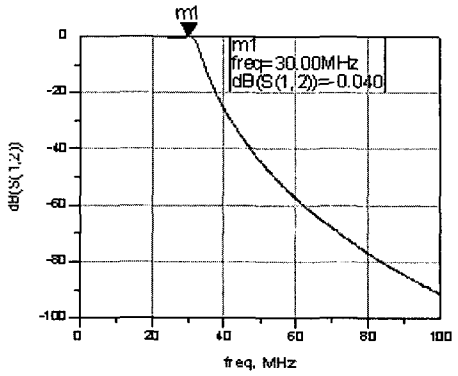
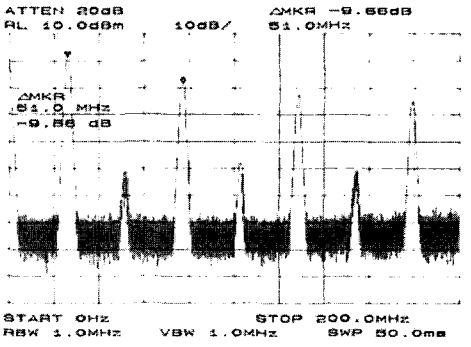
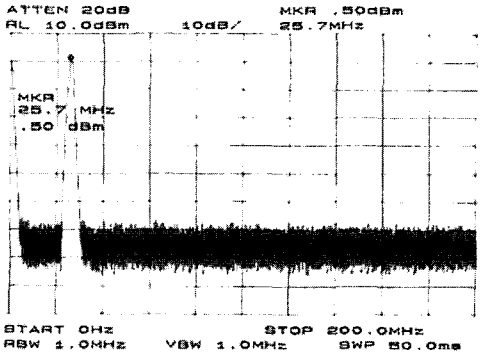


그림 6. DDS 단 LPF 특성



(a)



(b)

그림 7. 필터링 전후의 DDS 출력 주파수

PLL 주파수(Fvco) 계산식은 식(4)와 같으며, 표 3은 출력주파수를 나타낸다.

$$Fvco = Fcomp \times (B \times P + A) \quad (4)$$

표 3. Fdds, Fvco, Fout 주파수테이블

TX Fdds (MHz)	A	B	P	TX Fvco (MHz)	TX Fout (MHz)
6.44531250000	0	8	32	1650.000	6600.0
6..44541015625	0	8	32	1650.025	6600.1
:	:	:	:	:	:
6.93359375000	0	8	32	1775.000	7100.0

RX Fdds (MHz)	A	B	P	RX Fvco (MHz)	RX Fout (MHz)
5.96093750000	0	8	32	1535.000	6140.0
5.99619140625	0	8	32	1535.025	6140.1
:	:	:	:	:	:
6.48437500000	0	8	32	1660.000	6640.0

(2) PLL 루프 필터의 설계 및 시뮬레이션

PLL 루프 필터는 그림 8과 같이 3차 능동형 루프 필터(active loop filter)로 설계하여 reference spur를 60dBc 이하로 억압시키고 적절한 소자값을 바꿔가며 lock time을 맞추는 최적화(optimization)을 수행하였다. 그러나 연속적인 두 체배를 통한 reference spur의 레벨증가에 따른 추가 감쇄를 위해 루프 대역폭을 줄여야만 했고, 그 결과 lock time을 만족할 수가 없게 되어 그림 9와 같은 필터 구조를 설계하게 되었다.

그림 9의 필터 구조는 5차 능동형 필터로서 3차 필터에서 추가된 부분은 체배시 그림 10에 보듯 reference spur 부분만을 추가로 감쇄시키는 역할을 하게 된다. 극점을 추가함으로서 발생되는 루프 대역폭 변화를 최소화하기 위해 elliptic function LPF를 사용하여 설계하였으며, lock time에 큰 영향을 주지 않도록 최적화를 수행하여 구현하였다.

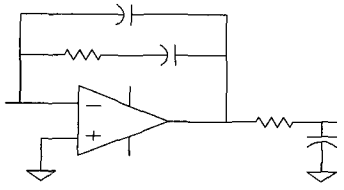


그림 8. 3차 능동형 루프 필터

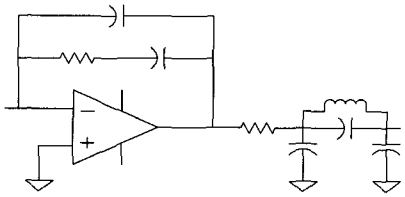


그림 9. 5차 능동형 루프 필터

그림 11은 전대역 도약시 lock time을 측정한 결과이며, (a)는 6.6GHz에서 7.1GHz로 주파수를 바꿀 때 (b)는 7.1GHz에서 6.6GHz로 주파수를 바꿀 때 DDS 데이타 입력시 스트로브(strobe)신호를 기준으로 잡아 VCO의 제어 전압 천이시간을 측정한 것이다. VCO 주파수와 제어 접압의 변화는 거의 동일하므로 제어 전압의 천이시간을 lock time으로 간주하였다. 그림 11에서 세로로 그어져 있는 점선과 실선의 시간 차이가 상단우측에 15usec 임을 나타내고 있다.

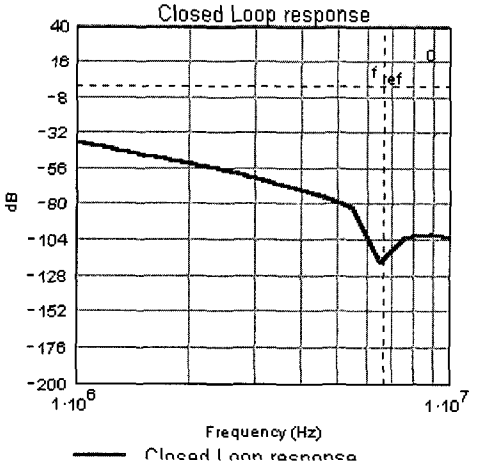
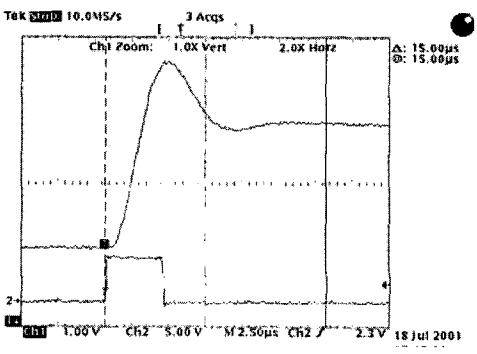
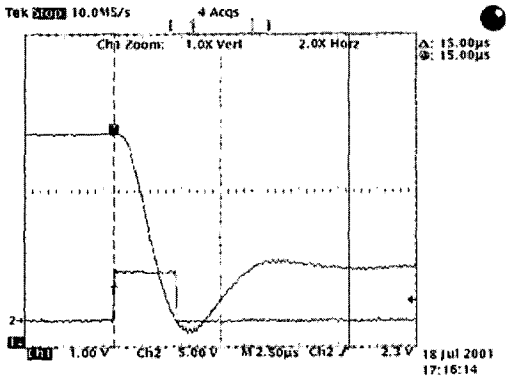


그림 10. reference spur 추가 감쇄



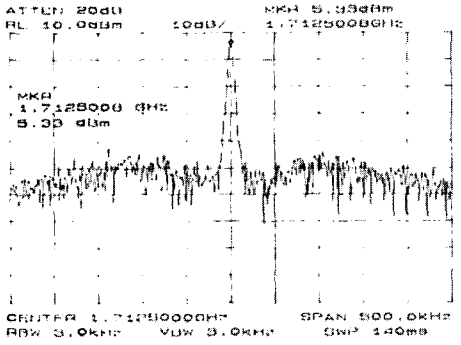
(a)



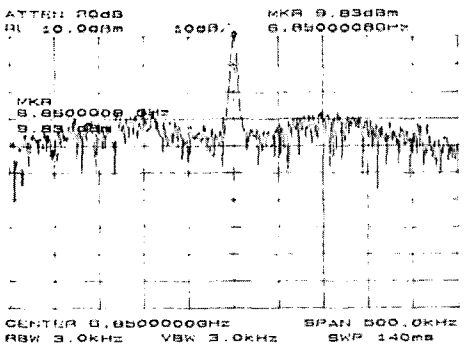
(b)

그림 11. 전대역(500MHz) 도약시 lock time 측정 결과

그림 12의 (a)는 송신주파수합성기 1.7125 GHz 의 VCO 출력 스펙트럼이며, (b)는 4체배 후 6.85 GHz 의 최종주파수 스펙트럼을 측정한 것이다.



(a)



(b)

그림 12. 송신 주파수 합성기의 Fvco와 Fout 중간 주파수 스펙트럼

그림 13은 PLL 출력인 Fvco주파수의 위상 잡음을 시뮬레이션한 것으로, 1KHz offset 에서 약 -84dBc/Hz 의 위상 잡음을 나타내며 목표성능을 만족함을 알 수 있다.

그림 14의 (a)와 (b)는 Agilent사 스펙트럼 분석기의 위상 잡음 측정 기능을 사용하여 측정한 것으로 오차가 많아 정확하지는 않지만, 그림14의 (a)와 그림 13과 비교해보면 거의 유사한 것을 알 수 있다. 그림 14의 (a)는 체배 전의 최종 출력의 위상 잡음을 측정한 것으로 1KHz offset에서 -80.33dBc/Hz임을 알 수 있고, (b)는 체배 후의 최종 출력의 위상 잡음을 측정한 것으로 1KHz offset에서 -69.17dBc/Hz의 위상 잡음을 나타낸다. 따라서 체배 전의 위상 잡음 보다 대략 +20log(4)≅12dB 정도 악화된 것을 알 수가 있다.

그림 15의 (a)와 같이 DDS가 주파수를 sweep 하게되면 Fvco의 출력도 그림 (b)와 같이 sweep 을 하게되고, 연속적인 2체배를 통한 최종 출력은 그림 (c)와 같이 나타난다. 그림 (c)에서 보듯 최종 주파수 성분이외에 spurious 신호가 거의 없음을 알 수 있다.

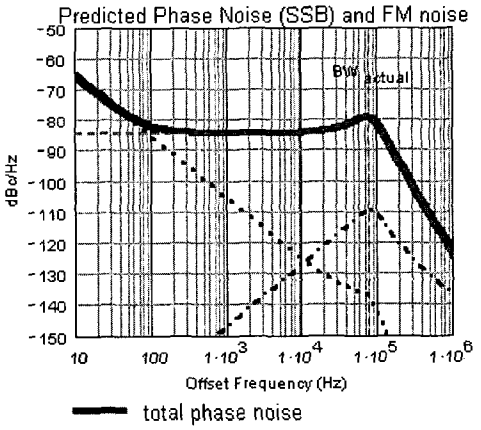
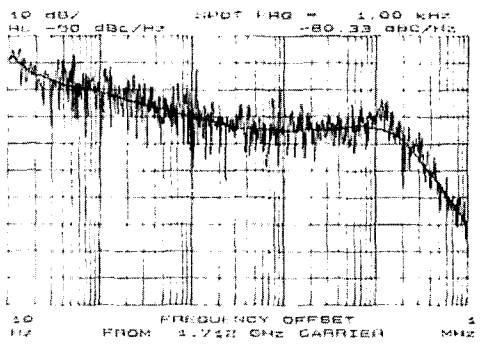
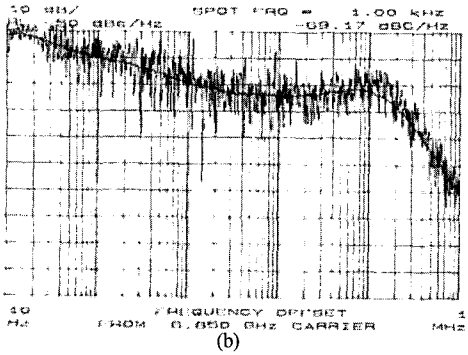


그림 13. Fvco 위상 잡음 시뮬레이션 결과

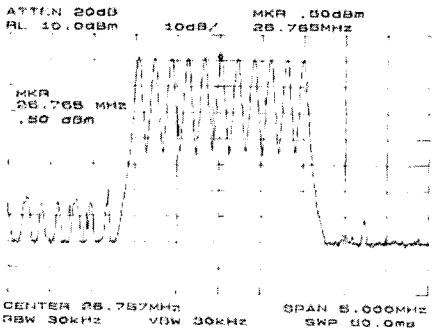


(a)

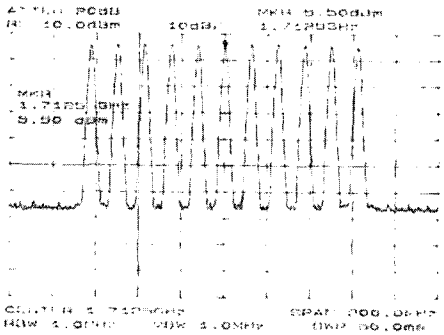


(b)

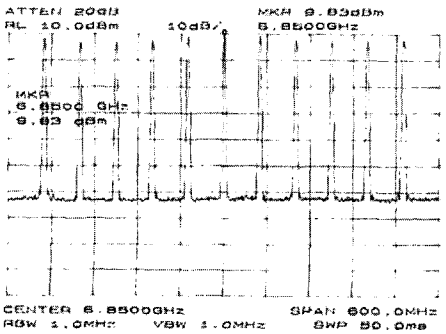
그림 14. 송신 주파수 합성기의 Fvco & Fout 위상 잡음 측정 결과



(a)



(b)



(c)

그림 15. 송신 주파수 합성기의 Fdds & Fvco & Fout sweep

2.3 구현

그림 16의 왼쪽부터 첫번째 블럭은 DDS IC, Amp, LPF, PLL IC, 루프 필터, VCO 등을 포함하고, 두번째 블럭은 각각 2 체배 씩 연속 4 체배하게 되는 주파수 2 체배기 2종, BPF 2종 , Amp 3종이 위치한다.

아래에 있는 블록은 전원필터 및 DDS와 PLL로의 주파수 데이타를 분리하여 주는 버퍼가 있고, 블럭간 상호 전자기간섭을 제거하기 위해 블럭 사이에 칸막이를 두어 모듈 덮개를 닫으면 각 블럭은 격리된 상태가 되어 spur의 영향을 최소화 할 수 있도록 하였다.

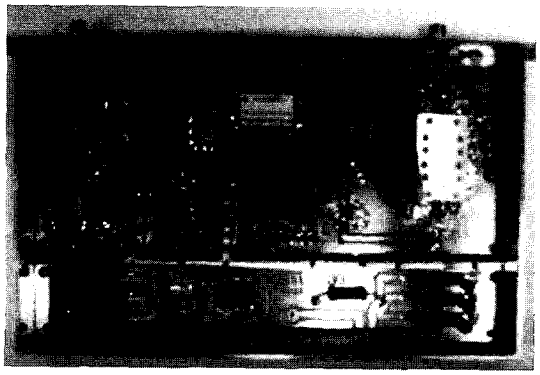


그림 16. DDS Driven PLL 방식 주파수합성기

3. Module 크기 축소 및 성능개선

그림 17은 이전 4체배 방식에서 PLL IC를 다시 선정하여 2체배 방식으로 바꾸어 설계한 블록도 이며, 휴대용임을 감안하여 그림 18과 같이 모듈크기 60mm × 110mm 로 축소 설계하여 실험을 진행하였다.

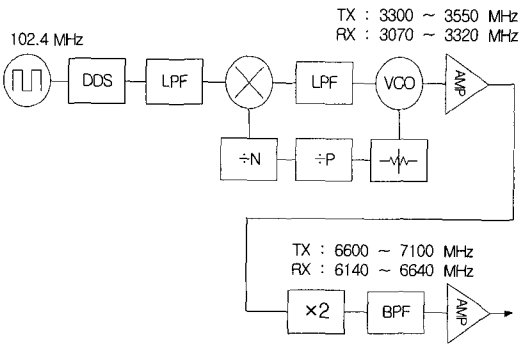


그림 17. 축소된 DDS Driven PLL 방식 주파수 합성기 블럭도

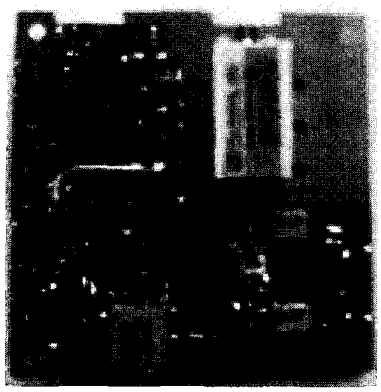


그림 18. Module 크기 축소 사진

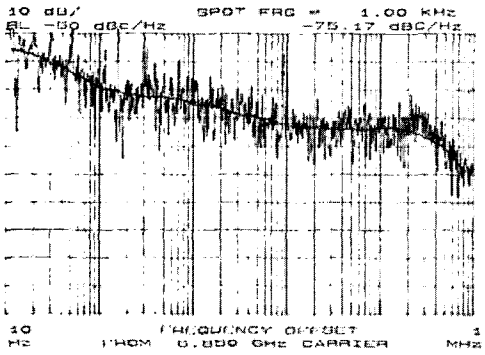


그림 19. 출력 주파수 위상 잡음 측정 결과

PLL IC 변경에 따른 비교 주파수를 예전보다 증가시킬 수 있어 lock time도 향상시킬 수 있었으며, 체배부 한단을 제거함으로서 그림 19와 같이 위상 잡음도 1KHz 오프셋에서 -75.17dBc/Hz로 그림 14의 (b)에 비해 20log(2)≅6dB 만큼 개선하였다.

Ⅲ. 결 론

본 연구에서는 X-band에서 500MHz의 대역폭과 초당 약 5000홉을 도약하며 크기가 작고 저전력 소모의 X-band 휴대용 위성단말기용 고속 주파수 합성기를 설계 및 제작하였다.

lock time, 위상 잡음, 불요파 특성, 크기나 소모 전력을 중심으로 검토해 본 결과 PLL with DDS Generated Frequency Offset 방식과 DDS Driven PLL 방식이 가장 적합한 구조라고 판단되었고 부품의 선택도가 높은 DDS Driven PLL 방식을 이용하여 고속 FH 주파수 합성기를 제작 측정하였다.

특히 DDS Driven PLL 방식을 적용함에 있어 초기에는 비교적 낮은 비교 주파수를 사용하는 PLL IC를 이용한 4체배 방식으로 제작하여 시험해 본 결과 lock time이 15μ sec, 위상 잡음이 1KHz 오프셋에서 -69dBc/Hz 정도로 측정되어 원하는 규격을 만족하지 못하였다.

따라서 높은 비교 주파수를 사용하는 PLL IC를 이용한 2체배 방식으로 변경하여 적용함으로서 모듈의 크기를 반으로 줄일 수 있어 송수신 주파수 합성기를 한 개의 모듈로 설계 제작이 가능하도록 하였고 4체배 방식에 비해 lock time을 약 3μ sec 정도 개선할 수 있었으며 또한 위상잡음도 6dB 정도 개선할 수 있었다.

또한 elliptic 기능을 갖는 5차 능동형 필터를 새로이 제안하고 적용함으로써 reference spur를 줄이고 lock time에 영향을 주지 않게 루프 필터를 설계하였다.

2체배 방식으로 실험한 결과 lock time은 15μ sec 이내로 측정되었고, 위상 잡음은 전 대역에 걸쳐 1KHz 오프셋에서 -75dBc/Hz로 측정되었으며, 불요파 및 고조파도 원하는 목표치를 만족하였다. 향후 lock time 과 함께 위상 잡음을 동시에 향상시킬 수 있는 방안에 중점을 두어 성능 개선을 지속적으로 추진할 계획이다.

참 고 문 헌

[1] Bar-Giora Goldberg, "Digital Techniques in Frequency Synthesis", McGraw-Hill, Inc. 1995

[2] Ulrich L. Rohde, "Microwave and Wireless Synthesizers", John Wiley & Sons, Inc. 1997

[3] Heinrich Meyr, "Synchronization in Digital Communications", John Wiley & Sons, Inc. 1989

[4] Roland E. Best, "Phase-Locked Loops", McGraw-Hill, Inc. 1996

[5] Lance Lascari, "Accurate Phase Noise Prediction in PLL Synthesizers", Applied Microwave & Wireless, pp.30-38, April 2000, pp.90-96 May 2000

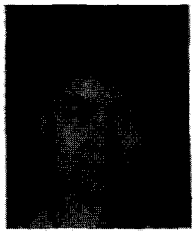
[6] Lance Lascari, "Accurate Phase Noise Prediction in PLL Synthesizers", Applied Microwave & Wireless, pp.90-96 May 2000

김 정 섭(Jung-Sup Kim) 정회원

1986년 2월 : 경북대학교 전자공학과(공학사)
1988년 2월 : 경북대학교 전자공학과(공학석사)
2000년 8월 : 경북대학교 전자공학과(공학박사)

1988년 2월~현재 : 국방과학연구소 선임연구원
<주관심 분야> 대역확산통신, 위성통신, SDR

장 동 운(Dhong Woon Jang) 정회원



1986년 2월 : 경북대학교 전자공학과(공학사)
1988년 2월 : 한국과학기술원 전기전자공학과(공학석사)
1998년 8월 : 한국과학기술원 전기전자공학과 졸업 (공학박사)

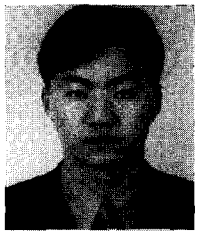
1988년 2월~현재 : 국방과학연구소 선임연구원
<주관심 분야> 대역확산통신, 위성통신., 모뎀

최 태 환(Tae-Hwan Choi) 정회원

1985년 2월 : 경북대학교 전자공학과(공학사)
1987년 2월 : 경북대학교 전자공학과(공학석사)
1987년 2월~현재 : 국방과학연구소 선임연구원

<주관심 분야> 대역확산통신, 위성통신., 디지털 통신

김 재 환(Jae-Hwan Kim) 정회원



1998년 2월 : 아주대학교 전자공학부(공학사)
1998년 2월~2000년 2월 : 삼성전자 전략시스템사업팀
2000년 2월~현재 : 삼성탈레스 기술개발팀

<주관심 분야> 초고주파공학, 통신공학