

고온 응용을 위한 SiC MOSFET 문턱전압 모델

Modeling the Threshold Voltage of SiC MOSFETs for High Temperature Applications

이원선, 오충완, 최재승, 신동현, 이형규, 박근형, 김영석
(Weon-Seon Lee, Chung-Wan Oh, Jae-Seung Choi, Dong-Hyun Shin,
Hyung-Gyoo Lee, Keun-Hyung Park, and Yeong-Seuk Kim)

Abstract

A threshold voltage model of SiC N-channel MOSFETs for high-temperature and hard radiation environments has been developed and verified by comparing with experimental results. The proposed model includes the difference in the work functions, the surface potential, depletion charges and SiC/SiO₂ acceptor-like interface state charges as a function of temperature. Simulations of the model showed that interface states were the most dominant factor for the threshold voltage decrease as the temperature increase. To verify the model, SiC N-channel MOSFETs were fabricated and threshold voltages as a function of temperature were measured and compared with model simulations. From these comparisons, extracted density of interface states was $4 \times 10^{12} \text{ cm}^{-2} \text{ eV}^{-1}$.

Key Words : SiC, MOSFET, Threshold Voltage, Model

1. 서론

SiC는 실리콘보다 고온 특성이 우수하기 때문에 고온 및 방사선이 심한 환경에서 동작하는 특수한 IC 재료로서 각광받기 시작하였다[1,2]. 즉, SiC는 에너지 밴드갭이 실리콘보다 약 3배 정도 높아서 [3] 동작온도를 실리콘의 약 2배인 500 °C까지 높일 수 있다. 또한 SiC는 실리콘보다 절연파괴장도가 약 10배 이상, 열전도도는 약 3배 이상, 포화드립프트 속도는 약 3배 정도 크기 때문에 이동통신 중계기, 자동차, 항공우주분야 등의 고온 극한 환경에서의 동작이 가능하다.

SiC의 이러한 우수한 특성으로 인하여 고내압PN 접합다이오드, 쇼트키 장벽다이오드[4], MESFET[5],

전력 MOSFET, 고전압 대전력 사이리스터 등이 개발되어 사용되고 있다. 또한 이러한 SiC 전력소자들을 구동하기 위해서는 저전압 CMOS 논리회로[6,7] 및 연산증폭기[8] 등이 필요하다. 그러나 SiC는 고온에서 실리콘과는 다른 특성을 가지기 때문에 [9] 이러한 소자 및 IC를 개발하기 위해서는 SiC MOSFET SPICE 모델 개발이 선행되어야 하지만 아직까지는 이러한 시도가 없었다. 특히 SiC MOSFET의 문턱전압은 실리콘 MOSFET의 문턱전압과는 달리 온도가 증가하면 아주 급격히 문턱전압이 감소하는데 아직 이러한 이유에 대한 설명 및 모델 개발이 없었다[9,10]. 본 논문에서는 SiC MOSFET의 문턱전압에 대한 새로운 모델을 제안하고 개발하였다. 제안된 모델의 검증을 위하여 SiC N-채널 MOSFET을 제작하고 문턱전압의 온도변화를 측정하여 모델 시뮬레이션 결과와 비교하였다. 또한 다른 논문들에서 발표된 문턱전압 측정결과[7,9]를 제안된 문턱전압모델로 분석하여 보았다.

충북대학교 전기전자및컴퓨터공학부
(충북 청주시 개선동 산48번지,
FAX : 043-274-9614
E-mail : kimys@cbucc.chungbuk.ac.kr)
2002년 2월 22일 접수, 2002년 3월 29일 1차 심사 완료
2002년 4월 12일 최종 심사 완료

2. 문턱전압 모델

SiC MOSFET의 문턱전압은 실리콘 MOSFET과 마찬가지로 다음과 같이 표현된다.

$$\begin{aligned}
 V_{TH} &= \phi_{ms} + 2\phi_f + \frac{-Q_B}{C_{ox}} + \frac{-Q_{IT}}{C_{ox}} + \frac{-Q_F}{C_{ox}} \\
 &= V_{TH}(T_0) + \Delta\phi_{ms} + 2\Delta\phi_{f(SiC)} \\
 &\quad + \frac{-\Delta Q_B}{C_{ox}} + \frac{-\Delta Q_{IT}}{C_{ox}} \quad (1)
 \end{aligned}$$

여기서 Q_B , Q_{IT} , Q_F 는 각각 채널의 공핍전하, SiC/SiO₂ 계면상태 전하(interface state charge), 고정 또는 포획된 전하를 나타낸다. 고정 또는 포획된 전하들은 산화막 성장후 어닐링 등을 통하여 줄일 수 있기 때문에 이들의 온도에 대한 변화는 무시하였다. 위의 식에서 각각의 성분들은 아래와 같다. 먼저 일함수에 의한 문턱전압의 변화는 다음 식과 같다.

$$\phi_{ms} = \chi_{Si} - \chi_{SiC} + \frac{E_{g(Si)} - E_{g(SiC)}}{2} + \phi_{f(Si)} - \phi_{f(SiC)} \quad (2)$$

$$\Delta\phi_{ms} = \phi_{ms}(T) - \phi_{ms}(T_0) \quad (3)$$

여기서 SiC MOSFET 게이트는 P형 폴리실리콘으로 가정하였다. 식(2)에 의해서 온도가 증가하면서 $\Delta\phi_{ms}$ 는 증가하는 것을 알 수 있다. 이 변화는 다른 성분들의 온도 특성과는 반대의 특성을 갖는다.

다음으로 강반전(strong inversion)시의 표면전위(surface potential)에 의한 문턱전압 변화는 다음과 같다.

$$2\Delta\phi_{f(SiC)} = 2[\phi_{f(SiC)}(T) - \phi_{f(SiC)}(T_0)] \quad (4)$$

여기서

$$\begin{aligned}
 \phi_{f(SiC)}(T) &= \frac{kT}{q} \ln \frac{N_A}{n_i(T)}, \\
 n_i(T) &= n_i(T_0) \left(\frac{T}{T_0}\right)^{\frac{3}{2}} e^{-\left[\frac{E_g(T)}{2kT} - \frac{E_g(T_0)}{2kT_0}\right]} \\
 E_g(T) &= E_g(T_0) - 3.4 \times 10^{-4}(T - T_0).
 \end{aligned}$$

식 (4)에서 N_A 의 온도에 대한 변화는 무시하였다. 그림 1은 온도의 증가에 따른 표면전위 변화 및 계면상태의 변화를 나타내는 것으로, 온도가 증가하면 표면전위가 감소하여 문턱전압이 감소함을

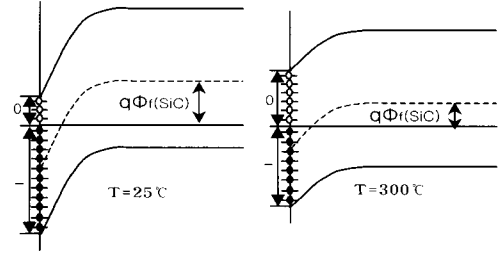


그림 1. 온도의 변화에 따른 표면전위 및 계면상태의 변화.

Fig. 1. Variations of the surface potential and interface states upon temperature.

식 (4)에서 모델링하고 있다.

다음으로 채널아래 부분의 공핍영역 전하의 문턱전압 변화는 다음과 같다.

$$\frac{-\Delta Q_B}{C_{ox}} = \frac{-[Q_B(T) - Q_B(T_0)]}{C_{ox}} \quad (5)$$

여기서 $Q_B(T) (= -\sqrt{4q\epsilon_s N_A \phi_{f(SiC)}(T)})$ 는 온도가 증가하면 표면전위 및 공핍전위의 크기는 감소하여 문턱전압은 감소한다.

또한 계면상태에 의한 문턱전압 변화를 모델링하기 위하여 계면상태가 금지대역에서 균일하게 분포하며 유사 어셉터 트랩(acceptor-like trap) 특성을 가진다고 가정하였다. 그림 1과 같이 유사 어셉터 트랩은 비어있을 때는 중성전하를 가지고 전자로 채워졌을 때는 “-”전하를 가진다. 따라서 계면상태에 의한 전하는

$$Q_{IT} = -qD_{IT} \cdot \left[\frac{E_g(T)}{2} + q\phi_{f(SiC)}(T) \right] \quad (6)$$

로 모델할 수 있다. 이때 D_{IT} 는 계면상태 밀도로 SiC의 경우 보통 $10^{12} \sim 10^{13} \text{ cm}^{-2} \text{ eV}^{-1}$ 정도이다. 따라서 계면상태에 의한 문턱전압변화는 다음과 같이 모델링할 수 있다.

$$\frac{-\Delta Q_{IT}}{C_{ox}} = \frac{-[Q_{IT}(T) - Q_{IT}(T_0)]}{C_{ox}} \quad (7)$$

위 식은 온도가 증가하면서 페르미 레벨이 미드갭(midgap)으로 이동하여 페르미 레벨 이하의 계면상태에 의한 “-”전하량이 감소하여 문턱전압이 감소함을 모델링하고 있다.

위에서 제안된 문턱전압 모델을 이용하여 온도의 증가에 따른 문턱전압 성분들의 변화를 그림 2

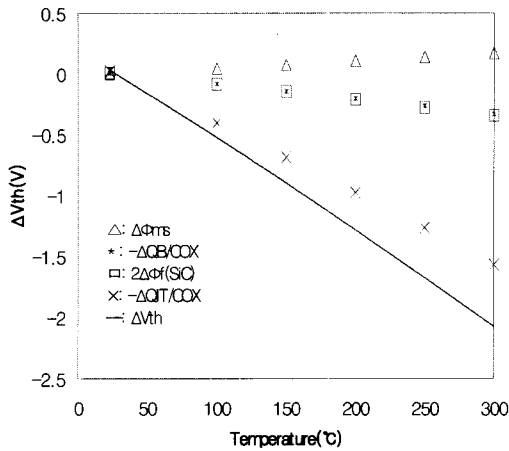


그림 2. 시뮬레이션에 의한 온도 변화에 따른 SiC N-채널 MOSFET의 문턱전압 성분들의 변화.
 Fig. 2. Simulated variations of the threshold voltage components of SiC N-channel MOSFET upon temperature.

표 1. 그림 2의 시뮬레이션에 사용된 SiC 변수값.
 Table 1. SiC parameters for model simulations used in Fig. 2.

parameters	values
N_A	$3 \times 10^{17} \text{ cm}^{-3}$
T_{ox}	400 Å
D_{rr}	$4 \times 10^{12} \text{ cm}^2 \text{ eV}^{-1}$
E_g	2.9 eV
ϵ_r	10.0
n_i	$2.6 \times 10^{-6} \text{ cm}^{-3}$
χ (electron affinity)	3.3 eV

에 나타내었다. 그림 2에서 실선은 제안된 모델에 의한 문턱전압 시뮬레이션결과를 나타낸 것이다.

세모(Δ)로 표시된 데이터는 $\Delta\phi_{ms}$ 에 의한 문턱전압의 변화, 네모(\square)로 표시된 데이터는 표면전위 변화에 의한 문턱전압 변화, 별표(*)와 엑스표(\times)는 각각 Q_B 와 Q_{IT} 의 변화에 의한 문턱전압의 감소를 나타내었다. 시뮬레이션에 사용된 변수들은 표 1과 같다. 그림 2에서 계면상태의 변화에 의한 문턱전압의 변화가 가장 심각한 것을 알 수 있다. 이런 현상은 보통 실리콘 MOSFET에서는 볼 수 없는데 이것은 실리콘 기술의 발전으로 인한 계면상태를 거의 무시할 수 있기 때문이다.

3. SiC MOSFET의 제작 및 모델 검증

앞 절에서 제안된 SiC MOSFET 문턱전압 모델의 검증을 위하여, SiC N-채널 MOSFET을 제작하고 온도의 변화에 따른 문턱전압 변화를 측정하였다.

공정순서는 다음과 같다. 먼저 질소로 도핑된 SiC 기판위에 도핑농도 $3 \times 10^{15} \text{ cm}^{-3}$, 두께 5 μm 의 N형 에피층을 성장하였다. P-우물(well)은 고온 고에너지 다중 이온주입을 통해서 표면농도 10^{18} cm^{-3} , 깊이 1.0 μm 로 retrograde 형태로 형성하였다. 다음으로 소자 격리를 위해서 필드(field) 산화막 대신 채널 스탑(channel stop) 이온주입을 실시하였는데, 그 이유는 SiC에서 고온 성장된 열산화막은 실리콘에서 성장된 산화막과 유사한 품질을 보이지 않, 성장률이 낮아 필드산화막과 같은 두꺼운 산화막의 성장이 거의 불가능하기 때문이다. 다음으로 소오스 및 드레인 접합은 질소를 불순물로 사용하여 다중 이온주입을 통해 표면 농도 10^{20} cm^{-3} , 깊이 0.3 μm 로 형성하였다. SiC는 일반적으로 확산이 거의 되지 않는 물질로 알려져 있고 주입된 불순물을 활성화시키기 위해서 상당한 고온이 필요하다. 고온 열처리시 주입된 불순물과 기판을 구성하고 있는 실리콘 원자가 기판으로부터 확산되어 나오는 것을 방지하기 위해 고온 열처리 전에 건식 산화막을 성장시켜 확산장벽으로 사용하였다. 이러한 고온 공정은 게이트 형성 전에 수행되어야 하기 때문에 비-자기정렬 형태의 소오스/드레인 구조를 갖고 있다. 게이트 산화막은 습식으로 400 Å 성장시킨 후, 알곤 분위기에서 열처리를 수행하였다. 게이트로는 폴리실리콘을 증착하고 P형 도펀트를 이온주입을 통해 도핑하였다. 마지막으로 오믹 접합을 형성하기 위해 N형 및 P

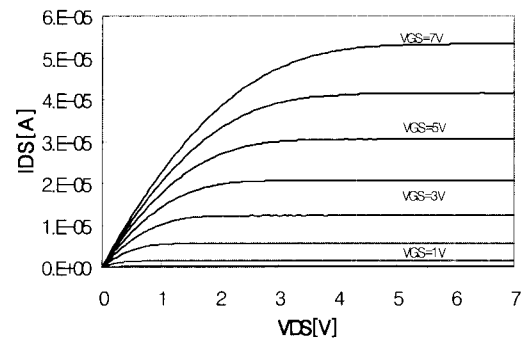


그림 3. SiC N-채널 MOSFET의 $I_{DS}-V_{DS}$ 특성 곡선($W/L=210 \mu\text{m}/60 \mu\text{m}$).

Fig. 3. $I_{DS}-V_{DS}$ characteristics of SiC N-channel MOSFET($W/L=210 \mu\text{m}/60 \mu\text{m}$).

형 접합 모두에 니켈을 증착하여 공정을 단순화하였으며, 알루미늄 배선으로 공정을 마무리하였다.

그림 3에 제작된 SiC N-채널 MOSFET의 IDS-VDS 특성을 보여주고 있다. 채널길이 및 폭이 각각 60 μm 및 210 μm 인 N-채널 MOSFET 소자이며 VGS = VDS = 5 V인 경우 드레인 전류는 약 30 μA 이다. 그림 4는 VDS = 0.1 V 일 때 게이트 전압의 변화에 따른 드레인 전류 IDS 및 트랜스컨덕턴스 gm 변화를 보여주고 있다. 이 그림에서 gm이 최대일 때 IDS 미분치를 구하고 VGS와 만나는 점이 문턱전압이다.

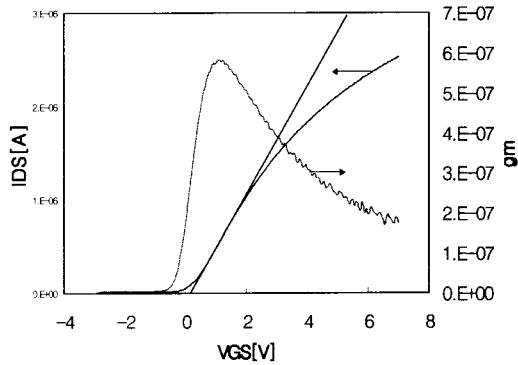


그림 4. SiC N-채널 MOSFET의 문턱전압 추출 (VDS=0.1V).

Fig. 4. Extraction of the threshold voltage of SiC N-channel MOSFET (VDS=0.1V).

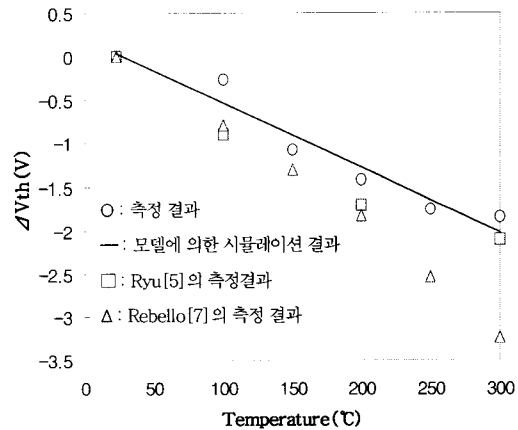


그림 5. SiC N-채널 MOSFET의 문턱전압 온도 변화.

Fig. 5. Variations of the threshold voltage of SiC N-channel MOSFET upon temperature.

제작된 SiC N-채널 MOSFET의 문턱전압에 대한 고온특성을 측정해본 결과를 그림 5에서 나타내었다. 이 그림에서 원(○)은 본 논문에서 제작된 SiC N-채널 MOSFET의 문턱전압 측정결과이며, 실선은 본 논문에서 제안된 모델에 의한 시뮬레이션 결과이다. 또한 네모(□)와 세모(△)는 각각 Ryu[7]와 Rebello[9]에 의한 문턱전압 측정결과이다. 제작된 SiC N-채널 MOSFET 소자의 측정 결과와 시뮬레이션 결과와의 비교로부터 추출된 계면상태 밀도(D_{IT})는 $4 \times 10^{12} \text{ cm}^{-2} \text{ eV}^{-1}$ 이다. 추출된 계면상태 밀도는 실리콘에 비하여 높은 편이어서 이를 최소화시키는 노력이 필요한데, 이를 위하여 산화막 성장후 재산화와 같은 여러 가지 시도를 하고 있다.

4. 결론

본 논문에서 SiC N-채널 MOSFET의 문턱전압 모델을 제안하였으며, 이의 검증을 위하여 소자를 제작하고 문턱전압의 온도 상승에 따른 변화를 측정하여 모델 시뮬레이션 결과와 비교하였다. 제안된 문턱전압 모델에서는 일함수, 표면전위, 공핍영역 전하, 계면 상태 밀도 등의 온도 특성을 포함하였으며, Matlab 프로그램을 이용하여 시뮬레이션한 결과 SiC/SiO₂ 계면상태 밀도의 영향이 제일 많은 것을 알 수 있었다. 본 연구에서 제작된 SiC N-채널 MOSFET 소자의 문턱전압 변화로부터 추출된 계면상태 밀도(D_{IT})는 $4 \times 10^{12} \text{ cm}^{-2} \text{ eV}^{-1}$ 이다.

감사의 글

본 연구는 산업자원부 산업기반기술개발사업(공고번호: 990-17-03) 및 한국과학재단 목적기초연구(과제번호: 2000-2-30200-010-3)의 지원으로 수행되었음.

참고 문헌

- [1] 김형준, 나훈주, 정재경, "SiC 반도체 공정 및 소자기술 연구 현황", 전기전자재료학회논문지, 13권, 3호, p. 9, 2000.
- [2] 김은동, "SiC 반도체 기술현황과 전망", 한국전기전자재료학회 2001추계학술대회논문집, p. 13, 2001.

- [3] Y. S. Park, "SiC Materials and Devices", Academic Press., San Diego, p. 14, 1998.
- [4] R. Raghunathan, D. Alok, and B. J. Baliga, "High voltage 4H-SiC schottky barrier diodes", *IEEE Electron Device Lett.*, Vol. 16, p. 226, 1995.
- [5] C. E. Weitzel J. W. Palmour, C. H. Carter, Jr., and K. J. Nordquist, "4H-SiC MESFET with 2.8 W/mm power density at 1.8 GHz", *IEEE Electron Device Lett.*, Vol. 15, p. 406, 1994.
- [6] S. Ryu, K. T. Kornegay, J. A. Cooper, Jr., and M. R. Melloch, "Monolithic CMOS digital integrated circuits in 6H-SiC using an implanted p-well process", *IEEE Electron Device Lett.*, Vol. 18, p. 194, 1997.
- [7] S.-H. Ryu, K. T. Kornegay, J. A. Cooper, Jr., and M. R. Melloch, "Digital CMOS IC's in 6H-SiC operating on a 5-V power supply", *IEEE Trans. on Electron Devices*. Vol. 45, p. 45, 1998.
- [8] J.-S. Chen, K. T. Kornegay, "Design of a process variation tolerant CMOS opamp in 6H-SiC technology for high-temperature operation", *IEEE Trans. of Circuits and Systems*, Vol. 45, p. 1159, 1998.
- [9] N. S. Rebello, F. S. Shoucair, and J. W. Palmour, "6H silicon carbide MOSFET modelling for high temperature analogue integrated circuits (25-500°C)", *IEE Proc.-Circuits Devices Syst.*, Vol. 143, p. 115, 1996.
- [10] 박승욱, 강수창, 박재영, 신무환, "4H-SiC Recessed-gate MESFET의 DC 특성 모델링 연구", *한국전기전자재료학회 2001추계 학술대회논문집*, p. 238, 2001.