

## Optimization of Double Polishing Pad for STI-CMP Applications

朴成祐\* · 金相用\*\* · 徐龍辰\*\*\*

(Sung-Woo Park · Sang-Yong Kim · Yong-Jin Seo)

**Abstract** - Chemical mechanical polishing (CMP) process was required for the global planarization of inter-metal dielectric (IMD), inter-level dielectric (ILD) layers of multi-layer interconnections. In this paper, we studied the characteristics of polishing pad, which can apply shallow trench isolation (STI)-CMP process for global planarization of multi-level interconnection structure. Also, we investigated the effects of different sets of polishing pad, such as soft and hard pad. As an experimental result, hard pad showed center-fast type, and soft pad showed edge-fast type. Totally, the defect level has shown little difference, however, the counts of scratch was detected less than 2 on JR111 pad. Through the above results, we can select optimum polishing pad, so we can expect the improvements of throughput and device yield.

**Key Words** : chemical mechanical polishing (CMP), shallow trench isolation (STI), polishing pad, soft pad, hard pad, global planarization, center-fast type, edge-fast type

## 1. 서 론

CMP (chemical mechanical polishing) 공정[1, 2]은 deep 서브마이크론 집적회로의 다층배선구조를 실현하기 위해 IMD (inter-metal dielectric)층, PMD (pre-metal dielectric)층, ILD (inter-layer dielectric)층을 평탄화 하는데 효과적으로 사용되고 있을 뿐만 아니라, 다양한 소자 제작 및 물질 등에도 광범위하게 응용되고 있다. 특히, STI(shallow trench isolation) 공정을 수행하는데 CMP 공정이 필수적으로 사용되고 있으나[3, 4], deep 서브마이크론 집적회로 제조 공정에 적용하기까지 다소 복잡해지고 해결해야 할 문제점들이 남아 있다[5-8]. 그 중에서 CMP 용 소모자재 (consumable)의 4요소 (연마패드, 슬러리, 탄성지지대, 패드 컨디셔너) 중의 하나인 연마 패드는 연마 재현성을 확보하는데 중요한 요소이다 [9-11]. 연마 패드 구조 및 재료 성질은 연마 속도 및 CMP 공정의 평탄화에 중요한 역할을 한다. 소프트(soft) 패드는 연마 균일도가 좋은 반면 평탄도가 좋지 않고, 하드(hard) 패드는 좋은 평탄도를 얻을 수 있지만 연마 균일도가 나쁘기 때문에 서로의 단점을 보완하기 위해 두 개를 겹친 이중 패드를 사용하고 있다[10]. 그리고, HSS (high selective slurry)를 적용한 STI CMP 공정에서는 reverse moat 패턴 공정없이 바로 CMP를 통하여 광역 평탄화를 달성하는 것으로 moat 밀도가 높은 지역의 밀도를 감소시켜, 낮은 선택도를 갖는

STI CMP 공정에서도 밀도가 높고 낮은 지역의 연마 균일도를 얻을 수 있다.

본 논문에서는 CMP 공정 중 소모성 재료인 연마 패드의 HSS STI-CMP 적용 실험을 통하여, CMP 공정에 이중 연마 패드가 어떠한 영향을 미치는가에 대하여 연구하였다. 또한 CMP 공정 평탄화에 미치는 소프트 패드와 하드 패드의 영향을 고찰하기 위해 패드 종류에 따른 연마 실험을 하였다. 그리고 각각의 패드로 연마한 산화막의 제거 특성과 패턴 웨이퍼의 스크래치 (scratch)를 조사하였다. 이상의 결과를 통하여 최적의 연마 패드를 선택할 수 있어 공정 생산성 향상 및 소자 수율 (yield)의 개선을 기대할 수 있다.

## 2. 실험

본 실험에서 사용된 블랑켓 웨이퍼는 다음과 같이 제조되었다. 그림 1은 산화막과 질화막의 선택비 평가를 위한 블랑켓 샘플 웨이퍼의 제작과정을 개략적으로 보인 것이다. 먼저 각 박막의 연마율의 차이를 나타내는 산화막과 질화막의 선택비를 알아보기 위해 에피 웨이퍼 위에 전기기로 150Å의 산화막을 증착한 후, LPCVD로 질화막 2000Å을 증착하여 연마 후 선택비를 구하였다. 그리고 그림 2는 각 박막의 연마율 평가를 위한 블랑켓 샘플의 제작순서를 보인 것이다. 에피 웨이퍼 위에 APCVD로 STI-fill 두께인 8700Å을 증착하고 열처리(densify)하여 각 산화막(SiO<sub>2</sub>)과 질화막(Si<sub>3</sub>N<sub>4</sub>)의 연마율과 비균일도(non-uniformity) 특성을 분석하였고, IC1000/IC1000 및 IC1000/JR111 패드로 연마한 후 결합을 알아보았다. 또한, IC1000/IC1000 및 IC1000/JR111 패드로 패턴 웨이퍼의 연마 특성을 비교하였다.

\* 準會員 : 大佛大學教 電氣工學科 碩士

\*\* 正會員 : 아남 半導體 FAB 事業部 · 工博

\*\*\* 正會員 : 大佛大學教 電氣工學科 副教授 · 工博

接受日字 : 2002年 4月 2日

最終完了 : 2002年 5月 6日

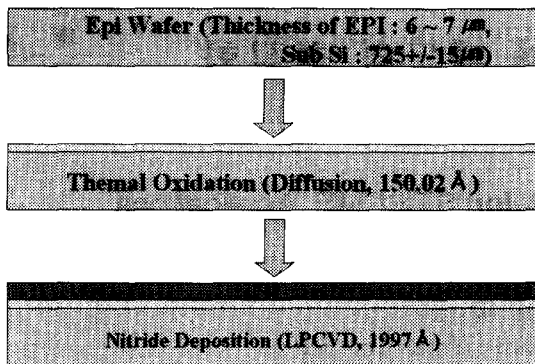


그림 1 선택비 평가를 위한 블랭킷 웨이퍼 제작 과정  
Fig. 1 Fabrication sequence of blanket sample wafer for selectivity evaluation.

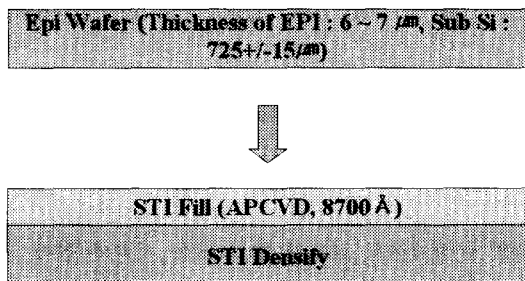


그림 2 연마율 평가를 위한 블랭킷 웨이퍼 제작과정  
Fig. 2 Fabrication sequence of blanket sample wafer for removal rate evaluation.

그림 3은 본 실험에서 사용한 STI 패턴 웨이퍼의 제작과정을 개략적으로 그린 것이다. STI 패턴은 초기 웨이퍼에 전기기로 열산화막을 150Å 증착한 후, 그 위에 LPCVD로 질화막 2000Å 증착하였다. moat 패턴링(patterning)과 전식 식각으로 트렌치(trench)를 3500Å 깊이로 형성하였다. 이 트렌치 위에 선형 산화막을 전기기로 270Å 형성하였다. 계속해서 APCVD로 산화막 8000Å 증착하여 트렌치 영역을 산화막으로 채운 후 열처리 과정을 거쳐 STI 구조를 형성하였다. 연마된 패턴 웨이퍼의 두께측정은 넓은(large) 필드 산화막 지역은 50μm×50μm의 크기, 좁은(dense) 필드 산화막 지역은 10μm×12μm 크기의 STI 영역에서 각각 측정하였다.

그림 4는 패드의 종류에 따라 CMP 평탄화 특성에 미치는 영향을 고찰하기 위해 서로 다른 3종류의 이중 연마패드 구조를 개략적으로 나타낸 것이다. 그림에 보인 바와 같이 상부 패드는 IC1000으로 고정하고, 하부(sub) 패드를 경도(hardness)에 따라 Suba IV, IC1000, JR111로 나누어 연마특성을 비교 평가하였다. 여기서 상부와 하부 패드는 PSA II로 접착시켰다. 그리고 3가지 패드의 경도 비교는 Suba IV < IC1000 < JR111 순이었다. 또한 산화막 두께를 측정하기 위하여 Nano Metrics M8000X와 Rudolph Ellipsometer FE VII 시스템을 사용하였고, 미세입자의 갯수를 측정하기 위해 KLA-Tencor 6420 시스템을 사용하였다. 그리고 CMP 연마

장비로는 IPEC Avanti 472 Polisher를 사용하였고, CMP 후 세정을 위해 SC-1 Chemical → DHF(2분) → Rinse → Spin Rinse Dry (SRD) 순서로 세정하였다.

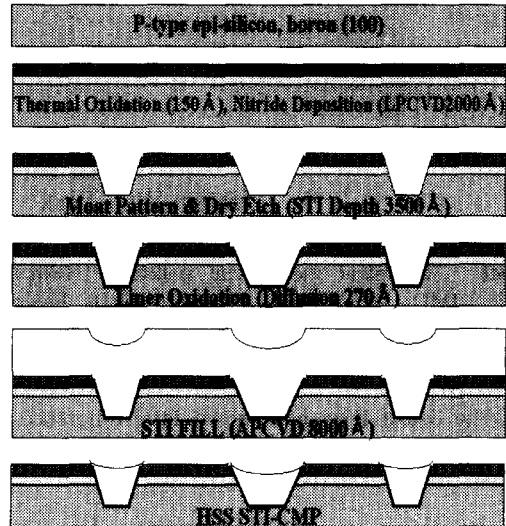


그림 3 STI 패턴 웨이퍼의 제작과정  
Fig. 3 Fabrication process of STI pattern wafer.

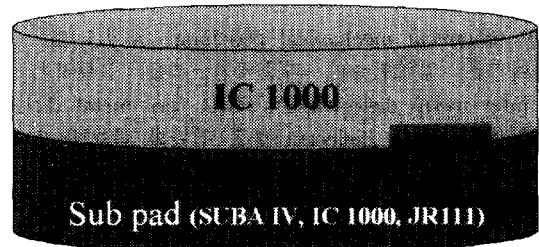


그림 4 서로 다른 3개의 이중패드 구조  
Fig. 4 Double pad sets with 3-different sub pads.

### 3. 결과 및 고찰

그림 5는 산화막과 질화막의 경우 3가지 다른 패드 종류에 따른 CMP 연마 후 결과를 연마 제거율(removal rate), 비균일도(non-uniformity), 선택비(selectivity)로 나누어 제시한 것이다. 선택비는 APCVD 산화막의 연마 제거율(R/R)을 질화막의 연마율로 나눈 값이며, 연마 제거율은 CMP 전의 두께에서 CMP 후의 두께를 뺀 값을 연마 시간으로 나눈 값으로 정의하였다. 여기서 하부 패드의 종류에 따라 산화막의 연마율을 비교하면 Suba IV 패드에서는 아주 낮은 제거율을 나타내었는데, 이는 장시간의 연마 시간을 요구 할 것이다. IC1000 패드에서 연마 제거율은 가장 높은 값을 보였으나, 선택비가 비교적 낮았다. 그러나 JR111 패드는 연마 선택비

도 높으면서 산화막의 연마율도 동시에 높아 더 안정적인 경향을 나타내었다. 비균일도 평가는 7% 이내로 모두 제어되었으며, 반복 실험을 통해 큰 차이가 없음을 알 수 있었다. 산화막과 질화막의 선택비 측면에서 비교하면 JR111 및 Suba IV에서 15:1로 높은 선택비 값을 얻을 수 있었다. 하지만, Suba IV에서는 제거율이 낮으므로, 선택비가 크다고 하더라도 moat 밀도가 높은 지역에서는 많은 연마 시간을 요하게 되므로 높은 제거율이 요구되는 현재의 CMP 공정에서는 다소 부족함을 알 수 있다.

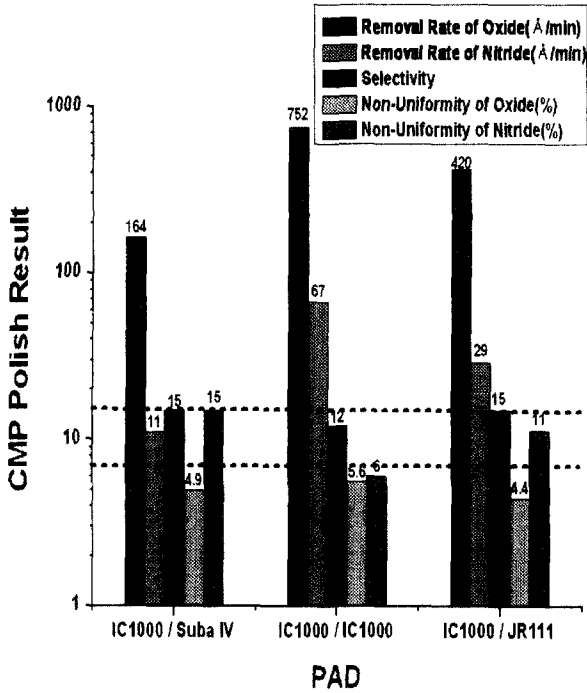


그림 5 각 패드에 따른 CMP 연마 결과  
Fig. 5 CMP polishing result as a function of 3-different pads.

그림 6은 패드 종류에 따른 웨이퍼 연마율의 형상을 2차원으로 비교하기 위한 웨이퍼 맵을 보인 것이다. 지도상에서 <+>는 평균값보다 더 큰 값으로, 상대적으로 높은 연마율을 의미한다. <->는 평균값보다 작은 값으로, 상대적으로 낮은 연마율을 나타내며, 동일한 연마율을 갖는 예측선을 같은 등고선으로 표시한 것이다. 그림 6에 보인 바와 같이 하부 패드가 부드러운 패드(Suba IV)에서 단단한 패드(JR111)로 갈수록 연마 특성은 Center Fast 경향이 나타났다.

Suba IV를 사용하였을 경우, Edge Fast 양상이 나타났으며, IC1000 및 JR111의 단단한 패드 사용의 경우, Center Fast의 양상을 보였다. 이상과 같이 하부 패드가 단단할수록 연마되는 양상은 Center Fast로 진행되며, 부드러울수록 양상은 Edge Fast를 나타냄을 알 수 있었다.

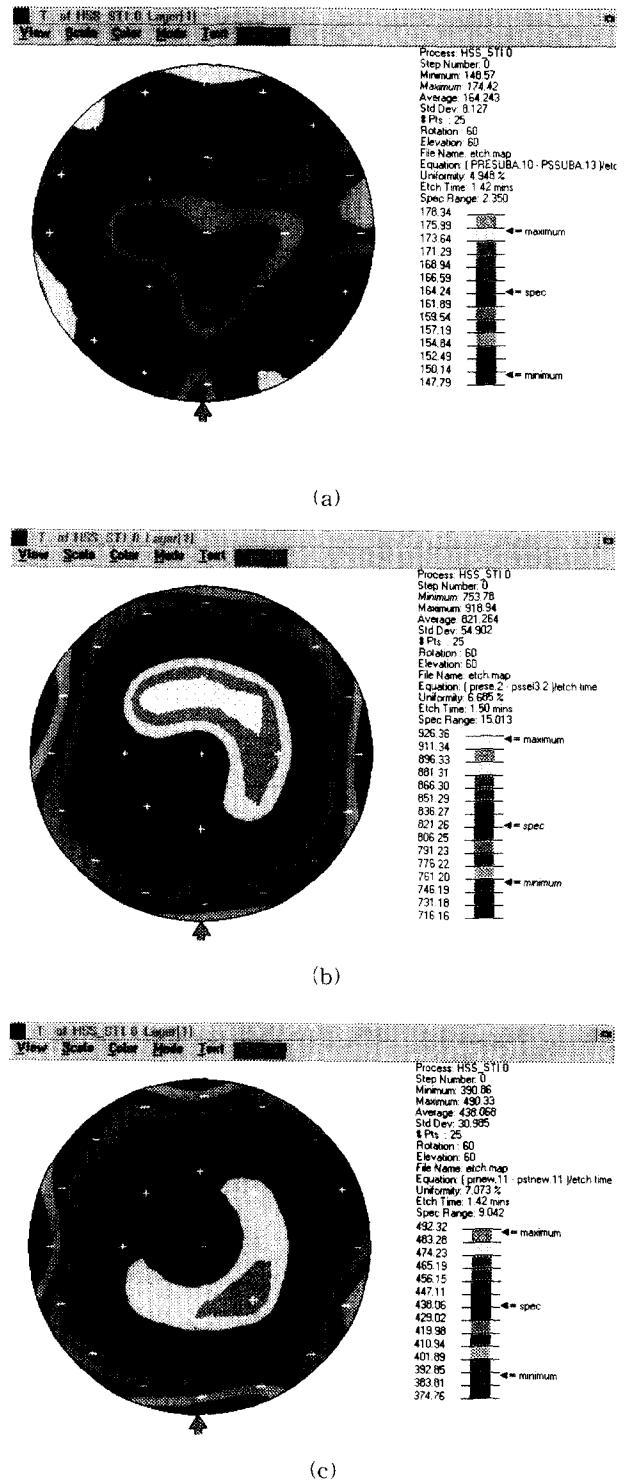
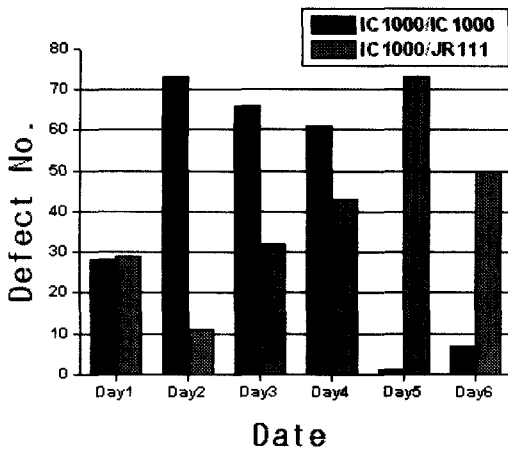
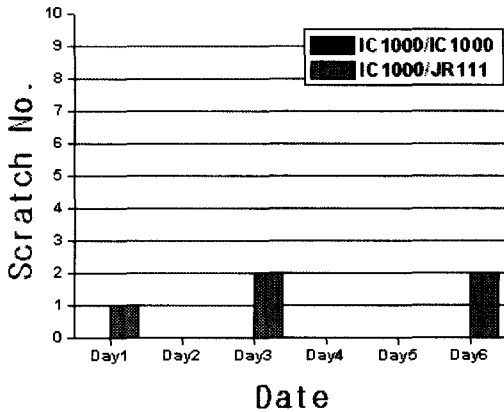


그림 6 서로 다른 3가지 구조의 패드로 연마한 웨이퍼의 맵  
(a) IC1000/Suba IV (b) IC1000/IC1000 (c) IC1000/JR111  
Fig. 6 Map of polished water as a function of 3-different pads.  
(a) IC1000/Suba IV (b) IC1000/IC1000 (c) IC1000/JR111



(a)



(b)

그림 7. 패드 종류에 따른 결함 경향 (a) 결함 갯수 (b) 스크래치 갯수

Fig. 7. Defect trend as a function of different pad. (a) count of defect (b) count of scratch.

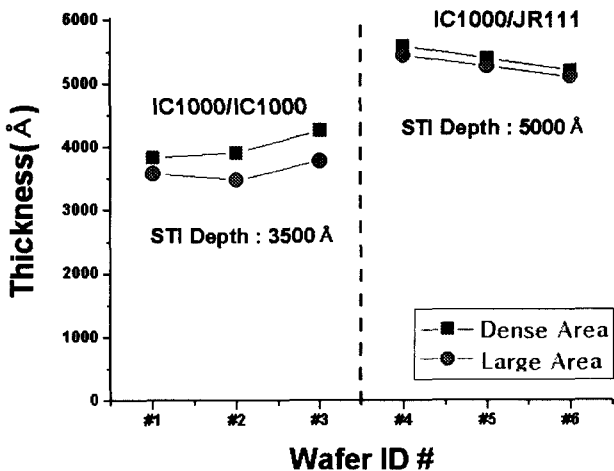


그림 8. 패드 종류에 따른 연마된 두께 변화

Fig. 8. Polished thickness as a function of different Pad.

그림 7은 하부 패드를 달리한 이중패드인 IC1000/IC1000, IC1000/JR111로 연마한 후, 웨이퍼 위의 결함 갯수를 날짜별로 분석한 것으로 그림 7의 (a)는 결함의 갯수, 그림 7의 (b)는 스크래치의 갯수를 나타낸 것이다. 공정이 진행됨에 따라 IC1000과 JR111은 서로 반대의 결함 분포를 보였다. 이는 앞서 지적한대로 하드 패드인 JR111은 초기에는 결함 갯수가 적다가 공정이 진행됨에 따라 결함이 많이 발생하였으나, IC1000 패드는 반대의 결과를 나타내었다. 따라서 연마 초기의 제거율도 높으면서 초기의 결함수가 작은 JR111 패드가 더 우수함을 알 수 있다. 그러나 결함수와는 달리 스크래치 수는 IC1000 패드에서는 측정기간 동안 하나도 발견되지 않았으나, JR111 패드에서는 1 ~ 2개의 스크래치가 검출되었다. 비록 스크래치가 발견되었지만 많지 않으므로 IC1000 보다는 JR111 패드가 연마 제거율 및 결함 발생 측면에서 볼 때 더 효율적임을 알 수 있다.

그림 8은 각각 IC1000과 JR111 연마 패드를 사용한 경우 Run 진행 수에 따른 좁은 필드 지역과 넓은 필드 지역에서 연마 두께를 나타낸 것이다. 좁은 필드 지역은  $10\mu\text{m} \times 12\mu\text{m}$ , 넓은 필드 지역은  $50\mu\text{m} \times 50\mu\text{m}$ 로 정의하였다. 또한, IC1000 패드의 결과는 3500Å의 STI를 연마한 것이고, JR111은 5000Å의 STI 두께를 연마한 결과이다. IC1000/IC1000 패드와 IC1000/JR111 패드 모두 세 차례 측정한 결과 거의 동일한 연마두께를 나타내어 재현성은 우수하였다.

본 논문에서 고찰한 3종류의 이중 패드의 특성을 요약하여 표 1에 나타내었다.

표 1 각각의 연마 패드 특성 비교

Table 1 Comparison of characteristics as a function of different pad

종류	특징	장 점	단 점	비 고
IC1000/Suba IV		높은 선택도	낮은 제거율 (연마시간이 길다)	Edge Fast type
IC1000/IC1000	높은 제거율, Scratch 없다, 재현성이 좋다		낮은 선택도	Center Fast type
IC1000/JR111		높은 선택도, 높은 제거율, 재현성이 좋다	2개 이하의 Scratch 발생	Center Fast type

#### 4. 결 론

산화막의 연마율을 비교하면 Suba IV 패드는 아주 낮은 제거율을 나타내었는데, 이는 장시간의 연마 시간을 요구 할 것이고, IC1000 패드에서 가장 높은 값을 보였으나, 선택비 측면에서는 JR111 패드가 더 안정적인 경향을 나타내었다. 비균일도 평가는 7% 이내로 모두 제어되었으며, 반복 실험을 통해 큰 차이가 없음을 알 수 있었다. 선택비는 JR111 및 Suba IV에서 가장 높은 값을 얻을 수 있었다. 하지만, Suba IV상에서는 낮은 제거율이 나타나므로, 선택비가 크다고 하더라도 JR111 패드가 더 우수한 결과로 판단된다. Sub 패드

가 단단할수록 연마되는 양상은 Center Fast로 진행되며, 부드러울수록 양상은 Edge Fast를 보인다. 결함 수준은 하드 패드인 JR111은 초기에는 결함 갯수가 적다가 공정이 진행됨에 따라 결함이 많이 발생하였으나 IC1000 패드는 반대의 결과를 나타내었다. 스크래치 측면에서 IC1000 패드는 측정기간 동안 하나도 발견되지 않았고, JR111 패드는 1 ~ 2개의 스크래치가 검출되었다. 비록 스크래치가 발견되었지만 많지 않으므로 IC1000 보다는 JR111 패드가 연마 제거율 및 결함 발생 측면에서 볼 때 더 효율적임을 알 수 있다. 이상에서와 같이 최적화된 이중 연마패드를 STI-CMP 공정에 효과적으로 적용할 수 있어 공정의 생산성 향상 및 수율 개선이 기대된다.

**감사의 글**

본 논문은 2002년 정보통신부에서 지원하는 정보통신기초기술 연구지원사업으로 수행된 결과의 일부이며, 이에 감사드립니다.

**참고 문헌**

[1] Joseph M. steigerwald, Shyam P. Murarka, Ronald J. Gutmann, Chemical Mechanical Planarization of Microelectronic Materials, John wiley & sons, INC, 1997.

[2] S. H. Bath, R. Legegett, A. Maury, K. Monning, and R. Tolles, "Planarizing Interlevel Dielectrics by Chemical Mechanical Polishing", Solid State Tech. pp. 87-91, May 1992.

[3] M. Lin, C. Y. Chang, D. C. Liao, B. Wang, and Allen Henderson, "Improved STI CMP Technology for micro-scratch issue", Proceeding of CMP-MIC, pp. 322-326, 1999.

[4] P. Sallagoity, F. Gaillard, M. Rivoire, M. Paoli and F. Martin, "STI process steps for sub-quarter micron CMOS", Microelectron. Reliability, Vol. 38, No. 2, pp. 271-276, 1998.

[5] K. Smekalin, "CMP dishing effects in shallow trench isolation", Solid State Technology, pp. 187-194, 1997.

[6] Yong-Jin Seo, Woo-Sun Lee, Sang-Yong Kim, Jin-Sung Park, Eui-Goo Chang, "Optimization of Post-CMP Cleaning Process for Elimination of CMP Slurry Induced Metallic Contaminations", Journal of Materials Science : Materials in Electronics, Vol. 12, No. 7, pp. 411-415, 2001.

[7] 이우선, 서용진, 김상용, 장의구, "STI-CMP 공정의 질화막 잔존물 및 패드 산화막 손상에 대한 연구", 대한전기학회 논문지, Vol. 50, No. 9, pp. 438-443, 2001.

[8] 박성우, 정소영, 박창준, 이경진, 김기욱, 김철복, 김상용, 서용진, "CMP 공정의 설비요소가 공정 결함에 미치는 영향", 대한전기학회 논문지, Vol. 51, No. 5

[9] P. Singer, "Chemical-Mechanical Polishing : A New Focus on Consumable", Semiconductor International, pp. 48-53, Feb, 1994.

[10] I. Kim, K. Murella, and J. Schlueter, "A detailed look at oxide CMP pad to pad consistency," CMP-MIC proceeding, pp. 335-338, 1997.

[11] I. All and S. R. Roy, "Pad conditioning in interlayer dielectric CMP," Solid State Technology, pp. 185-191, 1997.

**저 자 소 개**



**박 성 우 (朴 成 祐)**

1972년 2월 5일 생. 2000년 대불대 공대 전자공학과 졸업. 2002년 동 대학원 전기공학과 졸업(석사).

Tel : 061-469-1273

Fax : 061-469-1265

E-mail : psw@mail.daebul.ac.kr



**서 용 진 (徐 龍 辰)**

1964년 2월 13일 생. 1987년 중앙대 공대 전기공학과 졸업. 1989년 동 대학원 전기공학과 졸업(석사). 1994년 동 대학원 전기공학과 졸업(공학박). 1999~2000년 Univ. of North Carolina at Charlotte (UNCC) 과학재단 Post-doctoral Fellow.

현재 대불대 전기공학과 부교수. 관심분야 : CMP 공정, Silicon based nanoelectronics.

Tel : 061-469-1260, Fax : 061-469-1260

E-mail : syj@mail.daebul.ac.kr



**김 상 용 (金 相 用)**

1990.1~1996 현대전자 반도체연구소 CVD/ PVD 담당 주임연구원. 1M, 4M, 64M Memory 반도체개발 (PVD/CVD 담당). CMP공정개발. 1996.11~아남반도체(주) CMP Manager