

계단형 3차원 구조를 갖는 마이크로스트립 선로의 등가회로 해석

Analysis of the Equivalent Circuits of the 3-Dimensional Stepped Discontinuity in Microstrip Lines

윤 현 보 · 임 계 재*

Hyun-Bo Yoon · Gye-Jae Lim*

요 약

마이크로스트립 다층 구조 회로가 MMIC 분야에서 다양하게 적용되고 있다. 이에 따라 서로 다른 높이를 갖는 유전체 층 사이의 효율적인 마이크로스트립 선로 전송을 위해 3차원 계단형 불연속을 갖는 선로에서의 정확한 전달 특성 해석, 등가회로의 유도가 요구된다.

본 연구에서는 FDTD 수치해석 방법과 측정을 통해 얻어진 불연속면의 S 파라미터를 이용하여 T 형 등가회로와 소자값들을 유도하였으며, 해석 및 측정 결과는 1~5 GHz 범위에서 잘 일치함을 확인할 수 있었다.

Abstract

A microstrip circuit with multilayer structure is applied variously in the MMIC. For effective transmission between microstrip lines with different dielectric height, it is need to analyze and to induce accurately the equivalent circuit in 3 dimensional stepped discontinuous microstrip line.

In this paper, by using the S parameters obtained by FDTD numerical method and measurement, T equivalent circuit and its element values were induced. And the analyzed and measured results showed good agreement in 1~5 GHz range.

Key words : 3 dimensional microstrip, discontinuity

I. 서 론

마이크로스트립 선로의 불연속 구조는 MMIC 회로 설계에 있어서 전력분배기 및 임피던스 변환회로, 종단회로 구성, DC 블록회로, 반사손실 보상회로 등에 자주 이용되고 있으며, 이 불연속 부분에서의 정확한 특성 해석을 통해 회로 전체의 정합 특성과 최대 전력전송 효율에 큰 영향을 주고 있다.

지금까지의 불연속에 대한 연구는 그림 1과 같이

중단구조, 갭, 노치, 스텝, 밴드, T-junction 포스트 등과 같은 2차원 평면형 구조에서 주로 다루어져 왔으며, 이들에 대한 full wave 해석 결과와 등가회로들이 일반화되어 있는 실정이다^{[1]-[3]}.

그러나 마이크로스트립 회로의 응용 분야가 복잡화되면서 다층 구조의 MMIC 회로 및 마이크로스트립 안테나 급전회로, 회로 모듈 사이의 접속 등에서 thru-hole, shorted end^[1], 이중 높이를 갖는 기판 사이의 접속을 위한 3차원 구조의 스텝 등이 사용

동국대학교 전자공학과(Dept. of Electronics, Dongguk Univ.)

*관동대학교 정보통신공학과(Dept. of Information and Communication Engineering, Kwandong Univ.)

· 논문 번호 : 20020122-006

· 수정완료일자 : 2002년 3월 13일

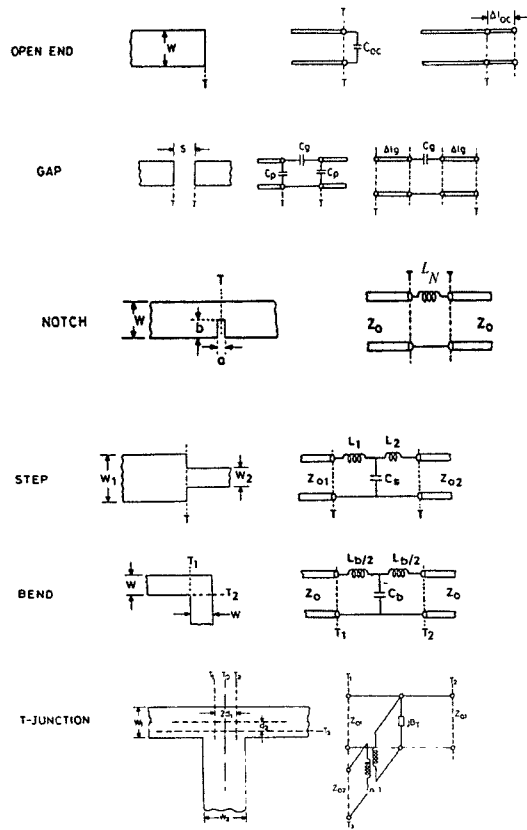


그림 1. 2차원 구조를 갖는 불연속 회로의 종류
 Fig. 1. The kinds of discontinuity circuits with 2-dimensional structure.

되어질 필요가 있다.

3 차원 구조의 불연속에 대한 해석은 FDTD와 같은 수치해석 방법을 통해 부분적으로 이루어져 왔으며, 특히 이중 높이를 갖는 기판 사이의 접속을 위한 3 차원 구조의 스텝에 대한 연구는 그림 2 (a)와 같이 기판 두께가 다른 평면형 균일선로 구조에 대해 다루어져 왔다^[4]. 본 연구에서는 이와는 달리 그림 2 (b)와 같이 평면형 선로 구조가 아닌 선로 자체가 3 차원적으로 스텝을 갖는 경우에 대해 연구하였다.

이러한 구조의 마이크로스트립 선로를 해석하기 위해 본 연구에서는 먼저, 그림 1과 같은 해석적 등가회로와 S 파라미터와의 관계를 유도하고, FDTD 시뮬레이션과 측정을 통해 구해진 S 파라미터로부터 해석적 등가회로의 소자값들을 추출하였다.

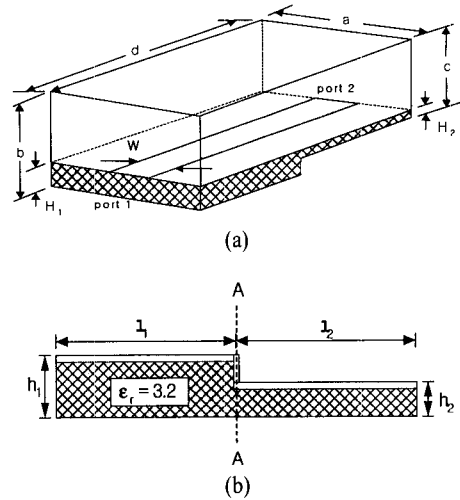


그림 2. 계단형 3차원 마이크로스트립 선로의 불연속 부분
 (a) 참고문헌 [4]에서 연구한 구조
 (b) 본 연구에서 사용된 구조.

Fig. 2. The structure of stepped 3-dimensional microstrip discontinuities.
 (a) Structure in reference [4]
 (b) Structure in this paper

II. 등가회로 유도

서로 다른 높이를 갖는 50Ω 마이크로스트립 선로 사이의 접속이 이루어지는 경우에 그 접속부분에는 그림 2의 (b)와 같이 계단형 3차원 불연속이 형성되게 된다. 이 불연속은 A 면에서 “-” 자 모양의 계단과 $h_1 - h_2$ 길이의 수직선로, “L” 자 모양의 계단으로 이루어져 있기 때문에 회로 등가적으로 그림 3의 (a)와 같이 T형 LC 회로로 생각할 수 있다.

또한, 그림 3 (a)의 A 면 상에 있는 2 port 회로망은 (b)와 같이 등가적으로 표현 가능하다.

시뮬레이션이나 측정을 통해 그림 2(b) 전체 회로망의 S 파라미터 매트릭스 $[S_T]$ 를 알게 되면 deembedding 계산을 통해 $[S]$ 를 알 수 있고, 다음에 $[S]$ 파라미터 매트릭스를 $[Z]$ 매트릭스로 변환하여 그림 3 (a)의 L_1, L_2 및 C 값을 유도할 수 있다.

불연속 부분 A 면의 $[S]$ 는 다음 식 (1)에 의해 불연속면 A의 좌측과 우측에 일정 길이의 50Ω 마이

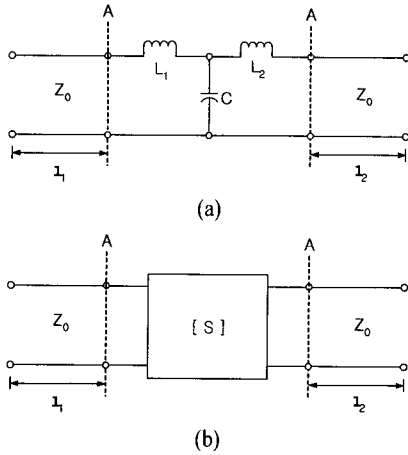


그림 3. 계단형 3차원 불연속의 등가회로
Fig. 3. Equivalent network for stepped 3-dimensional microstrip discontinuity.

크로스스트립 선로를 포함하여 측정된 측정값 $[S_T]$ 로부터 유도된다, 단, 그림 3은 수동회로망이기 때문에 $S_{11} = S_{22}$, $S_{12} = S_{21}$ 이다^[5].

$$\begin{bmatrix} S_{11} & S_{12} \\ S_{21} & S_{22} \end{bmatrix} = \begin{bmatrix} S_{T11}e^{j\theta_1} & S_{T12}e^{j(\theta_1 + \theta_2)} \\ S_{T21}e^{j(\theta_1 + \theta_2)} & S_{T22}e^{j\theta_2} \end{bmatrix} \quad (1)$$

여기서 θ_1 과 θ_2 는 각각 50Ω 선로 길이 l_1 과 l_2 의 전기적 위상길이로

$$\theta = \beta l \quad (2)$$

이며, β 는 위상정수이다.

식 (1)에서 구해진 $[S]$ 를 임피던스 매트릭스 $[Z]$ 로 변환하면

$$[Z] = \begin{bmatrix} Z_{11} & Z_{12} \\ Z_{21} & Z_{22} \end{bmatrix} \quad (3)$$

가 된다.

그림 3(a)를 그림 4와 같이 Z_1 과 Z_2, Z_3 를 갖는 T형 등가회로망으로 대체하여 식(3)의 $Z_{11}, Z_{12}, Z_{21}, Z_{22}$ 파라미터 값들로부터 Z_1, Z_2, Z_3 값을 유도하기 위해서는 참고문헌 [5]의 Z_1, Z_2, Z_3 와 ABCD 파라미터 사이의 관계적인 식(4)와 식 (5)를 사용하였다.

ABCD 파라미터를 구하면 식 (4)가 되며, 이에 대응되는 임피던스 파라미터는 식 (5)가 된다.

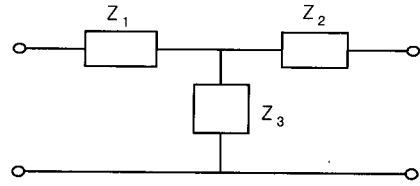


그림 4. T형 등가회로
Fig. 4. T-equivalent network.

$$\begin{aligned} A &= 1 + \frac{Z_1}{Z_3} \\ B &= Z_1 + Z_2 + \frac{Z_1 Z_2}{Z_3} \end{aligned} \quad (4)$$

$$\begin{aligned} C &= \frac{1}{Z_3} \\ D &= 1 + \frac{Z_2}{Z_3} \\ Z_{11} &= \frac{A}{C} \\ Z_{12} &= \frac{AD - BC}{C} \\ Z_{21} &= \frac{1}{C} \\ Z_{22} &= \frac{D}{C} \end{aligned} \quad (5)$$

식 (5)에서 T형 등가회로의 소자가 갖는 임피던스 Z_1, Z_2, Z_3 를 구하면

$$\begin{aligned} Z_1 &= Z_{11} - Z_{21} \\ Z_2 &= Z_{22} - Z_{21} \\ Z_3 &= Z_{21} \end{aligned} \quad (6)$$

가 되고, 등가회로의 L 과 C 소자값은

$$\begin{aligned} Z_1 &= Z_2 = j\omega L \\ Z_3 &= \frac{1}{j\omega C} \end{aligned} \quad (7)$$

으로 구해질 수 있다.

III. FDTD 시뮬레이션과 측정 결과의 비교

마이크로스트립 선로를 FDTD 방법으로 해석하고 동일한 구조에 대한 측정을 통해 비교하기 위해 본 논문에서는 1~10 GHz 까지의 주파수 대역에서 FDTD 수치해석하고 측정은 그림 5와 같은 구조로 제작하였다.

제작에 사용된 유전체 기판은 유전상수 ϵ_r 이 3.2

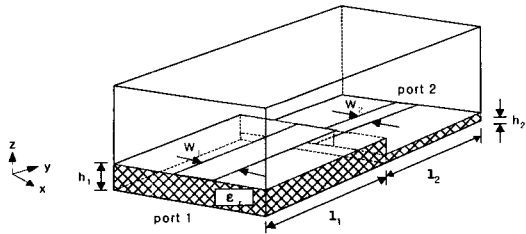


그림 5. 수치해석과 제작에 사용된 마이크로스트립 선로의 기본 구조

Fig. 5. The basic structure of microstrip line for analysed and fabricated.

표 1. 수치해석 및 제작에 사용된 데이터

Table 1. The data for analysis and fabrication.

| 종류 | 번호 | 유전체 높이 (mm) | | 50 Ω 선로 폭 (mm) | | 선로길이 (mm) |
|-----------------------|----|-------------|-------|----------------|-------|-----------|
| | | h_1 | h_2 | W_1 | W_2 | |
| 기준 마이크로스트립 선로 (1 : 1) | 1 | 1.6 | 1.6 | 3.85 | 3.85 | 25.66 |
| 계단형 (1 : 0.5) | 2 | 1.6 | 0.8 | 3.85 | 1.93 | 25.66 |
| 계단형 (1 : 2) | 3 | 1.6 | 3.2 | 3.85 | 7.70 | 25.66 |
| 계단형 (1 : 0.25) | 4 | 1.6 | 0.4 | 3.85 | 0.96 | 25.66 |
| 계단형 (1 : 4) | 5 | 1.6 | 6.4 | 3.85 | 15.4 | 25.66 |

이고, 두께 h 가 0.8과 1.6 mm인 기판을 사용하였고, 특히 1.6~0.8 mm 계단형 불연속의 1.6 mm 부분은 0.8 mm 기판 2장을 적층하였고, 1.6~3.2 mm 계단형 불연속의 3.2 mm 부분은 1.6 mm 기판 2장을 적층하여 제작하였다.

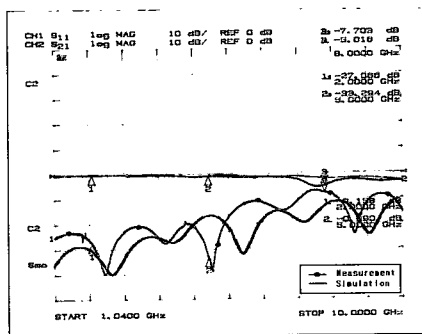
측정 후의 de-embedding을 위해 계단형 불연속 양쪽에 각각 유전체 높이에 합당한 50 Ω 선로폭의 길이 25.66 mm의 마이크로스트립 선로를 연장하고 port 1과 port 2에 N형 코넥터를 접속하였다.

수치해석과 측정에 사용된 선로의 폭과 길이, 유전체 높이 등에 대한 데이터는 그림 2 (b) 및 표 1과 같다.

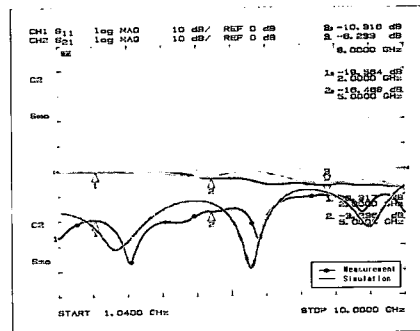
수치해석에 사용한 공간분할 간격은 $\Delta x=0.2$ mm, $\Delta y=0.45$ mm, $\Delta z=0.2$ mm로 분할하였으며 전체 해석 영역의 총 격자 크기는 $x=117\Delta x$, $y=87\Delta y$, $z=61\Delta z$ 이다. 시간 분할간격 Δt 는 FDTD의 안정조건을 만족하는 0.09 ps로 하였으며, 20000번의 반복 계산을 수행하였다. 해석주파수 영역은 직류에서부터 10 GHz 이다.

측정에 사용된 기판은 표 1과 동일한 구조로 번호 1, 2, 3에 대해 제작하여 S_{11} 과 S_{21} 을 HP-8722A Network Analyzer 로 측정하였다.

5 GHz 이상에서 측정 결과와 FDTD 시뮬레이션 결과에 차이가 나는 것은 계단형 불연속 선로를 제



(a)



(b)

그림 6. 시뮬레이션 및 측정 결과의 비교

(a) 1 : 0.5 계단형 불연속을 갖는 선로의 S_{11} 과 S_{21}

(b) 1 : 2 계단형 불연속을 갖는 선로의 S_{11} 과 S_{21}

Fig. 6. The comparison of simulation and measurement data.

(a) S_{11} and S_{21} with 1:0.5 stepped microstrip discontinuity.

(b) S_{11} and S_{21} with 1: 2 stepped microstrip discontinuity.

계단형 3차원 구조를 갖는 마이크로스트립 선로의 등가회로 해석

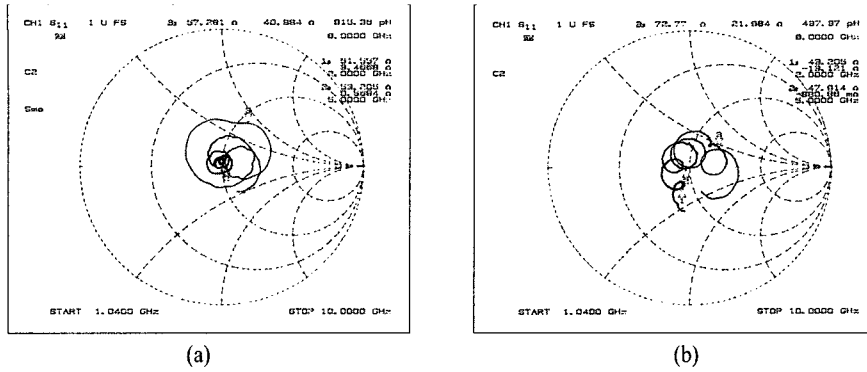


그림 7. 측정된 스미스 도표. (a) 1:0.5 계단형 불연속을 갖는 선로, (b) 1:2 계단형 불연속을 갖는 선로
Fig. 7. Measured smith chart. (a) 1:0.5 stepped microstrip discontinuity, (b) 1: 2 stepped microstrip discontinuity.

작하는 과정에서 높이가 높은 유전체 층을 만들기 위해 두장의 유전체를 압착하여 적층시켰으나 층과 층 사이에 연속 특성상의 차이에 기인한 오차로 판단된다.

선로폭이 1 : 0.5와 1 : 2인 계단형 불연속을 갖는 선로에 대한 시뮬레이션과 측정 결과의 S_{11} 및 S_{21} 을 비교하여 그림 6에 보였으며 이에 대한 스미스 도표를 그림 7에 보였다.

IV. 등가소자값의 추출

2절의 이론에 따라 측정된 불연속 선로에 대한 S 파라미터로부터 L, C 소자값을 계산하여 표 2에 보였다.

여기서 구해진 결과는 FDTD 시뮬레이션에 의한 결과와 측정 결과가 5 GHz 이상에서는 차이가 있었기

때문에 5 GHz 이하의 데이터로부터 유도된 결과이다.

표 1의 기준 마이크로스트립 선로 h_1 높이를 기준으로 정규화된 계단 높이에 따라 L과 C 값이 변화하는 추세를 그림 8에 보였다.

추출된 등가 소자값 L과 C를 분석한 결과 양쪽 선로를 모두 50 Ω으로 설계하였기 때문에 높이가 낮은 경우에는 폭이 좁아서 L값의 변화추이가 커지고, 높이가 높아질수록 폭이 넓어지므로 L값의 변화 추이가 작아지는 경향을 보였다. 또한, C 값의 경우에는, 높이가 낮은 경우에 폭이 좁아지고, 높이가 높아질수록 폭이 넓어지므로 양쪽 모두의 경우에 C값의 변화추이는 유사한 경향을 보였다.

여기서 추출된 등가소자값을 유도하는 해석방법을 사용함으로써 마이크로파 회로 및 안테나 급전부 설계나 MMIC 회로설계에 유용하게 이용될 수 있을 것이다.

표 2. 5 GHz 이하 데이터부터 추출된 소자값

Table 2. The extracted element values for less than 5 GHz data.

| 종류 | 소자값 번호 | 측정 데이터에 의해 유도된 소자값 | | 시뮬레이션 데이터에 의해 유도된 소자값 | |
|----------------|-----------|-----------------------|---------|--------------------------|---------|
| | | $L_1 = L_2$ [nH] | C [pF] | $L_1 = L_2$ [nH] | C [pF] |
| 계단형 (1 : 1) | 1 | 0 | 4.2912 | 0 | 4.2804 |
| 계단형 (1 : 0.5) | 2 | 11.5261 | 7.6899 | 11.29557 | 7.9898 |
| 계단형 (1 : 2) | 3 | 3.0239 | 15.3796 | 3.1146 | 15.3565 |
| 계단형 (1 : 0.25) | 4 | 41.4171 | 20.604 | 39.3462 | 19.573 |
| 계단형 (1 : 4) | 5 | 31.5710 | 82.4158 | 33.1495 | 86.536 |

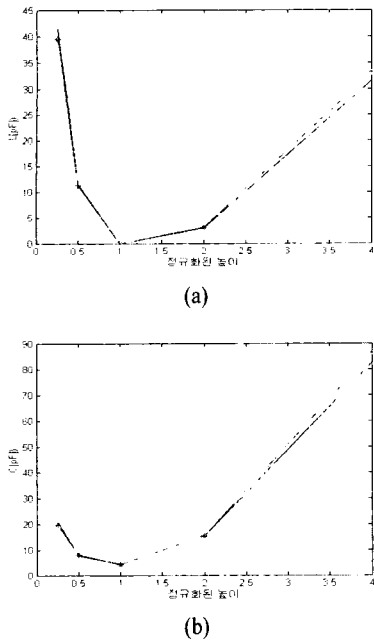


그림 8. 정규화 높이에 따른 L 과 C 값(---- : 측정 값 --*-- : 시뮬레이션값)
 (a) L 값의 변화, (b) C 값의 변화
 Fig. 8. L and C versus normalized height (---- : measured value --*-- : simulation value).
 (a) Variation of the inductance,
 (b) Variation of the capacitance.

V. 결 론

서로 다른 높이를 갖고 폭이 다른 50 Ω 마이크로 스트립 선로 사이의 접속부분에 형성된 3차원 구조의 계단형 불연속회로에 대한 FDTD 수치해석과 측정을 통해 T형 등가소자 값과 등가회로 방정식을 유도하였다. 본 연구에서 구해진 등가회로는 주파수

윤 현 보

1979년 ~ 현재: 동국대학교 전자공학과 교수

대역 1~5 GHz에서 설계 오차 ±5 % 이내로 마이크로 회로 설계용 CAD에 이용 가능할 것이다.

5 GHz 이상에서 측정 결과와 FDTD 시뮬레이션 결과에 차이가 나는 것은 계단형 불연속 선로를 제작하는 과정에서 높이가 높은 유전체 층을 만들기 위해 두장의 유전체를 압착하여 적층시켰으나 층과 층 사이에 연속 특성상의 차이에 기인한 오차로 판단된다.

그러나 측정만의 결과를 본다면, 접속부에서 발생된 불연속은 약 5 GHz 이상에서 전송특성에 큰 영향을 줄 수 있었고, 따라서 이 주파수 이상에서의 MIC나 MMIC 회로 및 안테나 급전부 회로 설계에 있어서 이 영향을 반드시 고려하여 설계할 필요가 있다. 앞으로의 연구에서는 이러한 불연속에 의한 영향을 최소화할 수 있는 보상회로의 설계 방법을 연구할 예정이다.

참 고 문 헌

- [1] G. D. Vendelin, *Microwave circuit design*, Wiley International, pp. 731-734, 1990.
- [2] R. Garg, *Microstrip antenna design handbook*, Atech House, pp. 800-810, 2001.
- [3] T. Edwards, *Foundations for microstrip circuit design*, John Wiley & Sons, pp. 127-171, 1992.
- [4] 전중찬, 김태수, 한대현, 박위상, "FDTD 방법을 이용한 단일 계단형 마이크로스트립 기관 불연속의 등가회로 개발", 한국전자파학회논문지 제 11권 제7호 pp. 1240-1246, 2000년 10월.
- [5] D. M. Pozar, *Microwave engineering*, Wiley, pp. 182-250, 1998.

임 계 재

1997년 ~ 현재: 관동대학교 정보통신공학과 교수