

8 GHz 대역 국부발진기용 주파수 3체배기 설계 및 제작

Design and Fabrication of the Frequency Tripler for 8 GHz Local Oscillator

정 미 경 · 홍 성 용

Mi-Kyong Jung · Sung-Yong Hong

요 약

본 논문에서는 MESFET을 이용하여 8 GHz 대역 국부발진기용 주파수 3체배기를 설계 및 제작하였다. A급에 동작점을 두어 3차 하모닉 성분을 발생시켰고, $\lambda_g/2$ 개방형 스텐브와 대역통과 여파기를 이용하여 기본주파수와 2차 하모닉성분을 억제하였다. 측정결과 0 dBm의 입력신호에 대해 출력주파수인 8.31 GHz에서의 변환이득은 2.67 dB, -41.17 dBc의 고조파 억압 특성을 얻었다. 또한 -3 dB 이상의 변환이득을 갖는 대역폭은 510 MHz로 나타났다.

Abstract

In this paper, frequency tripler for 8 GHz local oscillator was designed and fabricated using MESFET. The third order harmonic was generated by biasing the transistor on A class. The fundamental frequency and the second harmonic were suppressed by using $\lambda_g/2$ open stub and band pass filter. As results, conversion gain of 2.67 dB at 8.31 GHz, the harmonic suppression of -41.17 dBc, the bandwidth of 510 MHz were measured.

Key words : 주파수체배기, 변환이득, Odd harmonic

I. 서 론

오늘날 통신 정보량의 증가에 따라 통신시스템의 주파수가 점차 높아지고 있다. 초고주파 통신 시스템의 경우 고안정, 저잡음의 신호원을 필요로 하는데 주파수가 높아질수록 이러한 신호원을 직접 만들기가 어려워진다. 따라서 높은 안정도와 저잡음 특성을 갖는 저주파 신호원을 체배하여 고주파 신호원을 만드는 방법을 많이 사용하고 있다. 주파수 체배기를 이용하여 고주파 신호를 발생시킬 경우 체배 차수(N)에 따라 위상잡음이 $20\log N$ 만큼 증가하지만 고안정의 PLL 신호를 이용할 수 있는 장점

이 있다.

주파수체배기는 사용하는 소자에 따라 크게 다이오드를 이용한 체배기와 트랜지스터를 이용한 체배기가 있다. Varactor나 SRD(Step Recovery diode)처럼 다이오드의 reactive 비선형 요소를 이용하여 하모닉을 발생시키는 경우는 주파수와 밀접히 연관되어 있기 때문에 동작범위가 좁은 단점이 있으나 저항성분이 없기 때문에 효율이 높은 장점이 있다. 그런데 Resistive 비선형 요소를 이용하는 Schottky 다이오드는 높은 차수일 경우 체배 효율이 $1/n^2$ 로 낮아지기 때문에 보통 낮은 차수를 체배할 때 사용하며 저항성분 때문에 효율은 낮지만 광대역 특성을

「이 연구는 BK21 충남대학교 정보통신 인력양성사업단의 지원을 받았음」
충남대학교 전파공학과(Dept. of Radio Science Engineering, Chungnam Nat'l Univ.)
· 논문 번호 : 20011212-171
· 수정완료일자 : 2002년 2월 14일

나타낸다^{[1],[2]}.

또한 FET, HEMT, BJT 등 트랜지스터를 이용한 체배기의 경우는 다이오드 체배기에 비해 회로 구성이 복잡하고 크기가 증가하는 단점이 있으나 낮은 차수를 체배할 경우 변환이득을 얻을 수 있으며, 입·출력 격리도가 좋아 정합이 수월하다. 또한 소자의 열 발생이 적기 때문에 다이오드 체배기에 비해 안정도가 높고 낮은 DC 전력 소모로 인해 효율도 높다.

따라서 본 논문에서는 격리도 및 고주파 특성이 우수한 NEC사의 NE425S01 MESFET을 이용하여 8 GHz 대역의 주파수 3체배기를 설계하였다.

II. 주파수 체배기 이론

GaAs FET의 단면도와 등가모델을 그림 1에 나타내었다. 그림 1의 GaAs FET에서 고조파를 발생시키는 비선형 요소들은 gate-source, gate-drain junction capacitor(C_{gs} , C_{gd}), I_{ds} clipping, V_{gs} - I_{ds} 전달 특성, 출력 conductance(G_{ds}) 등이 있다. 이러한 비선형 요소들 중에서 전류원 I_{ds} 의 clipping은 하모닉 발생에 가장 큰 영향을 주는 요소이다^{[3],[4]}. 이 전류원은 출력전류나 출력전압 파형이 비대칭적으로

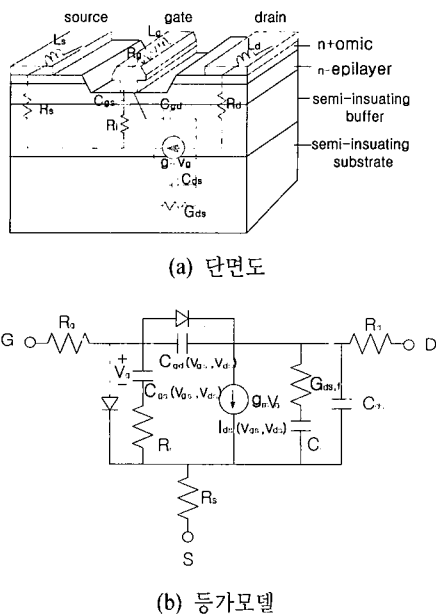


그림 1. GaAs FET의 단면도와 등가모델

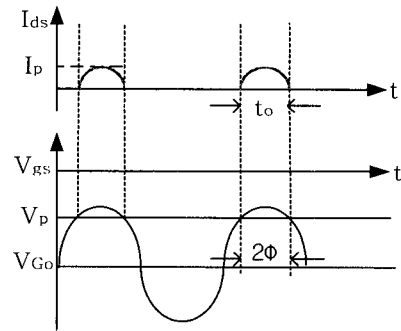


그림 2. Pinch-off clipping에 의한 출력파형

왜곡된 경우 even 하모닉이, 대칭적으로 왜곡된 경우에는 odd 하모닉이 우세한 하모닉을 발생시키는데 이러한 특성은 바이어스에 의해 제어된다.

트랜지스터의 입·출력 전압-전류 전달 특성이 선형적이라고 가정된 후, 바이어스에 의한 하모닉 발생 특성을 살펴보면 다음과 같다.

여기서 V_p 는 pinch-off 전압, V_{Go} 는 게이트 dc 동작 전압, 2ϕ 는 드레인 전류가 0보다 큰 시간동안의 게이트 전도각이다. 그림 2와 같이 pinch-off점에서 동작시킬 경우 출력전류의 clipping만을 가정하여 출력전류를 푸리에 변환하면 다음 식과 같이 쓸 수 있다^[5].

$$I_1 = \frac{I_p}{\pi} \left[\frac{\pi t_o}{T} - \frac{\sin(2\pi t_o/T)}{2} \right]$$

$$I_{dn} = \frac{I_p}{\pi} \left[\frac{\sin((n-1)\pi t_o/T)}{n-1} + \frac{\sin((n+1)\pi t_o/T)}{n+1} - \frac{2}{n} \cos(\pi t_o/T) \sin(2\pi t_o/T) \right] \quad (1)$$

식 (1)로 부터 peak 드레인 전류로 정규화된 전도각과 체배비의 관계를 나타내면 그림 3과 같다.

그림 3으로 부터 선형모델에서 최적의 전도각은

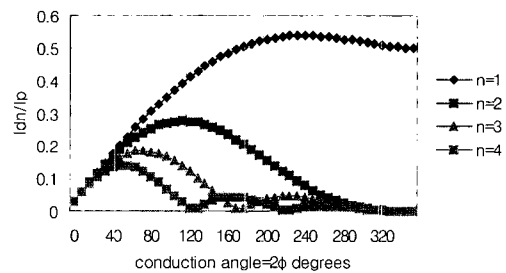


그림 3. 전도각에 따른 정규화된 하모닉 전류

$2\phi_{opt} = 240^\circ/n$ 로 근사되므로, 주파수 3체배기의 경우 최적의 전도각은 $2\phi = 80^\circ$ 가 된다.

그러나 Fudem과 Nischenke는 이상적인 사각파형의 경우 odd 하모닉만을 발생시키는 특성을 이용하여 그림 4와 같이 입력신호의 overdriving에 의해 출력전류 파형이 pinch-off점과 foward conduction에 의해 clipping되면서 사각파형에 가깝게 되도록 하는 새로운 바이어스조건을 제안하였다.

그림 4는 그림 5와 같이 선형모델 A급 바이어스에서 입력신호의 overdriving에 의해 출력전류의 파형이 대칭적인 사다리꼴 형태로 clipping되었다고 근사하여 하모닉 발생을 수식적으로 설명할 수 있다. 그림 5와 같이 시간축 상에서 $(\tau_0 + \tau_1)/T$ 의 duty cycle을 갖는 대칭형 사다리꼴 파형을 푸리에 변환하면 식 (2)와 같이 쓸 수 있다.

$$I_0 = I_p \left[\frac{\tau_0 + \tau_1}{T} \right]$$

$$I_{3\omega} = 2 I_p \left[\frac{\tau_0 + \tau_1}{T} \right] \frac{\sin(n\pi \tau_1/T)}{n\pi \tau_1/T} \frac{\sin[n\pi(\tau_0 + \tau_1)/T]}{n\pi(\tau_0 + \tau_1)/T} \quad (2)$$

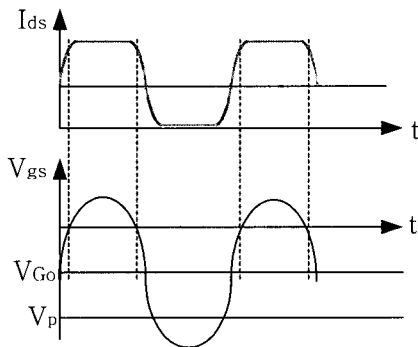


그림 4. Double-sided clipping에 의한 출력파형

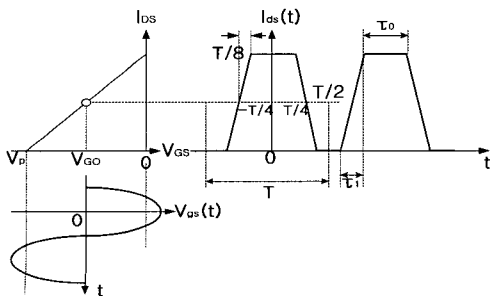


그림 5. 사다리꼴 파형의 발생

여기서 인가된 전압의 크기가 더욱 커져서 τ_1 이 0이 되면 출력전류의 파형은 사각파형에 가깝게 되고 이는 odd 하모닉이 최대가 되는 조건이 되어 3체배기 또는 5체배기와 같은 odd 하모닉 체배기에 적합하게 된다.

그런데 그림 2와 같은 pinch-off 바이어스를 이용하여 3차 하모닉 성분을 발생시키는 경우, transconductance(g_m)가 작아져 이득을 감소시키며 FET 채널이 완전히 pinch-off되어 입력정압이 어려워진다. 또한 큰 음전압이 게이트에 걸리게 되면 드레인 게이트간 다이오드에 avalanche를 발생시킬 우려가 있는 단점이 있다. 따라서 본 논문에서는 그림 4와 같이 A급에 동작점을 두고 입력신호를 overdriving시켜 3차 하모닉이 우세한 출력파형을 얻도록 frequency tripler의 동작점을 결정하였다.

III. 주파수 3체배기 설계

본 논문에서 제작하고자 하는 주파수 3체배기의 설계규격을 표 1에 나타내었다.

그림 6은 주파수 3체배기의 회로도인데 generator에서 gate로의 결합과 반사된 모든 하모닉을 흡수

표 1. 주파수 3체배기 설계규격

항 목	규 격	단 위
출력주파수범위	7890 ~ 8130	MHz
주파수대역	> 240	MHz
출력전력	≥ -3	dBm
변환이득	≥ -3	dB
고조파억압	≥ 25	dBc
소비전류	35 max.	mA
전원전압	5	V

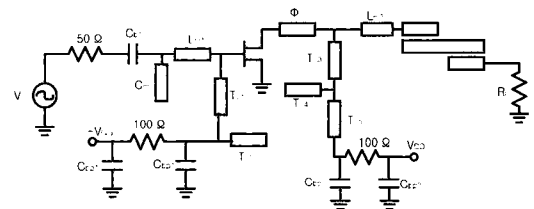


그림 6. 주파수 3체배기 회로도

수하도록 하는 목적으로 사용된 입력 바이어스부 (T_{L1} , T_{L2}), 3차 하모닉을 막고 1, 2차 하모닉은 통과시키는 출력 바이어스부(T_{L3} , T_{L4} , T_{L5}), 드레인의 출력 리액턴스와 병렬공진하여 기본주파수에서 드레인 인이 높은 임피던스를 갖도록 하는 phase shifter(ϕ), 변환손실을 최소화하는 입·출력 정합회로(C_m , L_{m1} , L_{m2}), 고조파억압을 위한 대역통과 여파기로 구성되었다.

주파수 3체배기를 설계하기 위해서는 우선 odd 하모닉이 우세한 출력파형을 만들어야 한다. 이런 파형을 발생시키기 위해서는 전도각이 80° 인 C급에 바이어스점을 두거나, negative swing에서는 pinch-off로 인해, positive swing에서는 gate conduction으로 인해 전류파형이 clipping이 일어나도록 A급에서 overdriving시켜 3차 하모닉에서 우세한 전류파형을 얻는 방법이 있다. 또한 바이어스를 A급에 두고 기본주파수에서 드레인단이 높은 임피던스가 되도록 하여 3차 하모닉이 우세한 전압파형을 얻는 방법도 있다. 이러한 방법 중 전압파형을 왜곡시키는 방법이 더 높은 odd 하모닉 전류를 발생시킬 수 있다^[1]. 그러므로 주파수 3체배기의 경우 대부분 전압왜곡이 발생하도록 바이어스점을 A급에 두며, 큰 입력 전력을 인가하여 pinch-off에서 zero 게이트 전압까지 swing되도록 한다. 또한 전압파형이 가능한 대칭적으로 왜곡되도록 하여 even 하모닉이 최소가 되도록 해야 한다.

이러한 내용을 고려하여 동작점을 결정한 후, 동작 주파수 범위내에서 변환 손실을 최소화하는 입·출력 정합회로를 설계하였으며 하모닉 성분들

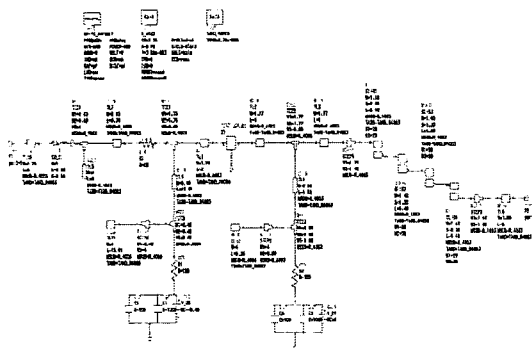


그림 7. 설계된 주파수 3체배기 회로도

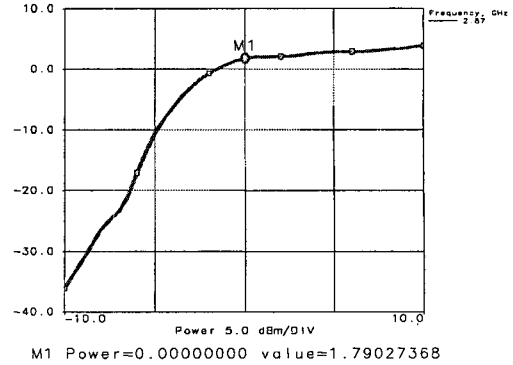


그림 8. 입력전력에 따른 변환이득 시뮬레이션 결과

을 제거하기 위하여 대역통과 여파기를 연결하였다. 본 논문에서는 Libra를 이용하여 설계하였는데, 설계된 주파수 3체배기의 회로도도 그림 7과 같다.

그림 8에 입력신호의 전력변화에 따른 3차 고조파성분의 전력을 나타내었는데, 입력신호가 0dBm 이상일 경우 최대 변환이득을 얻을 수 있음을 알 수 있다.

그림 9는 주파수체배기의 고조파 특성이다. 0 dBm의 입력신호에 대해 8.61 GHz의 3차 하모닉에서 2.87 dBm의 출력전력을 나타내었으며, 대역통과 여파기의 삽입으로 3차 하모닉 외의 성분들이 충분히 억압되었음을 알 수 있다. 또한 입력신호가 0 dBm일 때 입력 주파수에 따른 3차 하모닉의 성분의 전력을 그림 10에 나타내었는데 -3 dB 이상의 변환이득을 나타내는 출력신호의 대역폭이 약 580 MHz임을 알 수 있다.

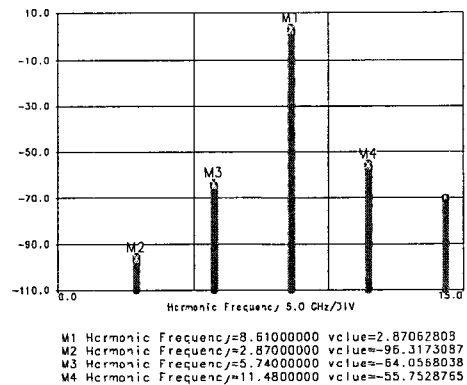


그림 9. 주파수체배기의 고조파 특성 시뮬레이션 결과

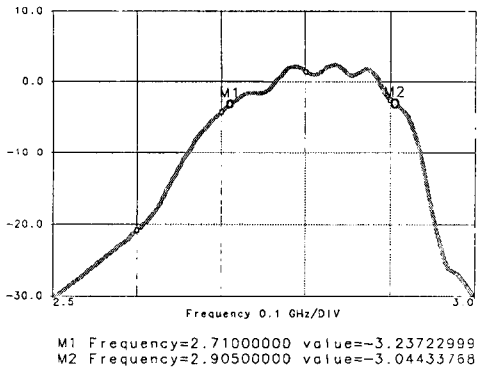


그림 10. 입력주파수 변화에 대한 주파수 3체배기의 출력변화 시뮬레이션 결과

IV. 제작 및 측정

주파수 3체배기는 유전율 3.38, 높이가 0.762 mm 인 로저스사의 기판을 이용하여 제작되었으며, 전체 크기는 65(mm)×35(mm)이다. 트랜지스터는 f_T 가 약 30 GHz인 NEC사의 NE425S01 MESFET을 사용하였고, 드레인 전원전압은 5 V, 게이트 전원전압은 -0.4 V로 하여 A급에서 동작하도록 제작하였다. 제작된 주파수 3체배기의 사진을 그림 11에 나타내었다.

측정된 주파수 3체배기의 출력 및 고조파 특성을 그림 12에 나타내었다. 측정결과 8.31 GHz의 3차 하모닉에서 측정 케이블 손실 2 dB를 고려하여 2.67 dBm의 출력과 -41.17 dBc의 기본 주파수 억압을 얻었다.

또한 입력 및 출력신호의 위상잡음 특성을 그림 13에 나타내었다. 8.16 GHz 출력신호의 위상잡음 특성은 10 kHz offset 주파수에서 -90.17 dBc/Hz로

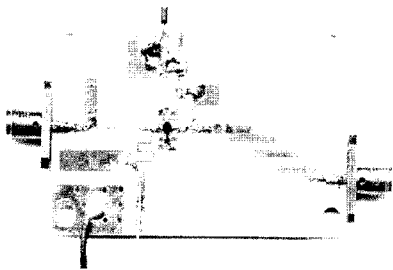
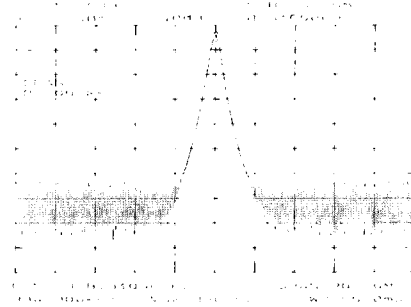
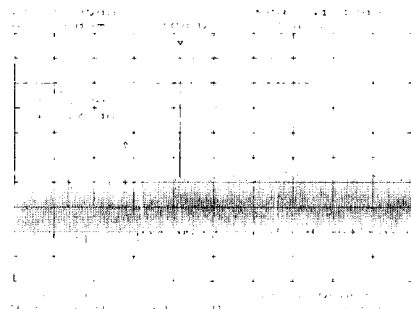


그림 11. 제작된 주파수 3체배기

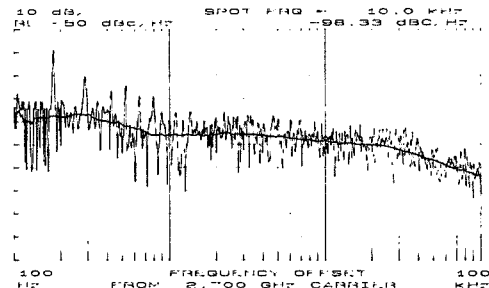


(a) 출력 특성

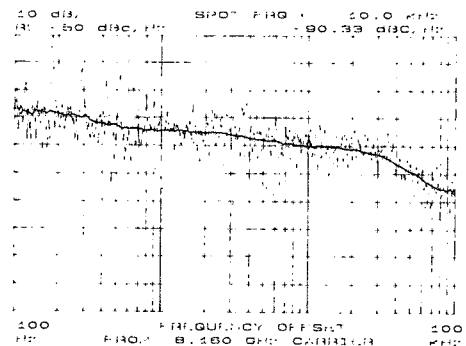


(b) 고조파 특성

그림 12. 제작된 주파수 3체배기의 주파수 특성



(a) 입력신호의 위상잡음



(b) 출력신호의 위상잡음

그림 13. 주파수 체배기의 위상잡음 특성

측정되었다. 이는 -98.83 dBc/Hz의 위상잡음을 갖는 2.72 GHz 입력신호에 대해 측정된 3차 하모닉의 위상잡음 특성이 이론적으로 계산한 값과 0.89 dB 차이로 거의 유사함을 알 수 있다.

0 dBm의 입력신호를 2.6 GHz에서 2.9 GHz까지 변화하면서 변환이득을 측정한 결과를 그림 14에 나타내었다. 그림 14로부터 제작된 주파수 3배배기의 경우 -3 dB 이상의 변환이득을 갖는 출력신호의 대역폭이 510 MHz임을 알 수 있다.

측정결과 제작된 주파수 3배배기는 제작시 최대 변환이득을 갖는 입력신호의 주파수가 낮아지는 것을 고려하여 높은 주파수에서 설계하였다. 그런데 주파수 3배배기의 뒷단에 여파기를 삽입하면서 부하의 임피던스 변화때문에 설계 주파수보다 100 MHz 정도 높아진 2.77 GHz 입력신호에서, 변환이

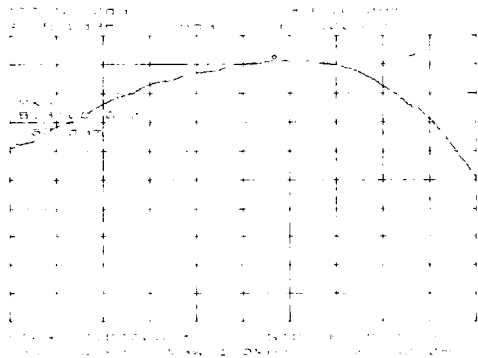


그림 14. 입력주파수에 따른 주파수 3배배기의 변환이득

표 2. 주파수 3배배기 측정결과

항 목	설계결과	측정결과	단위
주파수범위	8,130~8,710	8,030~8,540	MHz
주파수대역	580	510	MHz
출력전력	-0.34 ± 2.66	-0.16 ± 2.8	dBm
변환이득	-0.34 ± 2.66	-0.16 ± 2.8	dB
고조파억압	55	41.17	dBc
위상잡음 저하	9.5	8.61	dBc/Hz
소비전류	28	31.2	mA
전원전압	5	5	V

득이 측정 케이블 손실을 고려하여 2.67 dB로 가장 크게 나타났다. 제작된 주파수 3배배기의 측정결과를 표 2에 나타내었다.

V. 결 론

본 논문에서는 주파수3배배기에 대한 기본적인 이론을 고찰하고 NEC사의 NE425S01 MESFET을 이용하여 2.67 GHz의 신호를 입력하여 8.01 GHz를 출력하는 주파수 3배배기를 설계하였다. 바이어스는 회로의 안정성을 고려하여 게이트에는 -0.4 V, 드레인에는 $+5$ V 전원을 사용하였다. 주파수 3배배기의 측정결과 2.77 GHz에서 0 dBm의 전력을 갖는 입력신호에 대해 8.31 GHz에서 2.67 dBm의 출력과 -41.17 dBc의 기본주파수 억압특성을 얻었으며, 출력신호의 사용 대역폭은 510 MHz로 나타났다.

주파수 3배배기의 사용대역과 대역통과 여파기의 대역폭이 보다 일치한다면 대역내의 변환손실이 적어질 것으로 예상된다. 또한 여파기의 삽입으로 인한 부하의 영향을 고려하여 설계와 제작 과정을 충분히 되풀이하면서 중심대역의 오차를 줄여야 할 것으로 보인다. 향후 주파수 3배배기의 사용대역을 넓히면서 변환손실이 최소가 될 수 있는 방안에 대한 검토가 필요하며 사용대역폭 증가를 위해 balanced type의 체배기에 대한 연구가 필요하다. 또한 self biasing을 이용해 회로의 안정성을 만족하면서도 전체 크기를 줄일 수 있는 방안에 대한 검토가 필요하다.

참 고 문 헌

- [1] Edmar Camargo, *Design of FET Frequency Multipliers and Harmonic Oscillators*, Artech House, 1998.
- [2] A. Cezer, "Computer-aided design of diode frequency multipliers", *Applied Microwave & Wireless*, pp. 38-48, 1999.
- [3] Christen Rauscher, "High frequency doubler operation of GaAs field-effect transistors", *IEEE Trans. Microwave Theory and Tech*, vol. MTT-31, no. 6, pp. 462-473, June 1983.

[4] Anand Gopinath, "Single-gate MESFET FET frequency doublers", *IEEE Trans. Microwave Theory and Tech*, vol. MTT-30, no. 6, pp. 869-874, June 1982.

[5] Eoin O'Ciardha, "Generic-device frequency multiplier analysis-a unified approach", *IEEE Trans.*

Microwave Theory and Tech, vol. MTT- 48, no. 7, pp. 1134-1141, July 2000.

[6] H. Fudem and E. C. Nienhke, "Novel millimeter wave active MMIC triplers", *IEEE MTT-S Int. Microwave Symp. Digest*, pp. 387-390, May 1998.

정 미 경



2000년 2월: 충남대학교 전파공학과 (공학사)
 2000년 3월~2002년 2월: 충남대학교 전파공학과 (공학석사)
 2002년 1월~현재: 삼성전자 [주 관심분야] 고주파 회로 설계

홍 성 용



1985년 2월: 충남대학교 전자공학과 (공학사)
 1988년 2월: 한국과학기술원 전기 및 전자공학과 (공학석사)
 1994년 8월: 한국과학기술원 전기 및 전자공학과 (공학박사)
 1994년 2월~1996년 8월: 한국쌍

신전기 연구소장
 1996년 9월~현재: 충남대학교 전파공학과 교수
 [주 관심분야] 고주파 회로