

# BWLL용 MMIC 증폭기의 설계 및 제작

## Design and Fabrication of MMIC Amplifier for BWLL

배현철 · 윤용순\* · 박현창\* · 박형무\* · 이진구\*

H. C. Bae · Y. S. Yoon\* · H. C. Park\* · H. M. Park\* · J. K. Rhee\*

### 요 약

본 논문에서는 전자선 묘화 장비를 이용하여 게이트 길이가 0.2  $\mu\text{m}$ 인 PHEMT를 제작하여 특성을 분석하고, 임피던스정합 및 바이어스 회로를 위한 수동소자 라이브러리를 작성하여 BWLL용 MMIC 증폭기를 설계 및 제작하였다. 제작된 2단 MMIC 증폭기는 26.7 GHz에서 8.7 dB의 소신호 이득 및 -10 dB 이하의 입·출력 반사 계수를 얻었다. 제작된 2단 MMIC 증폭기의 칩 크기는  $4.11 \times 2.66 \text{ mm}^2$  이다.

키워드 : PHEMT, BWLL, MMIC, 증폭기

### Abstract

In this paper, we have designed and fabricated an BWLL MMIC amplifier using GaAs PHEMT devices. We have optimized power divider/combiner size for small size of MMIC amplifier. Using 0.2  $\mu\text{m}$  AlGaAs/InGaAs/GaAs PHEMT devices, the two stage MMIC amplifier has demonstrated a  $S_{21}$  gain of 8.7 dB with input/output return losses of lower than -10 dB at 26.7 GHz. The size of this chip is  $4.11 \times 2.66 \text{ mm}^2$ .

Key words : PHEMT, BWLL, MMIC, amplifier

### I. 서 론

전 세계적으로 초고속 통신망 구축에 관한 관심이 증가되어가고 있으며, 국내에서도 광대역 무선기술의 발전과 다양한 응용 서비스의 요구로 인해서 BWLL(Broadband Wireless Local Loop)에 관한 연구가 활발하다. BWLL은 외국의 LMDS(Local Multipoint Distribution Service)와 같은 의미로 24~27 GHz의 준 밀리미터파를 이용하여 가입자와 통신망을 연결하는 것으로 다양한 서비스의 제공이 가능하다<sup>[1]</sup>. BWLL의 활용은 초고속 인터넷, 실시간 멀티미디어 파일 전송, 무선 CATV 등의 데이터 전

송에 사용된다. 국외에서는 LMDS 서비스용 필요부품은 이미 제작되어 상용화가 이루어지고 있으며 국내에서도 이에 대응하기 위한 시스템 제작이 요구되고 있다. BWLL 시스템의 제작에 있어서 저가 격화와 고신뢰성을 위해서는 높은 재현성으로 대량 생산이 용이한 초고주파 단일칩 집적회로인 MMIC(Monolithic Microwave Integrated Circuits) 기술의 적용이 필요하다<sup>[2]</sup>. 이동통신기기가 급격히 확대되면서 고주파 특성이 우수하고 신호크기에 따른 특성 변화가 적으며 RF단의 여러 소자들을 단일칩으로 집적 가능하게 하는 MMIC가 향후 가장 유망한 정보 통신 부품 중 하나로서 부상하고 있다. MMIC

「본 연구는 동국대학교 밀리미터파 신기술 연구센터(MINT)를 통한 한국과학재단의 우수연구센터(ERC) 지원금에 의하여 수행되었습니다.

한국전자통신연구원(ETRI)

\*동국대학교 전자공학과(Dongguk University)

· 논문 번호 : 20010822-110

· 수정완료일자 : 2002년 2월 18일

n+ GaAs(Si: $4 \times 10^{18} \text{cm}^{-3}$ )	400 Å
i Al <sub>0.25</sub> Ga <sub>0.75</sub> As	250 Å
Si planar doping ( $5 \times 10^{12} \text{cm}^{-2}$ )	
i Al <sub>0.25</sub> Ga <sub>0.75</sub> As	50 Å
i In <sub>0.2</sub> Ga <sub>0.8</sub> As	120 Å
i GaAs Buffer	1 μ m
Semi-insulating GaAs	

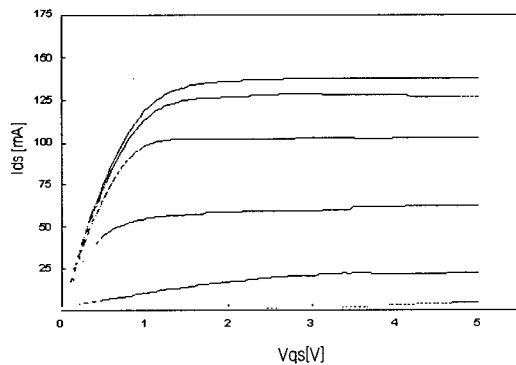
그림 1. 설계된 에피층 구조

Fig. 1. Structure of designed epi-layer.

는 현재 레이더뿐만 아니라 위성 통신 및 이동통신의 RF 부품으로 그 사용 영역이 넓어지고 있는 마이크로파 시스템의 핵심 기술이다. 특히 양산성 및 저가격화를 위해 회로 크기를 줄이는 것이 매우 중요하다. 따라서 본 논문에서는 직접 제작한 AlGaAs/InGaAs/GaAs계의 PHEMT와 MIM 캐패시터 및 마이크로 스트립 라인 등의 수동소자를 이용하여 BWLL 송신시스템 응용할 수 있는 MMIC 증폭기를 설계 및 제작하였으며, 칩면적을 최소화하기 위해 정합회로 설계시 스테브를 사용하지 않고 정합회로를 구성하였다.

## II. 전력용 PHEMT의 제작 및 특성분석

PHEMT 및 MMIC의 특성을 향상시키기 위해서



(a) 전압-전류 특성  
(a) Voltage-current characteristics

는 최적화된 에피층 구조의 설계가 필수적이다. 본 논문에서 PHEMT 제작에 이용된 에피층은 오믹 접촉 향상을 위하여 높은 도핑 농도를 가지는 n+GaAs 캡층, 2-DEG(2 Dimensional Electron Gas)층을 형성시키고 게이트 금속이 접촉되는 AlGaAs 도우너층과 스페이서층, AlGaAs/InGaAs/GaAs의 이중접합으로 인해 2-DEG 채널이 형성되어 소자의 전기적 특성을 결정하는 채널층 그리고 누설전류 등의 기생성분을 차단하고 과잉 드레인 전류 흐름을 막기 위한 버퍼층으로 설계하였다. 또한 높은 면전하밀도와 항복전압특성을 개선하기 위하여 스페이서층 바로 위에  $5 \times 10^{12} \text{cm}^{-3}$ 의 Si planar doping 구조를 갖도록 설계하였다. 이렇게 설계된 에피층 구조는 소자 제작에 직접 이용하였다<sup>[3],[4]</sup>. 그림 1은 증폭기 제작을 위해 설계된 에피층의 구조이다.

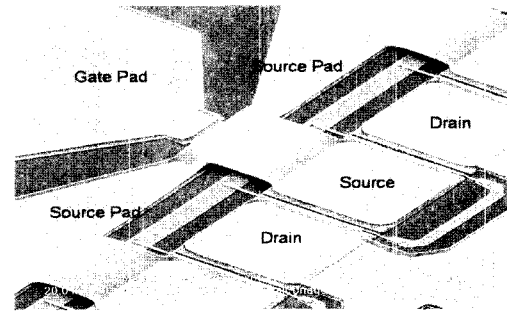
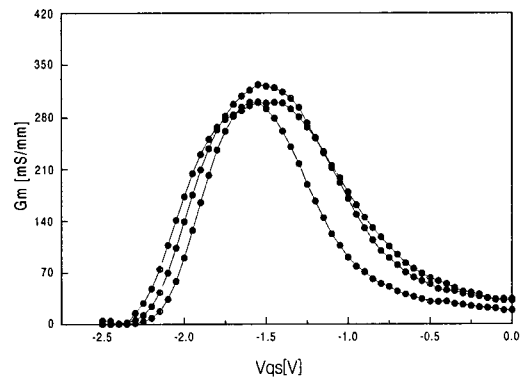


그림 2. 제작된 PHEMT의 SEM 사진

Fig. 2. SEM photograph of fabricated PHEMT.



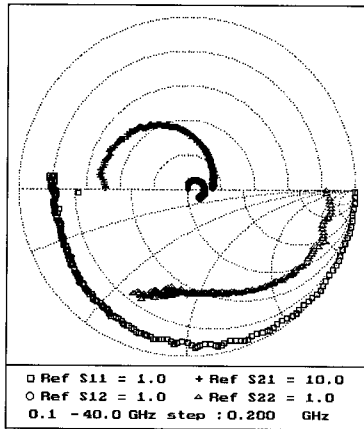
(b) 전달 컨덕턴스 특성  
(b) Transconductance characteristics

그림 3. PHEMT의 DC 특성( $L_g=0.2 \mu \text{m}$ ,  $80 \mu \text{m} \times 4$ )

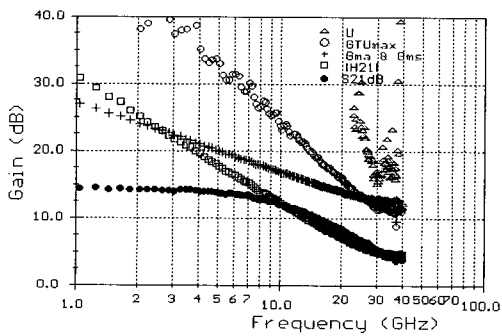
Fig. 3. DC characteristics of PHEMT. ( $L_g=0.2 \mu \text{m}$ ,  $80 \mu \text{m} \times 4$ )

PHEMT의 제작 공정은 소자간의 전기적 분리를 위한 메사 공정, AuGe/Ni/Au 금속층을 사용하는 오믹 공정, 게이트 금속 형성을 위해 전자선 묘화 장비를 이용한 0.2  $\mu\text{m}$  T-게이트 공정, 디바이스의 특성을 향상시키고 채널을 보호하기 위한 패시베이션 공정, 다수의 격리된 소오스 전극을 상호 연결시키기 위한 air-bridge 공정 등의 단위 공정으로 이루어졌다<sup>[5],[6]</sup>. 그림 2에 제작된 PHEMT의 표면사진을 나타내었다.

그림 3은 0.2  $\mu\text{m}$ 의 게이트 길이와 단위 게이트 폭이 80  $\mu\text{m}$ 이고 핑거 수가 4개인 PHEMT의 전류-전압 특성 및 전달컨덕턴스 특성으로 무릎전압은 0.95 V, 핀치 오프 전압은 -2.5 V, 포화전류는  $V_{gs}$



(a) S-파라미터 특성  
(a) S-parameters characteristics.



(b) 이득 특성  
(b) Gain characteristics

그림 4. PHEMT의 RF 특성( $L_g=0.2 \mu\text{m}$ ,  $80 \mu\text{m} \times 4$ )  
Fig. 4. RF characteristics of PHEMT( $L_g=0.2 \mu\text{m}$ ,  $80 \mu\text{m} \times 4$ ).

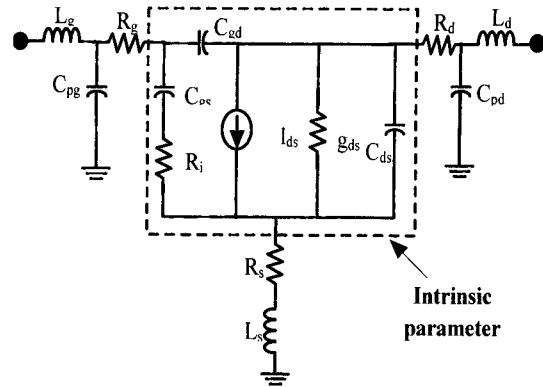


그림 5. 소신호 등가회로  
Fig. 5. Small signal equivalent circuit.

= 0 V에서 137 mA, 드레인 전류 밀도는 428 mA/mm이며, 최대 전달컨덕턴스는  $V_{ds} = 3 \text{ V}$  및  $V_{gs} = -1.5 \text{ V}$ 에서 317 mS/mm를 얻었다.

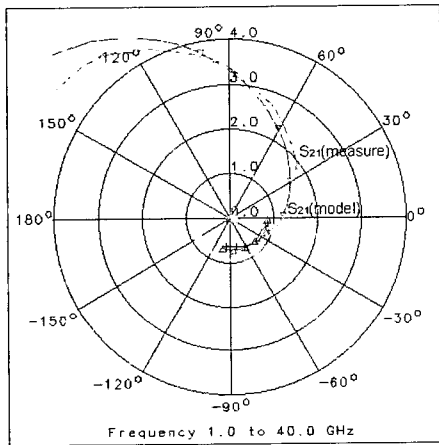
그림 4는 PHEMT의 S-파라미터 특성과 이득 특성으로 바이어스 조건은  $V_{ds} = 3 \text{ V}$ ,  $V_{gs} = -1.5 \text{ V}$  이고 주파수는 1~40 GHz 범위에서 측정하였다. 측정 결과, 전류이득 차단 주파수( $f_T$ )는 62 GHz, 최대 공진 주파수( $f_{max}$ )는 120 GHz의 결과를 얻었다.

다음으로 MMIC 증폭기를 설계하기 위해서 제작된 PHEMT의 특성을 표현하는 소신호 모델링을 수행하였다. 그림 5는 PHEMT의 소신호 등가회로이며 소신호 모델링은 측정된 S-parameter을 이용한 직접추출법을 사용하였다.<sup>[7]</sup> 추출 방법은 소자의 ColdFET(cold FET bias) 역방향 바이어스를 인가하여 측정된 S-parameter를 이용하여 capacitance을 추출한 후 ColdFET 순방향을 인가하여 외부 저항과 인덕턴스를 추출하였다. 다음으로는 추출된 외부 파라미터를 이용하여 de-embedding을 수행한 후 동작 바이어스 조건에서 측정된 S-parameter를 이용해 내부 파라미터를 추출하였다. PHEMT의 소신호 파라미터를 추출하기 위하여 자체 프로그램을 개발하였으며, 측정된 S-parameter를 사용하여 소신호 파라미터의 값을 추출하였다. 추출소자는 단위 게이트 폭이 80  $\mu\text{m}$ 이고 핑거수가 4개인 PHEMT 소자를 추출하였으며 추출된 소신호 파라미터 값을 표 1에 나타내었다. 다음으로 추출된 모델의 정확성을 검증하기 위해 PHEMT의 모델과 측정데이터를 1~40

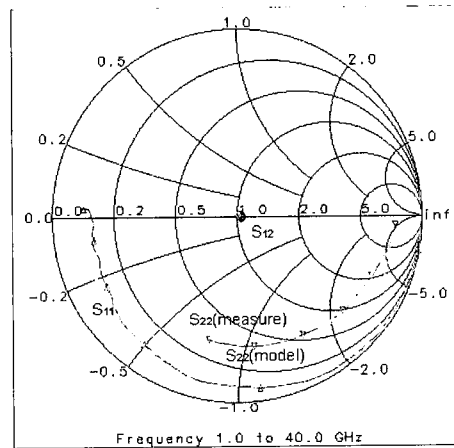
표 1. 추출된 소신호 파라미터

Table 1. Extracted small signal parameters.

Extrinsic Parameter		Intrinsic Parameter	
$R_g$ [ $\Omega$ ]	7.539	$C_{gs}$ [pF]	0.413
$R_d$ [ $\Omega$ ]	4.793	$C_{gd}$ [pF]	0.034
$R_s$ [ $\Omega$ ]	2.553	$C_{ds}$ [pF]	0.083
$L_g$ [nH]	0.412	$g_{ds}$ [mS]	4.031
$L_d$ [nH]	0.057	$g_m$ [ms]	95.451
$L_s$ [nH]	0.001	$R_i$ [ $\Omega$ ]	2.790
$C_{pg}$ [pF]	0.008	$\tau$ [psec]	3.786
$C_{pd}$ [pF]	0.037		



(a) S21



(b) S11, S22, S12

그림 6. PHEMT의 소신호 모델링 결과

Fig. 6. Small signal modeling result of PHEMT.

GHz 영역에서 비교하였으며, 이를 그림 6에 나타내었다.

### III. BWLL용 MMIC 증폭기 설계

MMIC 증폭기의 설계는 제작된 소자의 대신호 모델을 구축하지 못하였기 때문에 소신호 모델을 사용하여 설계를 수행하였으며, 소자의 출력특성 향상 및 대신호 특성을 예상하기 위해 증폭기의 출력단을 DC Loadline 이론을 이용하여 설계하였다.<sup>[8]</sup> 소자의 최적 load 저항값과 출력전력은 아래와 같이 계산할 수 있다.

$$R_{opt} = V_{dc} / (I_{max} / 2) = V_{dc} / I_{dc} \quad (1)$$

$$P_{opt} = (1/2) V_{dc} I_{dc} \quad (2)$$

위에 식을 이용해 하나의 소자를 사용하여 증폭기를 Class A와 드레인 전압 3 V로 동작시킬 경우 최적 load 저항값은 43.8  $\Omega$  및 출력전력은 102 mW(20.1 dBm)로 계산할 수 있다. 증폭기의 정합회로는 마이크로스트립 라인을 사용하여 설계하였으며 설계 조건으로는 GaAs 유전율 12.9, 유전체 두께 100  $\mu\text{m}$ , 금속 두께 1.2  $\mu\text{m}$ , 금속의 전도도는 Au의 전도도인 2.44  $\mu\Omega\text{-cm}$ 로 설정하였다. 소자의 바이어스 점은 A급으로 설계하였으며 게이트 전압은

-1.5 V, 드레인 전압은 3 V로 하였다. 회로의 구성은 MMIC 칩내부를 간략화하고 성능의 저하를 막기 위해 전압 분배 회로를 사용하지 않고 직접 바이어스 하였다. 소자의 특성은 중심 주파수 24.5 GHz에서 입력 반사 계수는  $0.7 \angle 155^\circ$ , 출력 반사 계수는  $0.68 \angle 99.8^\circ$ 였으며 마이크로 스트립 라인과 open stub를 이용하여 정합회로를 구성하였다.

증폭기의 출력단은 4개의 PHEMT를 3 dB 전력 결합기를 이용하여 출력전력을 결합시켜 높은 출력전력을 얻을 수 있도록 설계하였다. 3 dB 전력결합기는 가장 간단한 구조로 라이브러리를 구축하기 쉽고, 공정 변화에 따른 특성 변화가 적어 증폭기의 안정적인 특성을 얻을 수 있는 장점이 있다. 따라서 앞의 식에서 하나의 소자가 20.1 dBm의 출력전력이 예상되므로 설계된 증폭기의 출력전력은 전력 결합기의 손실을 무시할 경우 408 mW(26.1 dBm)으로 계산할 수 있다. 또한 증폭기 출력단 설계시 일반적인 3 dB Wilkinson 전력 분배기·결합기를 마이크로 스트립 라인으로 구현할 경우 전력 분배기·결합기의 크기가 매우 커 칩면적을 많이 차지하기 때문에 칩면적을 최소화하기 위해 본 논문에서는 2단 증폭기의 정합을 스테이블 사용하지 않고 스미스 차트상의 실수 축으로 임피던스를 이동시킨 후 원하는 load의 특성임피던스를 갖는  $\lambda/4$  라인으로 50  $\Omega$  정합을 하였다. 출력 정합 회로는 정합 및 전력 분배·결합 기능을 동시에 수행하도록 설계하였으며 양호한 출력 특성을 위해 최적 load 저항값인 43.8  $\Omega$ 이 되도록 정합회로를 구성하였다. 출력단 설계 후 입력단과 결합하여 2단 증폭기를 설계하였으며, 설계된 동작 주파수에서 최적화를 수행하였다. 완성한 MMIC 증폭기의 회로도를 그림 7에 나

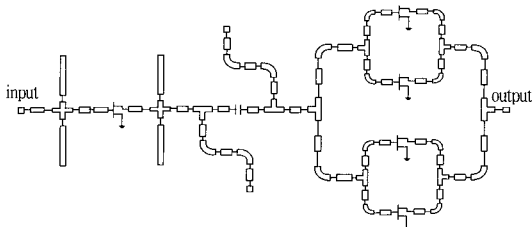


그림 7. MMIC 증폭기 회로도  
Fig. 7. A schematic of designed MMIC amplifier.

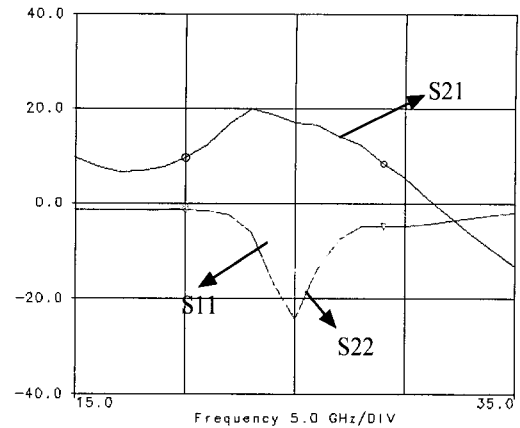


그림 8. BWLL용 MMIC 증폭기의 소신호 특성  
Fig. 8. Simulation results of MMIC amplifier for BWLL.

타내었다.

설계된 BWLL용 MMIC 2단 증폭기는 시뮬레이션 결과 중심 주파수인 24.5 GHz에서 17.8 dB의  $S_{21}$  이득, 입력 반사 계수  $S_{11}$ 은 -12.3 dB, 출력반사 계수  $S_{22}$ 는 -20.9 dB의 결과를 얻었으며, 안정도 계수 K는 1.82의 결과를 얻었다. 그림 8에 시뮬레이션 결과를 나타내었다.

#### IV. BWLL용 증폭기 제작 및 측정

설계한 MMIC 증폭기를 제작하기 위해 메사에 청, 오믹, 1차 금속, 유전체 via, PR-via, 2차 및 에어

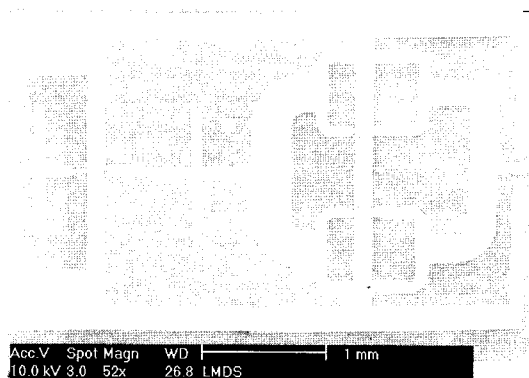


그림 9. 제작한 MMIC 증폭기의 표면 사진  
Fig. 9. A photograph of fabricated MMIC amplifier.

브리지금속, back-side via-hole 등 총 7장의 마스크를 설계, 제작하였다. MMIC 증폭기의 제작공정은 능동소자인 PHEMT 제작공정과 마이크로스트립 라인 및 MIM 캐패시터 등의 수동소자 제작공정을 통합한 일괄공정으로 제작하였다. 그림 9는 제작한 MMIC 증폭기의 표면사진으로 칩 크기는  $4.11 \times 2.66 \text{ mm}^2$  이다.

제작한 MMIC 증폭기의 소신호 이득 특성을 8510C Vector Network Analyzer로 측정하였으며, PHEMT의 게이트 및 드레인 바이어스는 4156A DC parameter analyzer를 이용하여 인가하였다. 바이어스는  $V_{ds} = 3 \text{ V}$  및  $V_{gs} = -1 \text{ V}$ 가 되도록 하였다. BWLL용 MMIC 2단 증폭기의 측정 결과 26.7 GHz에서  $S_{21}$  이득은 8.7 dB 이며, 입력 반사 계수  $S_{11}$ 은 -14 dB, 출력 반사 계수  $S_{22}$ 는 -13.5 dB를 얻었다.

그림 10에 BWLL용 MMIC 증폭기의 S-parameter 특성 측정 결과를 나타내었다. BWLL의 S-parameter 측정결과 이득 및 대역 특성이 시뮬레이션 결과에 비해 크게 줄어들었으며, 이는 제작된 소자의 성능감소와 공정 오차 때문인 것으로 분석되었다. 또한 설계시 전체 레이아웃 패턴에 대한 Full-wave 시뮬레이션을 수행하지 못하여 설계 패턴의 기생 효과들을 고려하지 못한 측면이 큰 것으로 분석되었다. 따라서 증폭기의 동작대역이 BWLL의 전주파수 대역에서 동작이 되지 않아 향후 정확한 설계 라이브러리 구축, 공정의 안정화 및 증폭기의 광대역 특성을 얻기 위한 보완적인 연구가 수행되

어야 할 것으로 분석되었다.

## V. 결 론

본 논문에서는 능동소자인 PHEMT와 마이크로스트립 라인 및 MIM 캐패시터를 이용하여 Ka 대역의 BWLL용 MMIC 증폭기를 설계 및 제작하였다. 설계된 BWLL MMIC 증폭기는 중심 주파수를 24.5 GHz로 하고 운용 주파수 범위를 24.25~24.75 GHz 하였다. BWLL용 증폭기의 설계는 PHEMT 소자의 출력 특성 및 전력 이득 특성을 보완하기 위하여 전력 분배기·결합기를 사용하였으며 또한, 2단의 구조를 가지는 구조로 설계하였다. 입력단의 설계는 단위 게이트 폭이  $80 \mu\text{m}$ 이고 핑거수가 4개인 PHEMT 소자를 1개 사용하였으며 정합회로는 마이크로스트립 라인과 open stub을 이용하여 설계하였다. 출력단의 설계는 출력 전력 향상을 위해 4개의 PHEMT 소자를 전력 분배기·결합기와 함께 설계하였으며 DC loadline 이론을 이용하여 최적화된 load 저항값을 구하여 설계하였다. 제작한 MMIC 증폭기의 전체 칩 크기는  $4.11 \times 2.66 \text{ mm}^2$ 이다. 제작한 MMIC 증폭기는 26.7 GHz에서 8.7 dB의  $S_{21}$  이득, 입력 반사 계수  $S_{11}$ 은 -14 dB이고 출력 반사 계수  $S_{22}$ 는 -13.5 dB를 얻었다. 제작된 MMIC 증폭기의 측정 결과, 설계 시뮬레이션 결과에 비해 중심 주파수의 전이 및 소신호 이득의 감소가 있었다. 이러한 설계 결과와 측정 결과의 오차는 설계 및 공정 오차로 분석되며 더욱 정확한 라이브러리의 구축과 설계시 더 많은 공정 변수를 고려하여 안정적으로 동작하는 증폭기의 설계가 필요할 것으로 사료된다. 또한 본 연구에서 개발된 증폭기는 향후 이득 특성 및 대역폭 보완한다면 BWLL 송신시스템의 구동용 증폭기로 활용될 수 있을 것으로 기대된다.

## 참 고 문 헌

- [1] Pauline Tratter, *Broadband Wireless Strategies*, Ovum Ltd, 1997.
- [2] Ron Yarborough, Paul Saunier, and Hua Quen Tserng, "Performance comparison of 1 watt Ka-band MMIC amplifiers using pseudomorphic

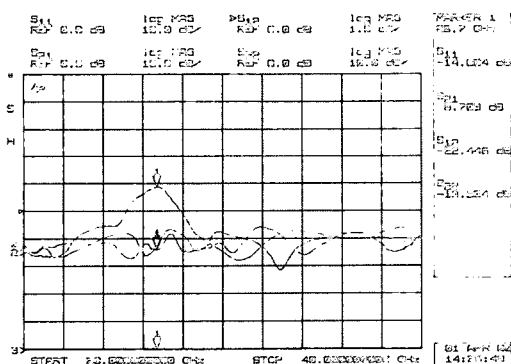


그림 10. MMIC 증폭기의 S-parameter 특성  
Fig. 10. The S-parameter characteristics of MMIC amplifier.

- HEMTs and Ion-implanted MESFETs", *IEEE Microwave and Millimeter-Wave Monolithic Circuits Symposium*, pp. 21-24, 1996.
- [3] B. Y. Banyamin et al., "A New High Gain-Broad bandwidth Amplifier Using Cascaded Single Stage Distributed Amplifiers", *Asia-Pacific Microwave Conference*, pp. 753-756, 1998.
- [4] P. M. Smith, et al., "Ku-band high efficacy high gain pseudomorphic HEMT," *IEEE Electron Letter*, vol. 27, no 3, pp. 270-271, 1991.
- [5] Il-Hyeong Lee, Seong-Dae Lee and Jin-Koo Rhee, "Studies on Air-Bridge Processes for mm-Wave MMIC's Applications", *Journal of the Korean Physical Society*, vol. 35, no. 12, pp. S1043-S1046, 1999.
- [6] 이진구외 4명, "0.35 um T-gate Pseudomorphic HEMT 제작 연구", 대한전자공학회 추계 종합 학술 대회 논문집(B), vol. 19, no. 2, pp. 1245-1248, 1996.
- [7] G. Dambrine, A. Cappy, F. Heliodore, and E. Playez, "A New Method for Determining the FET Small-Signal Equivalent Circuit", *IEEE Trans. Microwave Theory & Tech.*, vol. 36, pp. 1151-1159, July 1988.
- [8] Steve C. Cripps, *RF Power Amplifier for Wireless Communications*, Arthch House, 1999.

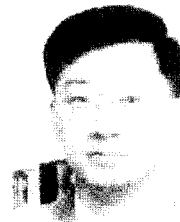
배 현 철

1999년: 동국대학교 전자공학과 (공학사)  
 2001년: 동국대학교 전자공학과 (공학석사)  
 2001년~현재: 한국전자통신연구원(ETRI) 연구원

윤 용 순

1988년: 서울산업대학교 전기공학과 (공학사)  
 1990년: 동국대학교 정보산업대학원 정보통신과 (공학석사)  
 2002년: 동국대학교 전자공학과 (공학박사)  
 1990년~현재: 대통령경호실 90 통신단 1지원대장(통신서기관)

박 현 창



1986년: 서울대학교 전자공학과 (공학사)  
 1989년: Cornell University 전자공학과 (공학석사)  
 1993년: Cornell University 전자공학과 (공학박사)  
 1992년~1995년: University of Virginia 연구원  
 1995년~현재: 동국대학교 전자공학과 부교수

박 형 무



1978년: 서울대학교 전자공학과 (공학사)  
 1980년: 한국과학기술원(KAIST) 전자공학과 (공학석사)  
 1984년: 한국과학기술원(KAIST) 전자공학과 (공학박사)  
 1999년~현재: 동국대학교 전자공학과 부교수

이진구



1969년: 국립항공대학교 전자공학과  
(공학사)

1975년: 서울대학교 전자공학과 (공학석사)

1982년: Oregon State University 전기공학과 (공학박사)

1985년: Cray Research, USA, Research Scientist

1985년: Microwave Semiconductors, USA, Senior Engineer

1990년~1991년: University of Michigan, Visiting Research Scientist

1995년~현재: 한국전자과학회 이사

1996년~현재: 한국산업인력관리공단, 기술사 검정 심의 위원

1985년~현재: 동국대학교 공과대학 전자공학과 교수

1999년~현재: 밀리미터파 신기술 연구센터 소장