

빔조향 및 전파도래각 추정을 위한 새로운 다중입력 다중출력 안테나 송수신부 구성방법

A Novel Equalization Method of Multiple Transceivers of Multiple Input Multiple Output Antenna for Beam-forming and the Estimation of Direction of Arrival

이성종 · 이종환 · 염경환 · 윤찬의*

Seong-Jong Lee · Jong-Hwan Lee · Kyung-Whan Yeom · Chan-Eui Yun*

요 약

본 논문에서는 최근 IMT-2000 시스템에서 고속데이터 통신을 수용하기 위해 연구되고 있는 다중입력다중출력(Multiple Input Multiple Output) 안테나를 이용한 공간분할기법을 현실화하기 위한 새로운 등화된 RF 수신부 구성방법을 제안하였다. 제안된 방법의 핵심은 보정시간 동안 궤환회로 및 기억회로를 통해 보정시간중 등화된 다수의 RF 수신부 구성방법에 있으며, 이를 이용할 경우 중간주파 영역에서 weighting 하는 것이 가능하게 된다. 이는 기존에 연구된 전파도래각 알고리즘을 사용 가입자 분포에 따라 안테나 빔 형성하는 것을 가능케 하며, 공간분할에 의한 최적 셀 형성을 가능하게 할 것이다. 또한 제시된 RF 전단부의 동작을 확인하기 위하여 Envelope Simulation을 사용 이의 동작을 검증하였다.

Abstract

In this paper, a novel method of equalization of RF transceivers is suggested for MIMO(Multiple Input Multiple Output) antenna actively studied for high speed data transmission in the recent IMT-2000 system. The core of suggestion is in equalizing the transfer characteristics of multiple transceivers using feedback and memory during the predefined calibration time. This makes it possible to weight the signals in the intermediate frequency, which is easier in the application of recently developed DoA(Direction of Arrival) algorithms. In addition, the time varying optimum cell formation according to traffic is feasible by antenna beam-forming based on the DoA information. The suggested method of equalizing multiple transceivers are successfully verified using envelope simulation.

Key words: equalization, transceiver, MIMO, DoA, IMT-2000.

I. 서 론

3세대 이동통신시스템인 IMT-2000은 2세대 이동통신시스템이 지닌 문제점, 즉 지역표준으로 인한

글로벌 로밍 문제와 저속 및 낮은 품질을 해결하기 위해서 1985년 ITU에서 시작되었고, IMT-2000의 주된 목적은 단일표준하의 글로벌로밍, 2 Mbps의 데이터전송, 이동멀티미디어의 및 고품질서비스 제

충남대학교 전파공학과(Dept. of Radio Science & Engineering, Chungnam Nat'l, Univ.)

* 한국통신 가입자망연구소(Access Network Labs, Korea Telecom)

· 논문번호 : 20011116-167

· 수정완료일자 : 2002년 1월 29일

공이었다. 그러나 각국의 서로 다른 기존 이동통신 시스템 진화문제와 IPR의 문제로 사실상 단일 표준을 도출하는데 실패하였고, 지상분야의 무선접속 규격으로 5개의 표준규격이 1999년 11월 제18차 ITU-R TG8/1 회의에서 승인되었다. 결국 CDMA 기술방식에 근거한 표준으로 GSM-MAP 기반의 유럽과 일본 중심의 비동기시스템인 W-CDMA 방식과 ANSI-41 기반의 북미중심의 동기시스템인 CDMA 2000 방식으로 크게 양분되었고 비동기 및 동기 방식의 상세 표준규격은 현재 3GPP와 3GPP2에서 각각 작성되고 있다.^[11]

2 Mbps의 서비스 제공 면에서도 현재까지 표준화된 IMT-2000 무선접속 방식으로는 고속 데이터 통신의 경우, 그 용량이 단위 셀 당, 단 몇 명에 불과하므로, 고속 전송을 요구하는 사용자가 늘게 되면, 단위 기지국당의 통신용량이 포화되어 고속데이터 통신 사용자들을 수용하는데 문제가 있게 된다. 이를 위하여 3GPP에서는 하향 링크 채널을 고속화하기 위한 HSDPA(High Speed Downlink Access)가 그리고 3GPP2에서는 1xEv-DV가 제안되어 제안기술의 평가 및 규격작업이 IMT-2000 진화측면에서 진행되고 있다. 이러한 제안기술의 핵심에 있는 것으로는 적응변조 및 부호화 방법, Hybrid Automatic Repeat Request(H-ARQ), 빠른 셀 선택기법(Fast Cell Selection; FCS) 다중입력 다중출력안테나(Multiple Input Multiple Output Antenna), 독립형 DSCH 등이다.^[12]

이 중 다중입력 다중출력안테나(Multiple Input Multiple Output Antenna) 기법은 배열 안테나를 이용하여 각 사용자별로 전파경로를 분할해 줌으로써 간섭을 크게 줄여서 시스템의 통신용량을 늘리는 방식이다. 이동통신환경은 유선채널과는 달리 페이딩, 다중경로간섭, shadowing, 전파감쇠, 시변잡음, 간섭 등에 의해 낮은 신뢰도를 갖는데 이를 효과적으로 대처하기 위한 방법이 된다.

즉 이것은 그림 1과 같은 여러 개의 안테나를 통해 받아들여진 신호를 시스템의 알고리즘을 통해 weighting을 가하고(기존 PCS의 경우 여러 개의 안테나를 사용하는 것은 동일하지만 이러한 weighting은 사용하지 않는다) 이를 이용 전파 도래각 정보를 파악한 후, 송신시 weight를 재조정, 가입자의 시변

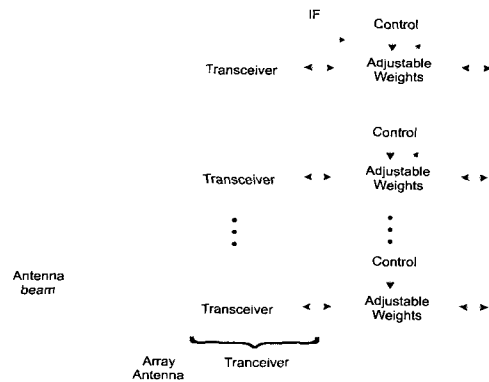


그림 1. Adaptive antenna system.

배치상황에 따라 beam을 형성, 간섭을 줄이고 통신용량을 개선시키는 방법이다.^{[14][15]}

이렇게 시스템을 구성할 경우 기존 시스템이 omni directional하게 되어 있던 것에 비해, 여러 개의 beam을 형성 가입자가 없는 곳에는 전파를 보내지 않을 수 있게 되며, 이러한 beam pattern은 시스템 알고리즘에 따라 시변할 수 있으므로 가입자의 시변하는 배치 상황에 따라 beam을 변화시킬 수 있게 된다. 또한 불필요 방향의 경우 null을 형성 페이딩 발생을 줄일 수 있을 것이다. 뿐만 아니라 과거와 같이 특정 cell 모양으로 할당된 기지국의 역할을, 전파의 방향을 estimation할 경우 트래픽에 따라 beam을 형성 최적의 셀을 형성할 수 있도록 만드는 장점이 있다.

앞선 설명은 단순하게 기지국에 다중입력 다중출력안테나(Multiple Input Multiple Output Antenna) 기법을 적용할 경우의 공간분할에 대한 장점을 설명한 것이지만, 분명히 이 방식은 기존시스템의 여러 가지 제약을 벗어나 공간분할에 의한 통신용량 증대를 기대할 수 있다는 것을 예측할 수 있게 한다.

이것의 H/W 구현을 고려할 때, 우선 이 방식은 여러 가지 알고리즘을 적용하기 위하여 IF 영역에서 weighting을 하는 것을 피할 수 없게 된다. 이것은 필연적으로 그림 1과 같은 RF 송수신부(transceiver)가 동일한 특성을 갖는 것을 요구하는데, 동일한 RF 송수신부를 구성하는 것은 다음 장에 설명하는 여러 가지 이유에서 기술상 상당한 문제점이 있게 된다.

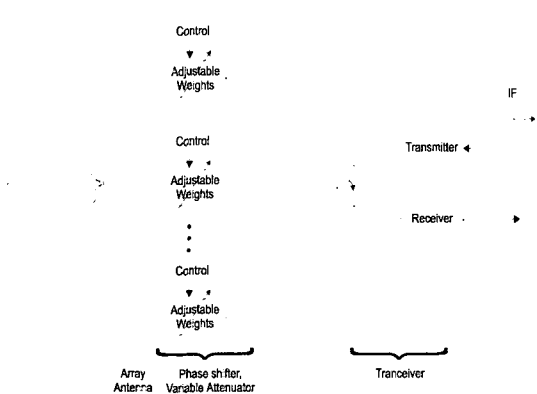


그림 2. 위상배열 안테나의 구성

과거의 경우 위상배열 안테나에서는 동일한 RF 송수신부를 제작하는 어려움을 피하기 위하여 그림 2와 같이 한 개의 RF 송수신부를 사용하고 이를 여러 개로 분기하여 사용하는 RF weighting 방법이 주로 사용되었다. 이러한 방법을 사용할 경우 동일한 RF 송수신부의 구성은 피할 수 있게 되고 빔 형성은 원하는 대로 형성할 수 있게 된다. 그러나 수신된 전파의 경우 weighting된 후 곧바로 합쳐진 후 신호처리 되기 때문에, 가입자의 위치파악이나 분포에 대한 정보파악을 위한 DoA(Direction of Arrival) 알고리즘은 적용하기 곤란해진다.

결과적으로 IF 영역에서 weighting을 하기 위해서는 그림1과 같은 동일한 RF 송수신부의 제작은 필수 불가결하다고 볼 수 있다. 따라서 본론에서는 동일한 RF 송수신부 제작의 문제점들을 검토하고, 이러한 문제점을 제거하는 송수신부 구성방법을 제안하고자 한다.

II. 송수신부 구성방법의 제안

2-1 등화된 RF 송수신부 구성방안

동일한 RF 송수신부 구성의 문제를 살펴보기 위하여 수신만 고려할 경우 살펴보았다. 이것은 송신의 경우 앞서 설명한 바와 같이 한 개의 송신부를 사용하고 RF weighting 하는 것이 가능하기 때문이다. 수신부는 그림 3과 같이 일반적으로 double super heterodyne 방식으로 구성되는데 이들의 크기 및 위상편차 발생 이유는 아래와 같이 3가지로 볼

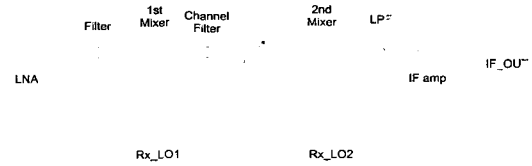


그림 3. 일반적인 통신시스템에서 RF 수신 블록도

수 있다.

이들은 그림에 나타나지 않은 안테나 Feeder부의 위상편차, 상하향 변환시 국부발진기로 사용되는 전압제어발진기(VCO) 들간의 위상편차, 그리고 다수의 RF 송수신부 들의 전달 함수간의 위상편차 이다. 그 중에서 안테나 feeder 부의 위상편차는 안테나 패턴 설계자가 feeder line을 보정/매치함으로써, 그리고 VCO들간의 위상편차는 동일한 reference source를 분기하여 사용함으로써 해결할 수 있을 것이다.

그러나 위 그림과 같이 구성되는 다수의 수신블록들은 동일하지 않고 설계자가 전혀 예측할 수 없는 것이 된다. 물론 전체 위상편차를 고려할 때, 이것이 작을 경우는 큰 문제가 되지 않으나, 일반적으로 이들이 처해지는 상황이 다르고 여러 가지 생산적 이유에서 이것은 작지 않아 절대적으로 동일화를 시키는 것이 필요하다. 그리고 이러한 문제점 때문에 군수 radar의 경우, 본 제안과는 크게 차이가 있지만, 이것을 등화(equalization)시키기 위해서 보정하는 시스템들에 대한 연구가 발표된 바 있다.^{16),17)}

이와 같이 다수의 송수신부에 대해 위상 및 크기를 등화시키는 방법으로, 여기서 취하는 연구의 방법은 궁극적으로 이들의 상대차이를 제거하는 것이기 때문에, 임의의 기준 송수신부를 두고, 각 송수신부와 기준송수신부에 동일한 모의 송수신신호를 인가한 후, 기준 송수신부에 발생하는 출력 신호의 크기와 위상을 분기하여, 다수의 각 송수신부에 보내고, 각 송수신부는 이것과 동일한 크기와 위상을 갖도록 각 송수신부를 제어하는 것이다.

물론 이와 같이 설정할 경우 약간의 보정시간(calibration time)이 소요되며, 또한 기준이 되는 송수신부의 경우 위상과 크기가 환경 변화에 영향을 받지 않도록 고려해주어야 한다는 것이다. 그러나

이를 통해 다수의 위상배열 안테나를 써서 빔의 각도와 방향을 조절해 주는 기능을 얻을 수 있게 되고, 이때 전력증폭기를 소형으로 분산 시켜서 각각의 안테나에 장착하게 되면 작은 출력으로 큰 EIRP를 얻을 수 있으며, 배열 안테나중 한 두개의 고장에도 셀 전체의 송수신 기능은 큰 타격 없이 유지될 수 있어 기존 시스템에 비해 상당한 장점을 얻을 수 있을 것이다.

이상과 같은 개념을 아래 그림 4에 나타냈으며 그림 4에서 보는바와 같이 주파수 천이를 위한 전압 제어 발진기는 공용으로 분기하여 사용하고 있으며, 별도의 기준 송수신부가 있어 이에 모의 기준신호가 입력되며, 이는 보정시간 중에는 다수의 송수신부를 등화시키기 위해 입력되는 것을 알 수 있다.

둘째로 기준 송수신부와 다수의 송수신부를 그림 5와 같이 케환회로를 사용하여 갈래 만든 후에는, 다수의 송수신부는 다시 수신 또는 송신에 사용되어야 하기 때문에, 보정시간 이후에는 각 안테나에는 서로 다른 신호가 인가되게 되므로 보정시간에 동일한 전달함수를 주기 위하여 생성된 RF 송수신부 parameter 값들을 기억해야 할 것이다. 따라서 이들 송수신부는 아래와 같은 블록도로 기억장치를 두고 구성

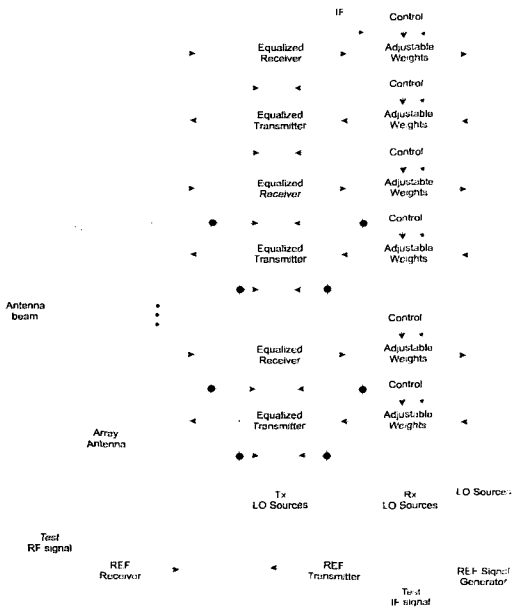


그림 4. 보정시간을 이용한 RF 송수신부 등화 블록도

하여 보정시간 중 등화된 값을 유지하도록 하였다.

그림 5에서 보는 바와 같이 송신부 등화 방법이나, 수신부 등화 방법은 유사하고, 앞선 설명과 같이 송신부의 경우 RF weighting 방법으로도 빔형성에 문제가 없을 뿐 아니라, 그림 2의 송신부와 그림 4의 수신부를 병합하는 것이 가능하기 때문에, 본 연구에서는 수신부를 기준으로 하여 동일한 전달함수 특성을 갖도록 제어하는 시스템에 대한 설계를 구성하였고 이를 모의실험으로 검증하였다.

2-2 RF 수신부 및 등화제어회로(Equalization Control) 구성

2-2-1 RF 수신부 구성

RF 수신부의 구성은 현실적인 면을 감안 상용적으로 구입 가능한 부품을 이용 블록 설계를 하였으며 여기에 이 수신부 전달함수의 등화를 위하여 전

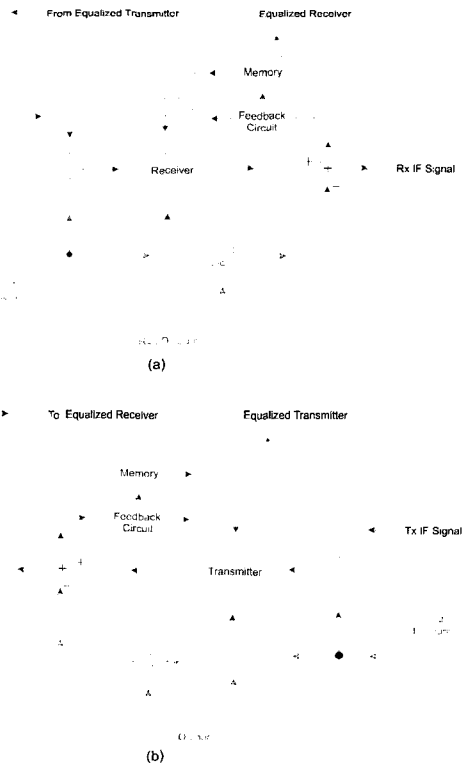


그림 5. 송수신부 등화 블록도. (a) 수신부 등화 블록도, (b) 송신부 등화 블록도

압가변이득 증폭기(AGC) 및 전압가변 위상 천이기를 삽입하였다. 이들의 구성은 아래 그림과 같으며 IMT2000과 동일한 수신주파수와 동일한 대역을 가질 때 -100 dBm 입력 전력을 기준으로 약 100 mVrms 전압 이상이 출력되도록 구성하였다.

전압가변 위상천이기의 경우 소형 실장성의 문제로 수신 RF 주파수에서 동작하는 것을 선택했으며 360° 전구간의 위상변화가 가능한 것을 설정하였다. AGC의 경우 1차 중간주파수 영역에서 동작하는 것을 선택하였다. 이러한 이유는 AGC의 경우 이득이 작을 경우 잡음지수가 커서 RF에서 동작할 경우 수신부의 잡음성능의 저하를 염려한 것이다. 이와 같은 점을 고려 구성된 RF 수신부를 아래 그림에 보였다.

RF 수신부는 우선 송신부와 switch를 통해 격리되며, 또한 위상 및 크기를 같게 만들기 위한 모의 보정신호 주입시와 신호수신시를 switch로 구분하고 있다. 수신부의 구성은 통상적인 수신방법에서 채용되는 2차에 걸친 주파수 하향변환을 하고 있다. 수신된 신호는 우선 저잡음증폭기에 의해 충분한 크기로 증폭된 후 전압가변 위상천이기를 이용, 수신 신호의 위상을 변화시키게 된다. 이 위상천이기의 제어신호는 제어부로부터 오며, 이러한 제어신호에 의해 기준 RF 수신부와 동일한 위상을 갖게 된다. 이 신호는 우선 대역안의 신호만 검출하기 위하여 대역여파기를 통과하게 되며, 통과된 신호는 synthesizer로부터 국부발진 신호를 공급받아, 1차 주파수하향변환을 하게 된다. 변환된 신호에 대해서는 선택된 channel 대역만 선택하기 위하여 channel 여파기를 통과하게 되며, 이 신호는 신호처리가 용이하도록 충분히 증폭되게 된다. 이 신호의 증폭시 기준RF 수신부와 크기가 같아지도록 전압가변 증폭기를 통과하게 된다. 이는 최종적으로 2차 주파수 변환을 통해 원하는 IF 신호로 나타나며, 이 신호를 이용 크기 및 위상이 같아지도록 시스템은 조정되게 된다.

또한 별도의 기준 RF 수신부가 필요하게 되는데 이는 동화의 용이성 및 H/W 구성의 용이성을 위하여 그림 6의 RF 수신부와 동일한 부품으로 구성되었으며, 이때 위상천이기에 입력되는 값은 특정 DC 전압(AGC에 기준 DC 전압으로 bandgap 전압을 제

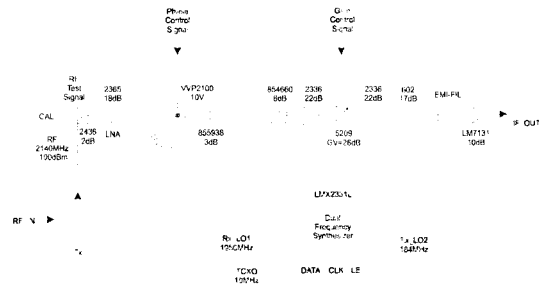


그림 6. 설계된 RF 수신부 블록도

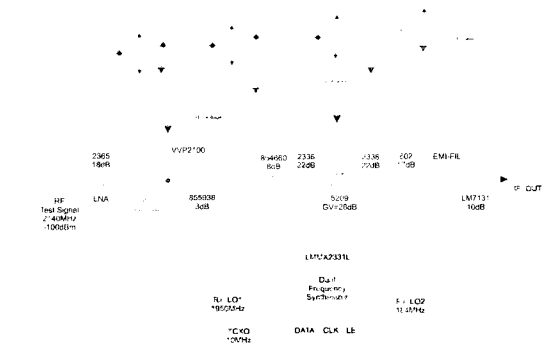


그림 7. 기준 RF 수신부

공하고 있다. 이를 사용한다)을 인가하게 된다. 진폭의 경우 일정 진폭을 출력시키기 위해서 AGC를 이용 자체 궤환을 사용하여 일정 정현파 전압이 출력되도록 하였다.

이것은 출력된 중간주파수 성분의 신호의 크기를 기준 RF 수신부에서 제공된 DC 전압(IC 5209 내부의 bandgap voltage를 이용함)과 그림과 같이 comparator를 통해 비교하게 된다.

이때 공급된 DC 전압보다 신호가 큰 곳에는 그림과 같이 pulse가 나타나게 되며, 이 pulse의 DC에 해당하는 성분을 구하면 아래와 같다.

$$V_{DC} = \begin{cases} \frac{V_{CC}}{\pi} \cos^{-1} \left(\frac{V_{REF}}{V_p} \right) & V_p > V_{REF} \\ 0 & V_p \leq V_{REF} \end{cases} \quad (1)$$

여기서 V_{REF} 는 기준 DC 전압이며, V_{CC} 는 comparator 공급전원전압, 그리고 V_p 는 IF 출력의 진폭

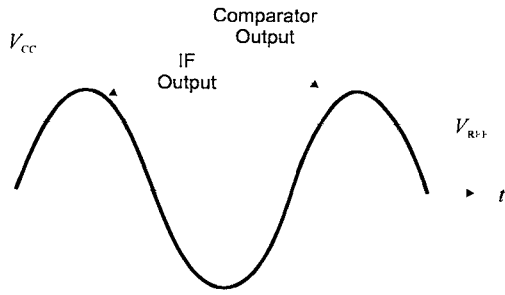


그림 8. Comparator의 출력

을 나타낸다. 이것은 V_{REF} 가 정해질 경우 아래 그림과 같은 곡선을 나타낸다.

여기서 원하는 IF 전압의 진폭 V_b 값을 설정하기 위해서는 그림 9에서 V_b 값에 해당하는 V_{DC} 값을 그림 7의 2차 비교전압으로 사용하면 될 것이다. 이 때 그림 7의 적분기 전의 comparator의 출력전압이 정해진 수준의 DC 전압보다 클 경우 전압가변 증폭기의 이득이 작아지는 방향으로 적분기를 구동하게 되며, 반면 정해진 수준의 DC 전압보다 작을 경우 전압가변 증폭기의 이득이 커지는 방향으로 구동하여, 결국 정상상태에서는 적분기 입력에 가해지는 전압이 0이 되고, 그림 9로 결정되는 일정한 V_b 가 나오게 하는 것이다.

따라서 다수 RF 수신부의 진폭을 동일하게 하는데 그림 7과 같은 궤환 방법을 사용하고 이 두 개의

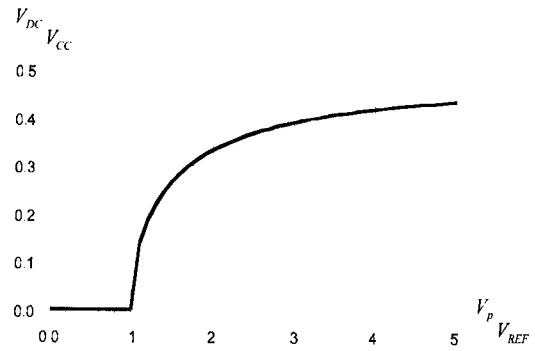


그림 9. Comparator를 이용한 검파기 특성

DC 전압을 기준 RF수신부로부터 제공받을 경우, 이 두 개의 DC 전압을 이용 각 RF 수신부는 그림 9로 결정되는 동일한 V_b 를 갖게 될 것이다. 이렇게 함으로서 DC 전압을 제어부에 기준으로 제공하기 때문에 선로의 길이나, 기타 지연 및 감쇠에 구애받음이 없이 필요한 동일한 기준신호를 다수의 RF 수신부를 등화하기 위한 제어부에 넘겨주는 장점이 있게 된다.

2-2-2 등화제어회로부 구성

등화제어회로부 구성은 RF수신부의 전달함수를 기준 RF 수신부와 같게 만들어 주는 것으로서 그림 10과 같이 설계되었다.



그림 10. 등화 제어회로부의 구성

2-2-2-1 위상 및 진폭 고정(Lock)회로

그림 10과 같은 등화 제어회로에서, 위상을 동일하게 만들기 위해서 제어부는 우선 RF 수신부에서 검출된 IF신호와 기준 RF 수신부로부터 얻어진 IF 신호를 위상비교기(PD; Phase Detector)를 사용 위상비교를 하게 된다. 이렇게 해서 비교된 위상이 차이가 있을 경우 위상비교기 출력에는 이에 비례하는 DC 전압이 발생하게 되며 이는 loop filter를 통과하게 되며, 이 filter의 출력전압은 buffer를 통하여 다음단과 격리되게 된다. 이후 이 전압과 원하는 위상차를 주는 전압과 비교되게 되며 이는 적분기를 거쳐, RF 수신부의 위상 천이기(Phase Shifter)로 되돌려 두 개 수신부간 주어진 위상 차이를 갖게 하는 것이다. 이 때 적분기 전후의 switch는 초기 조건을 위한 것이고 다음 단의 비반전 증폭기는 위상천이기의 제어 DC 전압 범위를 맞추기 위한 증폭기이다.

이러한 위상 비교기는 인가된 두 개의 위상차를 검파하는 것으로서, 여러 가지가 있으나, 본 논문에서는 $-360^\circ \sim 360^\circ$ 의 위상차 검파 범위를 갖는 edge triggered flip-flop을 사용하였다. 이는 exclusive OR의 경우 180° 의 위상차만이 검파 가능하여, 위상차 검파 범위에 문제가 있으며, multiplier의 경우 exclusive OR와 같은 범위를 가지며 비선형적인 특성이 있기 때문이다.

Edge triggered flip-flop 위상비교기의 경우 일반적으로 아래와 같은 특성을 보이고 있다.

즉 그림 11과 같이 입력신호의 rising edge는 위상비교기 출력에 rising edge를 나타나게 하며, 반면

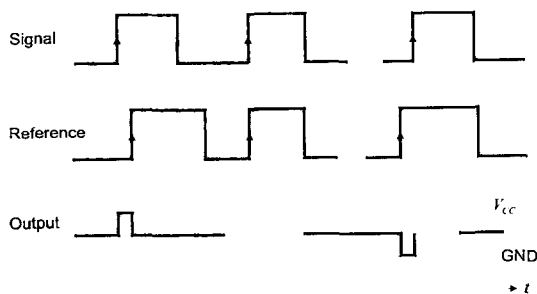


그림 11. 위상비교기의 신호 및 기준원에 따른 출력 파형)

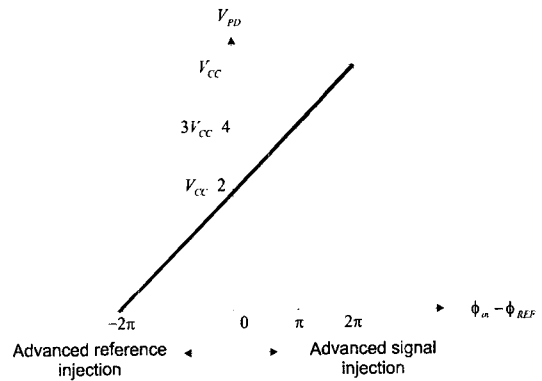


그림 12. 위상비교기 특성

reference 신호의 rising edge에서는 위상비교기의 출력을 떨어지게 한다. 또한 두 개의 위상차가 없을 경우는 open된 상태로서 $1/2 V_{cc}$ 의 출력이 나타나게 된다. 따라서 이 pulse 출력을 정류 한 DC 전압은 아래 그림 12와 같게 된다.

이 경우 주파수가 다를 경우 위상비교기의 출력에는 -360° 에서 360° 까지 해당하는 전압 출력을 보이는 것이 가능하나, 주파수가 같을 경우 위상차는 $0^\circ \sim 360^\circ$ 까지만 나타나게 된다. 즉 신호의 주입이 위상비교기에 먼저 인가될 경우 위상비교기 출력에는 rising edge가 먼저 나타나게 되며, 이것은 $0^\circ \sim 360^\circ$ 까지 해당하는 전압이 위상비교기 출력으로 나타나게된다. 반면 reference의 주입이 먼저일 경우 위상비교기 출력에는 falling edge가 먼저 나타나게 되며, 이것은 $-360^\circ \sim 0^\circ$ 까지 해당하는 출력만 가능하게 된다. 따라서 본 시스템에서는 위상비교기에 신호의 주입이 항상 먼저 일어나기 때문에 $0^\circ \sim 360^\circ$ 에 해당하는 전압만 정의되는 것을 알 수 있다.

위상천이기를 사용 위상의 고정(Lock)을 보여주기 위해서 그림 13과 같은 블록도를 보였다. 그림에서 reference에 해당하는 위상은 reference generator에서 인가된 위상이며 중간주파수의 신호이다. 실제로 신호의 입력은 고주파에서 위상 천이된 것이 위상비교기로 입력되나, 이 천이된 위상이 그대로 중간주파수까지 전달되므로 편의상 위상천이기가 IF에서 동작하는 것으로 고려하고 model을 세웠다.

그러면

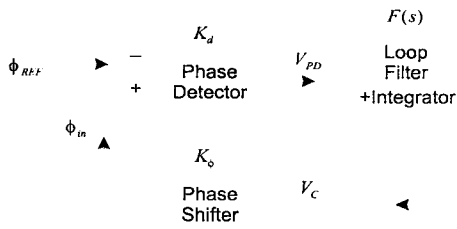


그림 13. 블록도

$$V_{PD} = K_d(\phi_{in} - \phi_{REF}) \quad (2-1)$$

$$V_C = V_{PD}F(s) \quad (2-2)$$

$$\phi_{in} = -K_\phi V_C \quad (2-3)$$

로 나타나게 된다. 여기서 K_d, K_ϕ 는 위상비교기 및 위상천이기 상수이며, 위상천이기는 위상의 지연을 가져오므로 식 (2-3)과 같이 - 부호가 앞에 있게 된다. 이 때 위상 천이기에에는 고정위 위상이 있을 수 있으나, 이는 reference의 위상으로 고려하면 되므로 위 식은 일반성을 잃지 않게 된다.

따라서 이를 정리하면

$$\phi_{in} = \frac{K_d K_\phi F(s)}{1 + K_d K_\phi F(s)} \phi_{REF} = \frac{KF(s)}{1 + KF(s)} \phi_{REF} \quad (3)$$

가 되는 것을 알 수 있다. 여기서 $K = K_d K_\phi$ 를 나타낸다.

따라서 $F(s)$ 를 적분기(transfer function K_i/s)를 사용할 경우 위상 오차 없이 ϕ_{in} 은 ϕ_{REF} 를 추적함을 알 수 있다.

이렇게 할 경우 앞선 블록도에서 위상 비교기의 출력은 0° 이 되어 정상동작시 신호의 위상은 reference의 위상을 추적하게 되나, 문제는 본 연구에서 선정한 위상비교기의 경우 그림 12와 같이 접근방법에 따라 전압차이 $V_{cc}/2$ 를 보이게 된다. 즉 위상차가 0° 이 된 것과 360° 이 된 것은 동일한 결과이나, 이 경우 접근방법에 따라 전압 차이 $V_{cc}/2$ 를 보이며 수렴할 수 없게 된다. 따라서 위상비교기 출력이 진동하게 되어 수렴은 어렵게 된다.

이를 극복하기 위해서 신호와 reference의 위상차가 180° 되는 곳에 위상고정이 일어나게 하면 해결이 될 것이다. 그리고 이 때 출력되는 DC 값에서 적분기에 대한 입력이 0° 이 되게 하기 위해서 이를

180° 출력시 위상비교기에 나타나는 DC 전압을 기준으로 비교한 뒤 적분기에 인가하면 문제를 해결할 수 있게 된다. 즉 180° 가 나오는 DC 전압을 comparator의 reference 전압으로 하고 이 때 phase detector 출력을 입력으로 할 경우 이의 비교 값은 위상고정시 0이 되므로 적분기를 통해 원하는 값으로 수렴시킬 수 있게 된다.

또 하나의 문제점은 수렴과정중 위상천이기에 - 전압이 발생하지 않아야 한다는 것이다. - 전압이 발생할 경우 위상천이기에 사용된 varactor diode에 + 전압이 걸리게 되는 것이므로 이는 diode를 forward bias시키게 되어 위상천이기를 파괴시키거나 또는 위상고정에 문제를 유발할 수 있게 된다. 이 경우는 위상비교기가 주기적인 함수이기 때문에, 주 구간인 $0^\circ \sim 360^\circ$ 안에서 위상고정이 일어나게 해야 하는 문제로 귀착된다. 이 문제를 해결하기 위해서는 적분기에 사용된 capacitor의 초기치가 문제가 되며 이것의 초기치가 위상비교기가 180° 출력을 갖는 곳으로 선정할 경우 해결할 수 있게 된다.

크기에 대해서는 앞서서 설명한 기준 RF 수신부로부터 제공된 두 개의 DC 전압을 이용 등화를 시키고 있다. 즉 comparator에 기준부로부터 공급된 1차 비교전압을 이용 pulse 파형을 발생시키며, 이것은 2차의 loop filter를 통과하게 된다. Loop filter 출력은 buffer를 통하여 부하효과를 받지 않게 하며, 이는 다시 원하는 기준부에서 제공된 2차 진폭 기준 전압과 비교되어 적분기를 통과하게 된다. 이것은 비반전 증폭기를 통과 RF부의 전압가변 증폭기의 전압에 맞게 설정되며, 이를 통하여 RF부는 기준 RF부와 동일한 진폭 크기를 갖게 된다.

2-2-2-2 기억회로의 구성 및 진폭 및 위상 고정 인지(Indication)회로

앞서서 그림 10의 등화제어회로부에서 보였듯이 위상고정이 완료될 경우 진폭 및 위상고정 회로를 구성하는 적분기 전단에서의 입력 값은 0에 수렴하게 된다. 이것은 위상 및 진폭 고정의 판단 기준이 되므로, 이 두 개의 신호를 그림 10과 같이 inverting summer를 사용하여 합산을 하면 될 것이다. 또한 locking range를 결정하기 위해서 그림의 회로에서

inverting summer의 게환 저항을 조정할 경우, 이것의 크기를 증폭하여 locking range를 지정할 수 있게 된다.

그리고 이와 같이 얻어진 증폭된 신호에 대해서 진폭 및 위상고정의 판단 여부는 window detector를 사용 판별할 수 있게 된다. 이 때 역시 정 및 부의 신호를 가지고 판단하기 때문에 window detector의 경우도 앞서의 합산기와 마찬가지로 정 및 부의 전원이 필요하게 되고 이 경우 진폭 및 위상고정 완료시 high +5 V가 출력되게 되며, 반면 완료되지 않았을 경우는 -5 V가 출력되게 된다.

이와 같이 양방향 logic으로 되어 있는 경우 logic gate에 인가할 때 불편함을 초래하기 때문에 그림과 같이 diode를 이용 -5 V 출력시 0V가 입력되도록 회로를 구성하였으며, CAL(Calibration signal) 명령 신호가 High 이고, Lock신호(LD; Lock Detect)가 high일 경우 NAND gate에는 falling edge의 신호가 나타나게 된다.

진폭 및 위상고정회로의 LD 신호 감지 이후 이를 기억하기 위해서 본 연구에서는 AD converter 및 DA converter를 이용한 방법을 고려하였다. 이들의 선정에는 analog 값을 digital 값으로 저장할 경우의 bit수를 결정하여야 하는데, 본 연구의 경우는 10 bit으로 결정하였다. 따라서 저장할 수 있는 analog 위상의 값의 오차 $\Delta\theta$ 는 근사적으로

$$\Delta\theta = \frac{360}{2^{10}} = 0.35^\circ \quad (4)$$

이 되며 진폭의 오차 ΔA 는

$$\Delta A = \frac{V_{CC}}{2^{10}} \times \Delta G = 0.13 \text{ dB} \quad (5)$$

가 되게 될 것이다. 여기서 ΔG 는 AGC 증폭기의 이득 변화폭이다.

여기서 AD converter로는 Analog Device사의 AD7470 10bit AD converter를 사용하였으며, 이는 SAR(Successive Approximation Register)방법을 사용한 것으로 이의 사용을 위한 여러 가지 제어단자가 있다. 그러나 이는 모두 보정시간을 알리는 신호와 진폭 및 위상고정 감지신호로 제어할 수 있으며 이를 이용 그림 10과 같이 설계할 수 있었다.

특히 DAC 출력은 PD(Power Down)신호를 이용

아나로그 게환신호와 격리시킬 수 있으며 보정시간 중 진폭 및 위상이 고정되지 않은 시간 동안 low로 있게 되면 이는 출력과 격리되므로 별도의 switch 없이 DAC를 격리 가능하게 한다.

III. 모의 실험(Simulation)

전술한 위상 및 진폭 교정 시스템을 모의 실험하기 위해서는, 불완전하지만 ADS가 적합할 것으로 사료된다. ADS에서 제공하는 simulation 중 DC, S-parameter, Harmonic balance, Transient, 그리고 Envelop simulation등을 고려할 수 있는데, 다루는 system이 비선형인 관계로 DC 및 S-parameter의 경우는 부적절하며, Harmonic balance의 경우 정현파의 진폭이 시간에 따라 변하는 관계로 부적절하다. 그러면 transient 해석이 적절할 수 있으나 반송파 주파수에 따른 시간과 진폭 및 위상 고정에 걸리는 시간사이에는, 시간차가 너무 커서 이 또한 simulation 경과시간의 문제로 정확한 해를 구하는데 문제가 될 것이다. 따라서 최종적으로 envelop simulation을 모의 실험의 tool로서 선정했다. 물론 최근의 DSP simulation과의 병합은 이 보다 다양한 system simulation을 가능하게 하지만 이는 현재 우리가 모의실험하는 규모에 비하면 적용범위가 너무 커서 모델링 작업에 더 많은 노력이 필요하게 되어 이를 통한 simulation을 고려하지 않았다.

Envelop simulation에서 문제가 되는 소자는 위상 비교기와, 전술한 비교기를 통한 amplitude detector가 되는데, 이는 정현파의 시간적 입력에 대해, 충분히 긴 시간에서 평균된 것으로 고려하여 이를 정적인 소자로 model하였다. 또한 전압 변동 phase shifter의 경우 ADS에 별도의 model이 없어 이 또한 별도의 modeling을 필요로 하게 된다. 따라서 이것을 주파수에 관계없는 정적인 device로 별도로 ADS 내에 구축하여 simulation 하였다. 이외에도 simulation으로 제어부 회로를 구성하는데는 실제 그림 10의 제어부회로와 약간의 차이를 보이게 된다. 주된 차이는 기억회로의 simulation에의 적용인데, 기억회로의 경우 게환회로에서 설정된 값을 진폭 및 위상이 고정된 후 출력하는 것이기 때문에 이의 simulation은 모의 실험에서 제외되었다.

빔조향 및 전파도래각 추정을 위한 새로운 다중입력 다중출력 안테나 송수신부 구성방법

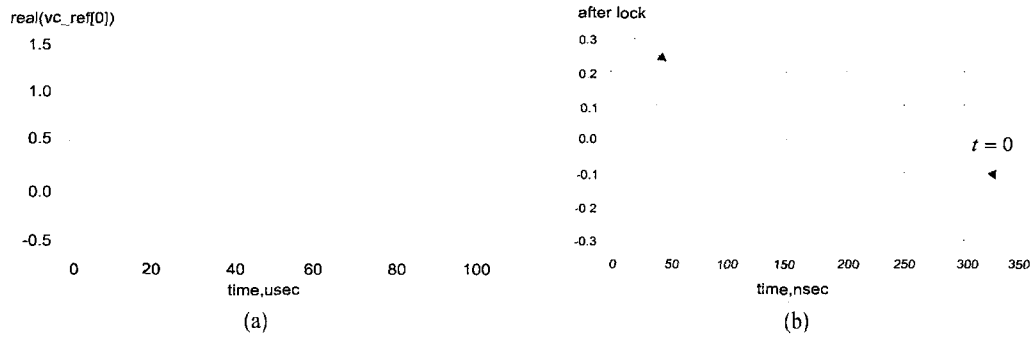


그림 14. (a) AGC control 전압의 시간에 따른 변화 (b) $t=0$ 에서의 파형과 진폭과 위상이 고정된 후의 파형.

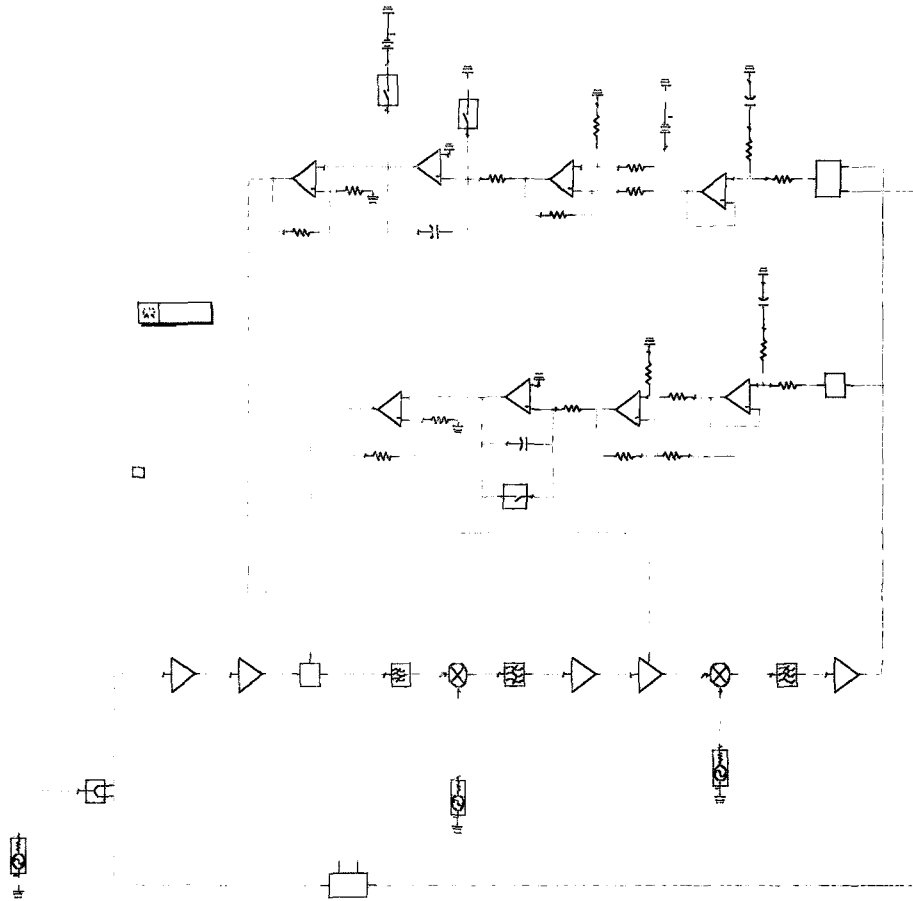


그림 15. RF 수신부 등화 simulation 회로도

이상과 같이 phase shifter (10V 전압에 360°이상의 위상 지연이 나타난다) 및 amplitude detector를

모델한 후, 그림 7의 RF 수신부로 선정된 각 부품의 사양을 ADS에 입력하여 RF 수신 기준부의 회로도

를 구성하였다. 그림 7과 같이 RF 주파수, 1차 및 2차 LO 신호를 정의한 후, 1차 비교전압은 0.15 V로 Precision power supply에 의해 공급되며, 2차 전압은 1.5 V로 그림 7의 AGC IC의 bandgap 전압을 이용하였다. 또한 적분기의 capacitor 초기치 전압을 switch를 사용하여 0으로 하였다.

그림 14에는 기준 RF 수신부의 envelop simulation 결과를 보였다. 우선 그림 7의 회로에서 simulation을 통하여 AGC에 입력되는 제어 전압 및 IF 출력 전압을 보였다.

그림 14에서 이때 AGC 제어 전압은 그림 14(a)에서 10us 이후 정상상태에 들어가는 것을 알 수 있으며, 이 때 최종 IF의 peak 전압은 약 250 mV가 되는 것을 알 수 있다. 그림 14 (b)에는 $t=0$ 시 파형을 보였으며, 이는 최종 전압과 다른 것을 알 수 있다. Simulation시 입력 RF 전압을 바꿀 경우에도 출력은 일정전압이 나오는 것을 볼 수 있었다. 또한 이 때 적분기의 switch를 제거할 경우 Harmonic balance simulation을 할 수 있으며, 이때 출력되는 IF 전압은 envelop simulation의 최종 전압에 해당하므로 이결과가 맞는지 조사할 수 있는데, simulation 결과 동일한 전압 파형을 얻을 수 있었다.

이상과 같이 얻어진 기준 RF 부를 가지고 RF 수신부의 등화(equalization)를 simulation 하였다. 이것을 그림 15에 나타내었으며 RF수신부의 구성은 그림 6의 구성과 동일함을 알 수 있다.

그림 15에서 입력 신호는 두갈래로 분기되어, 기준 RF 수신부와 RF 수신부로 인가되며, 여기서 기준 RF 수신부는 block으로 나타내었다. RF 수신부의 진폭등화부는 기준 RF부와 동일한 방식이며 이때 진폭 등화 제어회로는 기준 RF부로부터 1차 및 2차 비교 DC 전압을 제공받고 있다. 위상의 경우 기준 RF부에서 제공된 파형과 RF 수신부에서 제공된 파형을 비교 등화시키고 있으며, 이 출력은 loop filter를 통하여 비교기에 인가되고 이것은 다시 적분기를 거쳐 비반전 증폭기를 통하여 위상천이기에 되돌려지는 것을 알 수 있다. 이때 적분기의 초기치를 정하기 위하여 적분기 입출력에 switch 두 개가 필요하게 되며, 이는 위상천이기에 부의 전압이 인가되는 것을 막게된다. 이와 같은 회로로 simulation 한 결과를 그림 16에 표시하였다.

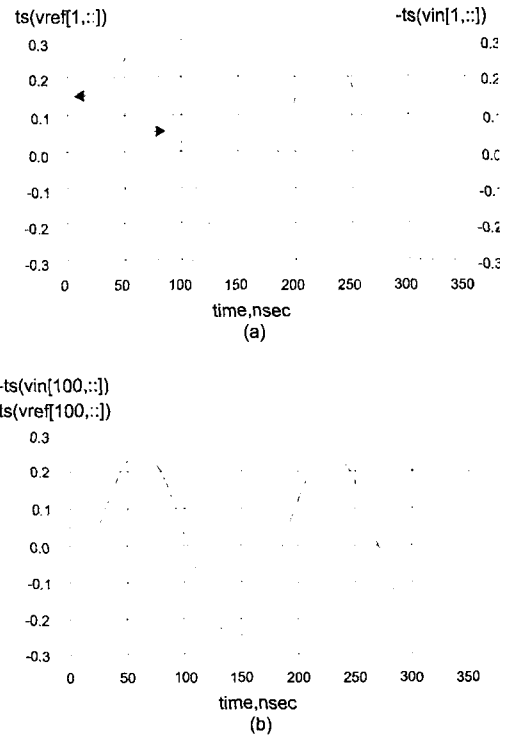


그림 16. (a) 초기 기준부와 RF수신부의 IF 출력 파형, (b) 진폭과 위상고정 완료후 파형

그림 16(a)에서 보듯이 초기에는 기준부와 수신부가 동일 입력에 대해 IF 출력들은 진폭과 크기에서 다르게 되나, 진폭과 위상고정 완료 후에는 그림 16(b)와 같이 완전히 같아짐을 알 수 있다. 이때 RF 수신부는 기준부에대해 180° 의 위상차를 가지고 위상고정이 되므로 수신 파형의 경우 기준파형과 완전한 180° 위상차로 위상고정이 되는지를 보이기 위하여 반전하여 보였다.

또한 이때의 위상천이기 및 AGC에 가해지는 제어전압과(vc_p[0] 및 vc_a[0]) 각각의 적분기 직전에서의 파형(vd_p[0] 및 vd_a[0])을 살펴보았다. 이것을 그림 17에 나타내었다.

그림 17(a)에서 볼 수 있듯이 40us 지난후 RF 수신부는 완전히 등화 되는 것을 알 수 있으며, 이때 적분기 직전의 파형은 그림 17(b)와 같이 0으로 수렴하므로 이를 이용할 경우 진폭과 위상 고정 감지 신호로 활용할 수 있을 것이다.

Simulation을 통해서 제안된 제어부회로는 정확하게 동일 입력이 들어올 경우 RF 수신부를 기준부

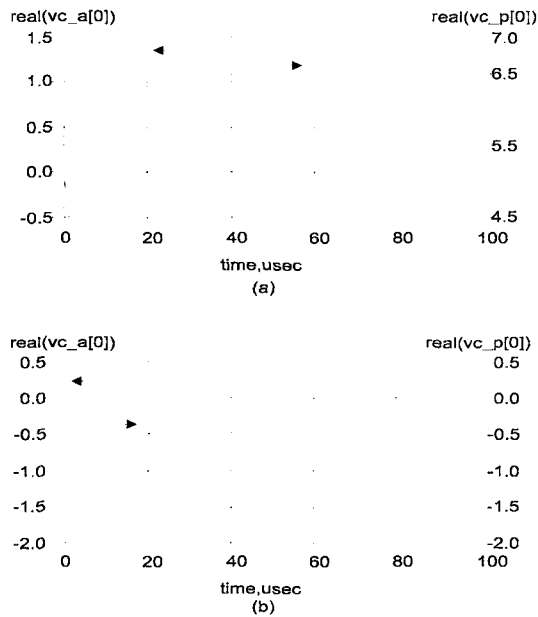


그림 17. (a) 위상천이기 및 AGC에 가해지는 제어 전압, (b) 적분기 직전에서의 파형

에 대해서 등화시키며 이 때 출력의 크기는 기준부와 같고 위상은 반전된 상태에서 위상고정 됨을 알 수 있다. 이때 loop filter의 parameter를 조정할 경우 최적의 transient 파형을 얻게 된다.

IV. 결 론

본 논문에서는 최근 IMT2000 시스템에서 고속데이터 통신을 수용하기 위해 연구되고 있는 다중입력다중출력(Multiple Input Multiple Output) 안테나를 이용한 공간분할기법을 현실화하기 위한 등화된 다수 RF 전단부 구성 방법을 제안하였다. 이는 우선 RF부를 등화하기 위한 시간을 별도로 두고, 동일하게 구성된 기준 RF 송수신부를 두는 것이다. 또한 송수신부 구성에 소요되는 국부발진기는 공통으로 사용하여 국부발진기에 따른 위상변화를 제거하고 있다.

이와 같이 구성 후 등화시키기 위해서 모의 송수신 신호를 기준부 및 다수의 RF 송수신부에 인가하며, 별도의 등화 제어회로를 두어 궤환 작용에 의해 등화되도록 하였다. 이렇게 보정시간중 얻어진 RF 송수신부 parameter를 기억장치에 두어 평상시 RF

송수신시 이 parameter로 고정된 값을 이용 송수신하게 되면 동일한 RF 송수신부의 역할을 하는 것을 알 수 있다. 또한 제시된 RF 전단부의 동작을 확인하기 위하여 Envelope Simulation을 사용 이의 동작을 검증하였다

이를 이용할 경우 중간주파 영역에서 weighting 하는 것이 가능하여져서, 기존에 연구된 전파도래각 알고리즘을 사용 가입자 분포에 따라 안테나 빔형성하는 것이 가능하여져서 공간분할에 의한 최적셀 형성이 가능하게 될 것이다.

참 고 문 헌

- [1] 이종락, "3G IMT-2000 진화 전망", 한국통신학회지, 18권 6호, pp. 136-146, 2001.
- [2] 연철흠, 최진성, 류덕인, "IMT-2000 및 beyond IMT-2000 기술동향", 한국통신학회지, 18권 6호, pp. 25-33, 2001.
- [3] 황철근, 이광복, "다중송신안테나와 다중수신 안테나를 이용한 초고속 이동통신 시스템", 한국통신학회지, 18권 6호, pp. 111-118, 2001.
- [4] L. C. Godara, "Applications of antenna arrays to mobile communication, Part I: Performance improvement, feasibility, and system considerations", *Proc. of IEEE*, vol. 85, no. 7, pp. 1031-1060, July 1997.
- [5] L. C. Godara, "Applications of antenna arrays to mobile communication, Part II: Beam Forming and Direction of arrival considerations", *Proc. of IEEE*, vol. 85, no. 8, pp. 1195-1245, August 1997.
- [6] K. M. Lee, R. S. Chu, and S. C. Liu, "A Built in Performance-Monitoring/Fault Isolation and Correction (PM/FIC) System for active phased Array Antennas", *IEEE Trans. on Antenna and Prop.* vol. 41, no. 11, pp. 1530-1538, Nov. 1993.
- [7] G. A. Hampson and A. B. Smolder, "A Fast and Accurate scheme for calibration of active phased array antennas", *Proceedings of the IEEE Antennas and Propagation Society International Symposium* pp. 1040-1043, 1999.

- [8] Analog Devices Inc., 1.75MSPS 4mW 10bit/12bit Parallel ADCs: AD7470/AD7472, March 2000.
- [9] Analog Devices Inc., 2.5V to 5.5V 115uA

Parallel Interface Single Voltage Output 8-/10-/12-Bit DACs: AD5330/AD5331/AD5340/AD5341, March 2000.

이 성 중



2001년: 충남대학교 전파공학과 (공학사)
 2001년~현재: 충남대학교 전파공학과 석사과정
 [주 관심분야] RF능동소자, 시스템

염 경 환



1980년~1982년: 한국과학기술원 전기및 전자과 (공학석사)
 1982년~1988년: 한국과학기술원 전기및 전자과 (공학박사)
 1988년 3월: 금성전기(주) 소재부품연구소 선임연구원 (MIC 팀 팀장)

1990년 3월: 금성전기(주) 소재부품연구소 책임연구원
 1991년 5월: 금성정밀(주) 기술연구소 연구1실 책임연구원
 1991년 8월: (주) LTI
 1999년 10월: 충남 대학교 전파공학과 부교수
 [주 관심분야] 마이크로파 회로 및 시스템

이 중 환



1998년 : 충남대학교 전파공학과 (공학사)
 2000년: 충남대학교 전파공학과 (공학석사)
 2001년~현재: 충남대학교 전파공학과 박사과정
 [주 관심분야] 초고주파 능동 회로 및 시스템, MMIC 설계

윤 찬 의



1983년: 인하대학교 전자공학과 (공학사)
 1985년: 한국과학기술원 전기 및 전자공학과 (공학석사)
 1995년: 한국과학기술원 전기 및 전자공학과 (공학박사)
 1985년~현재: 한국통신 연구개발본부 멀티미디어 연구소 실장
 [주 관심분야] 이동통신용 RF 시스템, 배열 안테나, 초고주파회로, MMIC 등