

전류 모드 CMOS를 이용한 다치 FFT 연산기 설계

Multiple-valued FFT processor design using current mode CMOS

송홍복 · 서명웅

Hong-Bok Song and Myung-woong Seo

동의대학교 전기 · 전자 · 정보통신 · 메카트로닉스공학부

요 약

본 논문에서는 전류모드 CMOS의 기본회로를 이용해 다치 논리(Multiple-Valued Logic) 연산기를 설계하고자 한다. 우선, 2진(binary)FFT(Fast Fourier Transform)를 확장해 다치 논리회로를 이용해서 고속 다치 FFT 연산기를 구현하였다. 다치 논리회로를 이용해서 구현한 FFT연산은 기존의 2치 FFT와 비교를 해 본 결과 트랜지스터의 수를 상당히 줄일 수 있으며 회로의 간단함을 알 수가 있었다. 또한, 캐리 전파 없는 가산기를 구현하기 위해서 {0,1,2,3}의 불필요한(redundant) 숫자 집합을 이용한 양의 수 표현을 FFT회로에 내부적으로 이용하여 결선의 감소와 VLSI 설계시 정규성과 규칙성으로 효과적이다. FFT승산을 위해서는 승산기의 연산시간과 면적을 다치 LUT(Look Up Table)로 이용해 승산의 역할을 하였다. 마지막으로 이진시스템(binary system)과의 호환을 위해 다치 하이브리드형 FFT 프로세서를 제시하여 2진 4치 부호기와 4치 2진 복호기 및 전류모드 CMOS회로를 사용하여 상호 호환성을 갖도록 설계를 하였다.

Abstract

In this study, Multi-Values Logic processor was designed using the basic circuit of the electric current mode CMOS. First of all, binary FFT(Fast Fourier Transform) was extended and high speed Multi Valued Logic processor was constructed using a multi valued logic circuit. Compared with the existing two valued FFT, the FFT operation can reduce the number of transistors significantly and show the simplicity of the circuit. Moreover, for the construction of amount was used inside the FFT circuit with the set of redundant numbers like {0, 1, 2, 3}. As a result, the defects in lines were reduced and it turned out to be effective in the aspect of normality an regularity when it was used designing VLSI(Very Large Scale Integration). To multiply FFT, the time and size of the operation was used as LUT(Lood Up Table).

Key words : Multiple-valued, Look-up table, Fast Fourier Transform, Very Large Integration

1. 서 론

최근 VLSI, ULSI 기술의 급속한 발전으로 인해 1개의 칩(chip)속에 들어갈 수 있는 회로의 규모와 기능이 점점 증가하여 수천만 개의 소자를 가진 집적회로가 등장하고 있다. 이러한 현재의 대부분의 디지털 회로는 신호 레벨로서 2치 표현을 기본으로 한 논리 방식이 채택되어져 있는데 이것은 현존하는 소자가 온 오프(on off) 동작에 적합하고 물질적인 투자와 연구 개발이 2치 VLSI 연구에 계속된 결과 오늘날과 같은 발전을 이루게 되었다.

그러나 서브 마이크로화가 진행됨에 따라 현재의 기술상의 2치 논리 방식의 문제점이 몇가지 나타나기 시작하였는데, 먼저 VLSI의 칩 실효면적중 내부 배선이 70%~90% 정도의 비율로 차지하고 있어 내부 배선의 복잡성 처리 및 배선 감소와 VLSI의 성능향상의 열쇠가 되고 있다. 즉 회로기능과 병렬 구조의 고도화의 요구에 따라 셀(Cell), 기본 블록 및 모듈(Module)간의 배선이 증가하기 때문에 배선 영역 및 배선 용량 · 저항의 증대

등에 의해 성능이 저하된다[1][2]. 그리고 칩 상에 별렬 승산기등을 내장한 마이크로 프로세스와 신호 처리 프로세서등이 계속 개발되어지고 있으며, 다수의 연산기를 이용한 초병렬 처리 시스템 및 초고성능화를 목표로 많은 연구가 진행되고 있으나 연산기간의 통신시 일어나는 성능 저하의 문제가 대두되기 때문에 기존의 2치 방식은 고성능화에 장애가 되고 있다. 이와같이 기본이 되는 고병렬 연산 알고리즘을 실행에 있어 2치 데이터보다는 다치 부호와 데이터 표현이 유용하다. 다치 논리를 이용할 경우에는 병렬성이 높고 내부 배선량이 적은 시스템을 구성할 수 있다.

다치 논리 중에서 과잉수 표현인 PD(Positive digit)수 표현을 이용해서, 캐리 전파 없는 병렬가산이 가능하고 내부 구조의 정형화를 통하여 배선의 복잡성을 감소시킬 수 있다. 하지만 기존 메모리와 상관관계를 볼 때 메모리와 논리회로를 모두 다치로 하기에는 아직 시스템의 호환문제가 있으므로 이 논문에서는 입력 데이터를 부호 회로를 통해 4치로 변환하고 고속연산이 필요한 연산 논리회로는 4치로 구성하고 최종 출력시 2치로 변환해 다시 저장하거나 출력하는 시스템의 하이브리드형을 제시한다. 또한 PD 연산 회로의 구현에 있어서 전류모드 CMOS회로를 사용해 선형가산을 수행할 때 결선만으로

접수일자 : 2001년 6월 19일

완료일자 : 2001년 12월 12일

선형가산이 실행되어지므로 능동소자의 수를 줄일 수 있고 고속의 연산을 수행할 수 있다.

실제로 이러한 다치논리의 특성을 이용하여 설계에 적용된 것으로 인텔사의 8087 수치 계산 프로세스는 4치 nMOS ROM회로를 이용하였으며, 모토로라사의 MCM 65256 ROM의 경우 4치 CMOS 회로를 이용하여 설계되어졌다. 전류모드 다치 CMOS회로를 이용하여 지식 정보처리 및 화상 처리 프로세스, CAM (Content addressable memory)등의 제작 연구도 활발히 진행되고 있다[3][4].

본 논문에서 논리회로부분인 FFT의 연산을 하기 위해 필요한 가산기는 4치 PD 가산기를 사용하여 이용하였고 곱셈기는 칩면적과 지연시간을 맞추기 어렵기 때문에 다치 LUT를 인용하였다. 하이브리드형 FFT를 위해 입력단에 2진 4치논리 부호기를 구성했고 연산후 4치를 2진으로 바꾸는 복호기로 구성했다.

2. 다치 전류모드 CMOS 기본회로

본 논문에서는 전류모드 CMOS회로를 기본으로 구성되어 있다. 초기 CMOS회로는 전압 방식 다치 논리 회로로 구성되어 졌으며 2치 논리 회로에 비해 복잡성과 전달 지연 때문에 경쟁이 되지 못한다. CMOS는 전류방향에 의해 +, -를 나타내는데 입력측으로부터 전류가 들어올 때를 +전류가 흘러나갈때를 -로 한다. 여기는 PD(Positive digit)수 표현회로를 사용해 한 방향 전류만을 생각하였고 따라서 더욱 간단한 회로구현이 가능하다.

PD 수 표현 연산회로는 다치 전류모드 CMOS 기본 블록으로 효율적으로 구성되어질 수 있으므로 단순화, 간략화 될 수 있어 적은 능동소자와 배선수로 연산회로를 구성할 수 있다. 또한 다치 전류 모드 CMOS 회로에서 뛰어난 장점 중에 하나는 가산, 감산을 능동소자가 아닌 결선만으로 구성될 수 있다는 점이다. 전류모드 CMOS의 기본회로는 전류원, 전류미러, 문턱치 검출기, 쌍방향 전류입력회로들로 구성되고 기본회로의 심벌과 블록도는 그림 1과 같다[5].

앞으로 나올 PD가산기 및 다치 LUT(Look up table) 부분에서 사용되는 기준전류 I_0 은 $20\mu A$ 로 하였다. 다치 CMOS회로에서 기준전류를 아주 적게 잡으면 노이즈 영향이 출력에 나타나서 불안정하게 된다. 따라서 전류의 변동이 있다고 해도 그 영향이 출력에 나타나지 않고 충분히 동작 가능한 최소 기준전류가 $20\mu A$ 정도였다.

각각의 회로에 대해 순서대로 간단히 설명하면

a) 전류원 : 기본 전압 V_m (또는 V_{rp})을 갖는 nMOS (또는 pMOS)로 구성 되어질 수 있으며 전류의 양은 MOS의 채널의 비(L/W의 비)에 의해서 제어되어지고 보다 안정된 전류 원의 구현을 위해서는 공핍형 PMOS를 사용한 방법이 제안되고 있다. 전류원은 다음의 (2.1)식으로 표기된다.

$$I_{out} = K(W/L)(V_{TH})^2[1 + \lambda(V_{DD} - V_{OUT})] \quad (1)$$

K : 공정이득

W, L : 채널의 폭과 길이

V_{TH} : 문턱치 전압

λ : 채널 길이 변조 파라메타

식 (1)에서 λ 를 충분히 적게 할 수 있는 경우, 전원전압 변동에 의해 거의 영향을 받지 않게 할 수 있고 V_{DD} 이외의 바이어스 전압은 필요하지 않는다.

따라서 전류 원의 출력전류 값은 W/L의 비로 조절할 수 있다. 본 논문에서는 논리 값과 W/L의 비는 표 1과 같고 SPICE의 파라메타값은 표 2와 같이 HP에서 만들어서 MOSIS(설명: 미국 반도체회사 이름)에서 칩제작한 $0.5\mu m$ 공정의 파라메타를 사용하였다[6].

		회로도	기호
전류원			
전류	PMOS		
	NMOS		
쌍방향 전류미러			
문턱치	PMOS		
	NMOS		

그림 1. 전류모드 CMOS회로의 기본 회로

Fig. 1. Fundamental circuits of current mode CMOS circuit

표 1. 논리값과 W/L의 비

Table 1. Logic values and rates of width and length on channel

논리치값(전류치)	0 (0 μA)	1 (20 μA)	2 (40 μA)	3 (60 μA)
(W/L)의 비		3/16	6/17	6/11
K=4.5 $\times 10^{-4}$ Vth=0.787V VDD=5V				

표 2. 0.5 μ m SPICE MOS 파라미터
Table 2. The parameter of 0.5 μ m SPICE MOS

NMOS	.MODEL N NMOS LEVEL=3 PHI=0.700000 TOX=1.0000E-08 XJ=0.200000U TPG=1 + VTO=0.7197 DELTA=2.4510E-01 LD= 4.0510E-08 KP=1.8847E-04+UO=545.8 T HETA=2.5170E-01 RSH=2.1290E+01 GAM MA=0.6200+NSUB=1.3810E+17 NFS=7.07 10E+11 VMAX=1.8610E+05 ETA=2.2420E -02+KAPPA=9.6720E-02 CGDO=3.66E-1 0 CGSO=3.66E-10+CGBO=4.0161E-10 CJ =5.4E-04 MJ=0.6 CJSW=1.5000E-10+MJ SW=0.32 PB=0.99
PMOS	.MODEL P PMOS LEVEL=3 PHI=0.700000 TOX=1.0000E-08 XJ=0.200000U TPG=-1 + VTO=-0.7197 DELTA=2.4830E-01 LD= 6.7120E-08 KP=4.4546E-05+UO=129.0 THETA=1.7800E-01 RSH=3.4290E+00 GA MMA=0.5230+NSUB=9.8260E+16 NFS=6. 4990E+11 VMAX=3.0560E+05 ETA=1.7820 E-02+KAPPA=6.3410E+00 CGDO=3.66E -10 CGSO=3.66E-10+CGBO=4.2772E-10 CJ=9.3191E-04 MJ=0.51 CJSW=1.5E-10+ MJSW=0.193 PB=0.95

b) 전류 미러 : 아날로그 집적회로에서 전류 미러는 전류원의 쌍방향성을 보정하기 위하여 NMOS와 PMOS로 구성되어진다. 전류미러는 입력전류를 복사하는 기능과 반전시키는 기능을 가지고 있다. 미러는 트랜지스터의 입력과 출력의 채널비(W/L)에 의해 입·출력이 변화할 수 있으며 이에 대한 식은 (2)식에서 같다.

$$I_{OUT} = \frac{(W/L)_{OUTPUT}}{(W/L)_{INPUT}} I_{INPUT} \quad (2)$$

c) 쌍방향 전류미러 : + · - 전류를 모두 처리할 수 있도록 pMOS 미러와 nMOS미러를 붙여 놓은 것이다. 입력의 극성을 검출해서 2개의 단방향 전류로 분해하는 기능을 가지는데, pMOS 미러는 -전류를 처리하고 nMOS미러는 +전류를 처리한다.

d) 문턱치 검출기 : 문턱치 검출기는 전류원과 PMOS 혹은 NMOS로 구성되어 지며 입력의 크기과 문지방값과 비교하여 그 결과에 따라 출력의 값을 결정하는 것을 말한다. 그림1에서의 PMOS 문턱치 검출기에서 (3)식처럼 입력 전류값(X)과 비교 전류값(T)를 비교하여 입력 전류값(X)이 클 경우 새로운 전류원(M)이 출력으로 나오고 적을 경우에는 출력측에 전류가 흐르지 않게 된다.

$$\begin{aligned} &y=0 \\ &\text{if } X < T \\ &y=M \\ &\text{if } X \geq T \end{aligned} \quad (3)$$

3. FFT 연산회로

3.1 기본가산회로

본 논문에서 FFT 연산기의 가산을 위한 다 입력 가산기로는 PD(r,q) 수 표시를 이용하였고 이를 통해 연산의 속도를 고속화 할 수 있다. r진에서 PD(r, q)는 {0, 1, 2, ..., r-1, r, ..., q}로 표현한다. 여기서, 양의 정수 q는 q ≥ r인 정수이다. 즉 PD(2, 3)은 {0, 1, 2, 3}으로 표현된다[7][8]. PD(r, q) 수 표현을 이용한 n 디지털의 M개 다중입력은 $X_j = (x_{n-1}^{(j)} \dots x_1^{(j)} \dots x_0^{(j)})_{PD(r, q)}$ (j=1, ..., M)로 표현된다. 여기서, $x_i \in \{0, 1, \dots, q\}$ (i=0, 1, ..., n-1) 이다.

M개의 다 입력중 i번째 디지털에 대한 가산은 다음 식에 의해서 실행되어진다.

$$z_i = x_i^{(1)} + x_i^{(2)} + \dots + x_i^{(j)} + \dots + x_i^{(M)} \quad (4)$$

$$r^i c_i^{(0)} + r^{i-1} c_i^{(1)} + \dots + r^k c_i^{(k)} + \dots + r^1 c_i^{(1)} + w_i = z_i \quad (5)$$

$$s_i = w_i + c_{i-1}^{(1)} + c_{i-2}^{(2)} + \dots + c_{i-k}^{(k)} + \dots + c_{i-1}^{(1)} \quad (6)$$

여기서, $z_i \in \{0, 1, \dots, q, \dots, Mq\}$, $c_i^{(0)} \in \{0, 1, \dots, r-1\}$, $w_i \in \{0, 1, \dots, r-1\}$ 이다.

위의 식을 이용하여 M개의 다 입력을 갖는 PD가산기를 구성하면 다음과 같다.

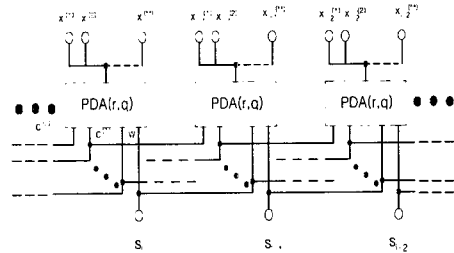


그림 2. 다중 입력을 갖는 병렬 PD(r, q)가산기
Fig. 2. Parallel PD(r,q) adder with Multi operand input

3.2 다치 2입력 가산기의 설계

본 논문에서 다치 가산에는 캐리 전과를 없애기 위해서 PD수 표현을 이용한 PD(r, q)가산기를 이용한다. 여기서 입력단에는 이진 데이터를 4치로 바꾸어 FFT 연산을 하고 최종 2진 회로로 바꾸는 하이브리드형 FFT 연산기 설계를 위해 가산기 하나의 PD소자를 2입력 설계하였다. 다음의 두가지 PD(2, 3)과 PD(2, 2)를 제시하였다.

3.2.1 PD(2, 3) 가산기

PD(2, 3)은 {0, 1, 2, 3}의 디지털 집합으로 표현된다. 먼저, PD(2, 3)을 이용한 2입력 가산에서 입력은 $X = (x_{n-1} \dots x_1 \dots x_0)_{PD(2, 3)}$ 와 $Y = (y_{n-1} \dots y_1 \dots y_0)_{PD(2, 3)}$ 이고, $x_i, y_i \in \{0, 1, 2, 3\}$ 이다. X와 Y를 이용한 병렬가산은 다음의 과정을 통해서 이루어진다.

$$z_i = x_i + y_i \quad (7)$$

$$4c_i^{(2)} + 2c_i^{(1)} + w_i = z_i \quad (8)$$

$$s_i = w_i + c_{i-1}^{(1)} + c_{i-2}^{(2)} \quad (9)$$

여기서, 선형합 $z_i \in \{0, 1, \dots, 6\}$, 캐리와 중간합 $c_i^{(2)}, c_i^{(1)}, w_i \in \{0, 1\}$, 최종합 $s_i \in \{0, 1, 2, 3\}$ 이다. 위의 식을 이용해서 2입력 PD(2, 3) 가산기를 구성해서 그림 3과 같다.

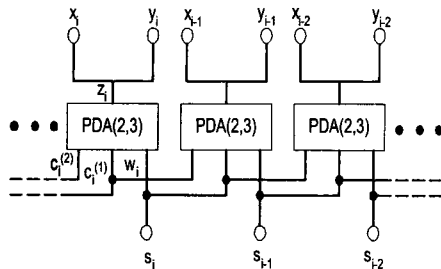


그림 3. 병렬 PD(2, 3)가산기 블록도
Fig. 3. Parallel PD(2, 3) adder Block diagram

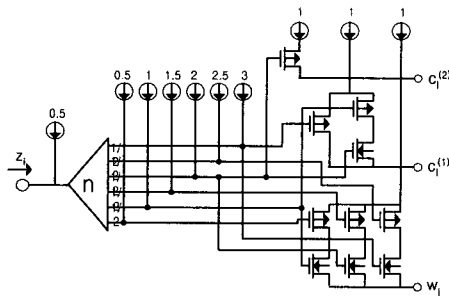


그림 4. 병렬 PD(2, 3) 소자
Fig. 4. Parallel PD(2, 3) device

그림 4의 과도응답 특성은 그림 5과 같다.

여기서, 입력을 논리치 z_i 를 $\{0, 1, 2, 3, 4, 5, 6\}$ 으로 했을 때 중간합 w_i 는 $\{0, 1, 0, 1, 0, 1, 0\}$, 캐리 $c_i^{(2)}$ 은 $\{0, 0, 0, 0, 1, 1, 1\}$, 캐리 $c_i^{(1)}$ 은 $\{0, 0, 1, 1, 0, 0, 1\}$ 가 나온다. 이는 식(7), (8) 그리고 (9)의 결과와 일치함을 알 수 있다. 선형 합 z_i 와 최종 합 s_i 는 가산기 설계 시 별도의 능동 소자 없이 결선만으로도 얻어진다. 이 특징을 이용한다면 가산기의 구조를 단순화 할 수 있으므로 연산을 고속으로 수행할 수 있다.

3.2.2 PD(2, 2)가산기

PD(2, 2)를 이용한 병렬 가산에서 입력은 $X=(x_{n-1} \dots x_1 \dots x_0)_{PD(2, 2)}$ 와 $Y=(y_{n-1} \dots y_1 \dots y_0)_{PD(2, 2)}$ 이고, $x_i, y_i \in \{0, 1, 2\}$ 이다. X와 Y를 이용한 병렬가산은 다음의 과정을 통해서 이루어진다.

$$z_i = x_i + y_i \quad (10)$$

$$4c_i^{(2)} + 2c_i^{(1)} + w_i = z_i \quad (11)$$

$$t_i = w_i + c_{i-1}^{(1)} + c_{i-2}^{(2)} \quad (12)$$

$$2d_i + v_i = t_i \quad (13)$$

$$s_i = v_i + d_{i-1} \quad (14)$$

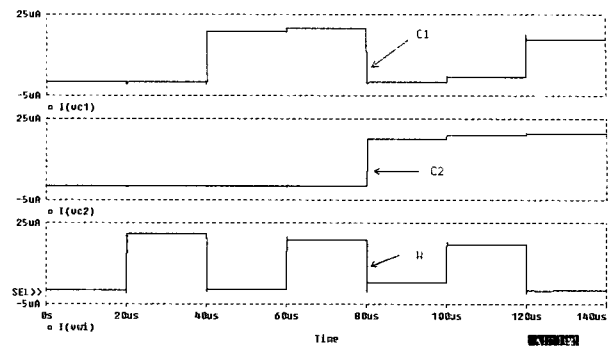


그림 5. PD(2, 3) 소자의 과도응답 특성
Fig. 5. The transition respond of PD(2, 3) device

여기서 식(10)의 선형합 $z_i \in \{0, 1, 2, 3, 4\}$, 식(11)의 캐리와 중간합 $c_i^{(2)}, c_i^{(1)}, w_i \in \{0, 1\}$, 식(13)의 2단에서의 캐리와 중간합 $d_i, v_i \in \{0, 1\}$, 식(14)의 최종합 $s_i \in \{0, 1, 2\}$ 이다. 여기서도 선형 합 z_i 와 최종 합 s_i 는 별도의 능동소자 없이 결선만으로도 얻어진다. 간략화 된 PD(2, 2) 병렬 가산기 구조는 그림 6과 같다.

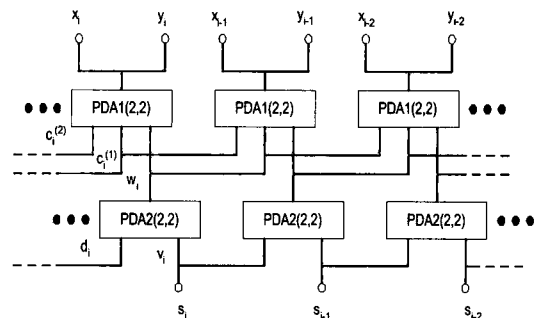


그림 6. 병렬 PD(2, 2) 가산기의 블록도
Fig. 6. The block diagram of Parallel PD(2, 2) adder

그리고 가산 첫째 단 PDA1(2, 2)와 둘째 단 PDA2(2, 2)의 소자의 회로도 는 각각 그림 7과 그림 8에서 보이고 있다.

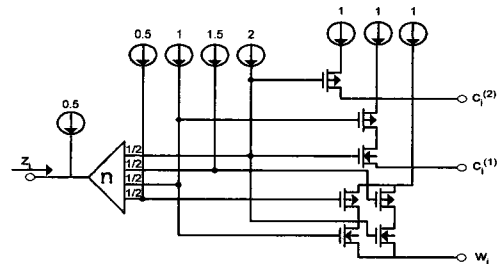


그림 7. PDA1(2, 2)의 회로도
Fig. 7. The circuit diagram of PDA1(2, 2)

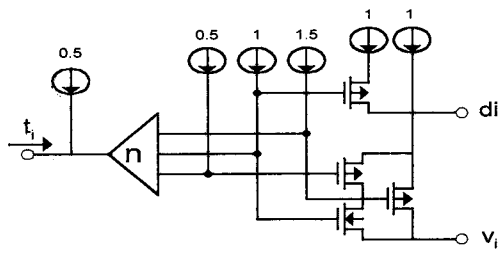


그림 8. PDA2(2, 2)의 회로도
Fig. 8. The circuit diagram of PDA2(2, 2)

그림 7의 PDA1(2, 2) 회로의 과도응답은 그림 9와 같다.

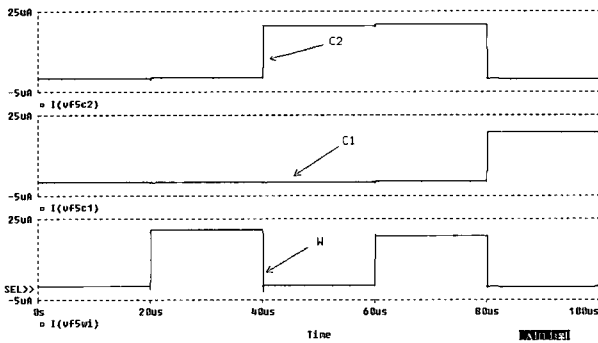


그림 9. PDA1(2, 2)의 과도응답 특성
Fig. 9. The transition respond of PDA1(2, 2)

식(10)의 입력을 논리치 {0, 1, 2, 3, 4}로 했을 때 그림 9에서 중간합 W_i 는 {0, 1, 0, 1, 0}, 캐리 $c_i^{(2)}$ 은 {0, 0, 0, 0, 1}, 캐리 $c_i^{(0)}$ 은 {0, 0, 1, 1, 0}가 나오고

그림 8의 PDA2(2, 2) 회로의 과도응답은 그림 10과 같다.

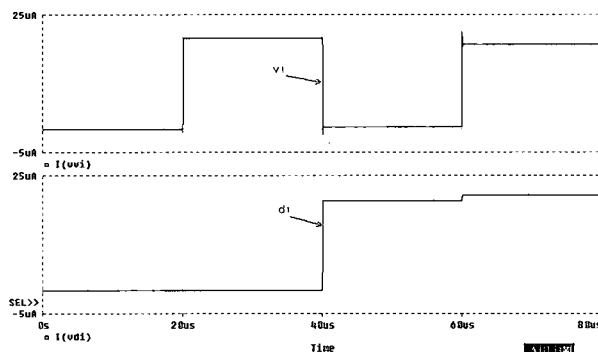


그림 10. PDA2(2, 2)의 과도응답 특성
Fig. 10. The transition respond of PDA2(2, 2)

2단의 입력 t_i 가 논리치 {0, 1, 2, 3}일 때 2단의 캐리 d_i 는 {0, 0, 1, 1}, 중간합 V_i 는 {0, 1, 0, 1}이다. 이것은 식(11), (12), (13), (14)의 결과와 일치함을 알 수 있다. 이상의 다치 2입력가산기로서 PD(2, 2)와 PD(2, 3)을 제시하였다. 여기서 본 논문에서는 FFT 가산기를 위해 표 3에서 보는 것처럼 4비트의 가산회로를 위해서 사용되는

트랜지스터 수와 가산단의 수를 비교했을 때 PD(2, 3)이 더욱 용이하고 다치 FFT 연산의 사용되는 진수를 4치로 했을 때 PD(2, 3)이 더욱 용이함을 알 수 있다.

표 3. 4비트 병렬가산을 위한 PD(2, 3)과 PD(2, 2)의 비교
Table 3. The comparison between PD(2, 3) and PD(2, 2) for 4 bit Parallel addition

	가산단	트랜지스터수 (외부전류원포함)
PD(2, 3)	1	160
PD(2, 2)	2	244

3.3 다치 LUT(Look up table)

FFT연산회로에서 PD 가산기를 통해 고속의 연산을 할수 있지만 위상의 천이와 같은 부분을 고려해서 승산기는 여러 가지로 지연시간의 차이를 발생할수 있으므로 이것을 다치 LUT을 이용해 대체했다.

표 4에서 다치 LUT의 기본진리표를 나타내고 있으며 기본 트랜지스터의 회로 구성은 그림 11에서 나타내었다. 그림 11에서처럼 2입력 4치 LUT에서 f_0 에서 f_F 는 {0, 1, 2, 3}의 값을 가지고 있다.

그림 11에서 예로 A와 B의 논리값이 0, 2이면 A^0 와 B^2 의 VDD의 값이 NMOS를 도통시켜 f_2 의 값이 출력으로 나온다. 여기서 LUT의 입력값은 프로그램된 다치논리값을 만들어 내기 위해서 메모리나 프로그램되어 있는 값으로 전달되어 질 수 있다[9][10].

표 4. 다치 LUT 진리치표

Table 4. The truth table Multiple value LUT

A	B	Out
0	0	f_0
0	1	f_1
0	2	f_2
0	3	f_3
1	0	f_4
1	1	f_5
1	2	f_6
1	3	f_7
2	0	f_8
2	1	f_9
2	2	f_A
2	3	f_B
3	0	f_C
3	1	f_D
3	2	f_E
3	3	f_F

여기서 식(15)에서 A^i 에서 i 은 Delta Literal 이고 다음과 같이 정의되어진다.

$$A^i = V_{DD} \text{ if } A = i \quad (15)$$

$$A^i = 0 \text{ if } A \neq i$$

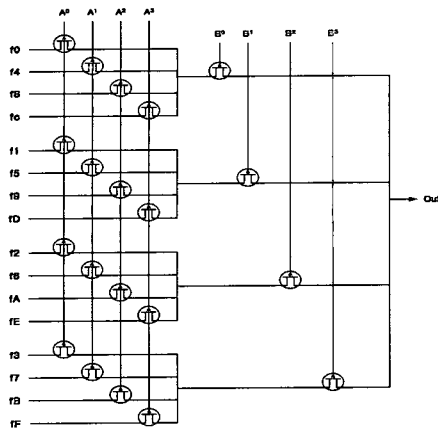


그림 11. 다치 LUT의 기본회로
Fig. 11. The basic circuit of Multiple valued LUT

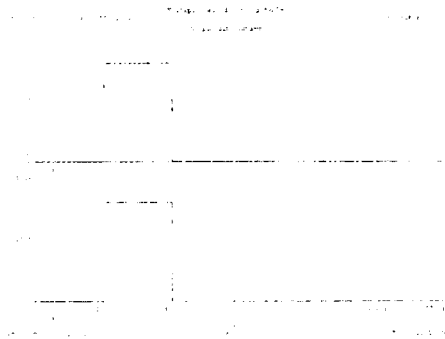


그림 12. LUT의 과도응답 특성
Fig. 12. The transition respond of LUT

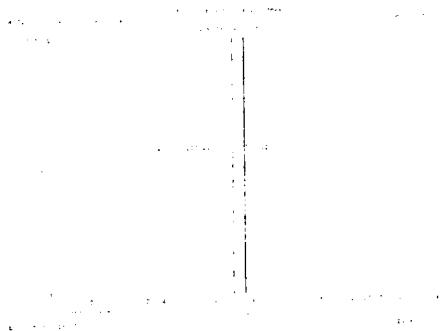


그림 13. LUT의 입출력간의 지연
Fig. 13. The delay time of LUT between input and output

그림 12에서 보면 이미 프로그래밍 되어 있던 In8의 값이 A, B의 입력단의 출력에 따라 트랜지스터의 NMOS의 게이트를 조절해 회로상에서 r3인 출력단으로 확인할수 있었다. 그림 13에서 입력 A, B의 입력에 따른 지연시간(Delay time)은 2n의 시간이 걸렸다. 따라서 이것은 전압모드 LUT보다 전류모드 LUT를 사용했을 때 보다 좋은 지연시간과 트랜지스터의 개수를 줄여주는 효과가 있었다. 따라서 FFT 연산기 설계에서 전류 모드 LUT를 사용하여 보다 적은 칩면적과 지연시간을 이득

을 얻을수 있다. 하지만 전체적인 임계치(Critical Path)를 고려할 때 각 출력마다 동일한 지연시간을 고려하여 LUT의 사용을 연산소자 마다 일정한 간격으로 놓아야 한다.

3.4 4치 FFT 연산회로

기존의 2치 FFT 연산회로에서 볼 때 많은 가산과 승산이 필요하다. 하지만 전류모드 FFT 회로상에서 가산은 PD(2, 3) 가산기를 기본으로 사용하여 결선만으로 선형합이 가능하므로 능동소자의 수를 많이 줄일 수 있었고 또한 승산기를 대신해 4치 LUT를 사용하여 많은 승산기를 줄이고 또한 연산시간이 빨라진다. 그림 14은 4치 4비트 PD(2, 3) 연산기의 과도응답특성을 시뮬레이션한 것이고 이를 바탕으로 4치 LUT과 4치 4비트 PD가산기를 바탕으로 한 기본 FFT 버터플라이형 기본소자를 나타낸 것이 그림 15이다.

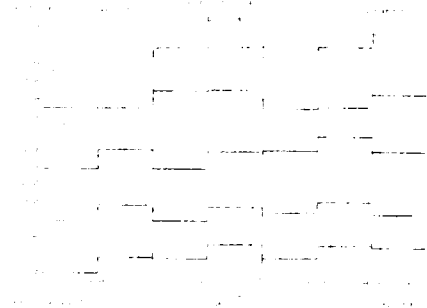


그림 14. FFT 연산 4비트 가산기의 과도응답 특성
Fig. 14. The transition respond of FFT processing 4 bit adder

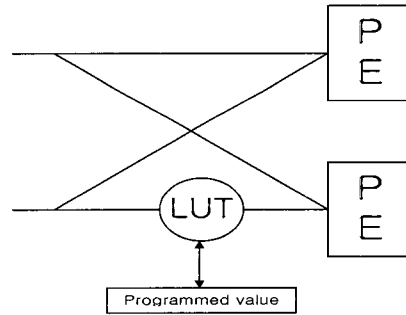


그림 15. FFT 나비형 기본 구조
Fig. 15. The structure of FFT butterfly type FFT

FFT연산은 Radix-2와 Radix-4를 접근방식이 있는데 radix-2 방법은 입력 데이터가 두 개의 그룹으로 배열되어지고 FFT동작은 동시에 두 그룹에서 이루어진다. 반면 Radix-4의 방법은 입력 데이터는 4개의 그룹으로 이루어져 4개의 그룹에서 함께 FFT연산이 이루어진다. Radix-2는 전체 연산을 위해서 4단의 연산을 지내야 결과 나오게 되어 있다. 그리고 radix-4는 연산을 위해 2단이 적용된다. 하지만 Radix-4는 processing element가 복잡해진다. 따라서 이 논문에서는 Radix-2를 기본으로 4치 FFT 연산기를 채택했다. Radix-2의 16Point FFT 회로 블록도가 그림 16이다.

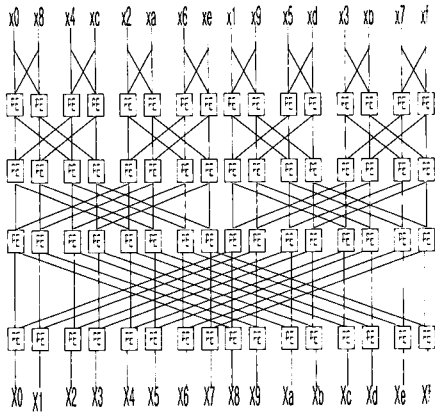


그림 16. 16 Point Radix-2 FFT 연산회로
Fig. 16. 16 Point Radix-2 FFT processing circuit

4. 다치 하이브리드형 FFT 설계

FFT 연산회로는 다치 전류모드 CMOS 기본 블록으로 효율적으로 구성되어질 수 있다. 하지만 전체 시스템을 다치로 구성하기에는 기존 이진회로와 상이함으로 인해 문제점이 있기 때문에 기존 로직부분과 메모리부분은 2진회로를 사용하고 연산 부분에서만 고속의 다치 전류모드 회로를 사용하는 하이브리드형을 제시할 수 있다. 이를 위해 FFT의 입력단에서 2치의 데이터를 4치로 표현하는 부호기회로와 다시 출력단에서 2치로 바꾸어주는 하이브리드형을 제시할 수 있다.

4.1 2진 4치 부호기의 회로설계

전류모드 회로의 특징인 간단한 결선만으로 가산이 쉽게되는 잇점을 부호기 구성에서도 적용할 수 있다. 그림 17은 부호기의 구성을 나타내고 있다. 그림 17에서 T1은 전류 논리치 1의 값을 가진 전류원을 가지고 T2은 전류 논리치 2의 전류원을 가진다. 여기서 T1, T2의 트랜지스터는 스위칭 역할을 함으로 입력의 2치 신호에 따라 단순한 개폐 역할을 하게 된다. 이에 대한 트랜지스터의 게이트인가 전압에 따라서 전류치의 값을 표 5에서 나타내고 있다. 그림 17에서 A, B가 각각 논리치 1의 값을 가진다면 T1과 T2는 도통되어 최종 전류합 3의 값이 출력으로 흐르게 된다. 즉 2치 입력에 대한 전류 출력은 T1과 T2의 합에 의해 이루어진 출력 I_{out} 값을 가진다.

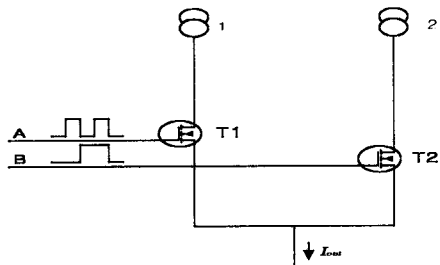


그림 17. 2진 4치 부호기회로
Fig. 17. Binary-four valued encoder circuit

표 5. 입력 이진전압에 대한 전류합
Table 5. The current output value of input binary value

A	B	논리합(전류값)
0	0	0 ($0 \mu A$)
0	1	1 ($20 \mu A$)
1	0	2 ($40 \mu A$)
1	1	3 ($60 \mu A$)

4.2 4치 2진 복호기의 회로설계

복호기의 구성에 있어서 양수만을 가질 경우와 음수를 포함한 경우가 있을 수 있다. 양수만을 가질 경우는 음수를 처리할 경우 2진 논리의 2의 보수의 형태로 만들어 전류의 방향을 모두 +방향(출력측 방향)으로 한다. 그림 19에서 입력전류는 NMOS 미러에 의해 다음 단계에서 동일한 크기의 입력이 들어오게 된다. 이때 미러 보다 크기가 작은 전류원의 전류는 모두 미러쪽으로 흐르게 된다. 이때의 전압은 0이 된다. 그리고 그렇지 못한 부분은 1의 값에 해당하는 전압을 가지게 된다.

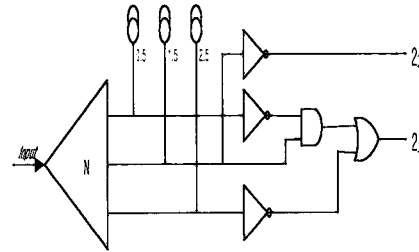


그림 18. 4치 2진 복호기회로
Fig. 18. Four valued-binary decoder circuit

4.3 다치 하이브리드형 FFT 설계

기본 전압모드 2치 시스템과 호환을 위해서 그림 19에서 블록도처럼 전체 FFT회로의 입력부분앞에 2치-4치 변환 부호기를 사용해 4치 전류모드로 변환하고 PD(2,3) 가산기와 특성 변수값을 가지는 다치 LUT를 이용해 FFT연산회로를 구성했다. 그리고 다시 전류모드를 기존 2치로 바꾸는 복호기회로를 구성되는 전체 하이브리드형 FFT회로를 구성했다. 4치 메모리 배열과 4치 연산 소자, 그리고 4치 LUT를 이용한 radix-2 FFT 구현은 2진 시스템과 비교해 칩면적과 속도를 향상했다. 16비트의 데이터는 16개의 셀이 8개의 4치 셀로 대응되고 4치 LUT은 단지 4치 값을 전송하기 위해 단지 한 결선을 이용하여 졌고 이로 인해 칩내부 결선의 면적과 파워를 줄일 수 있다.

최종 그림 20의 하이브리드형 FFT 회로에서 각 FFT 연산단마다 LUT을 사용했고 최종 입력단의 8비트 2진 데이터에서 부호기를 통해 4비트 4치로 변환되었다. 따라서

입력단에 128비트의 병렬 데이터가 들어오고 부호기에 의해 64비트의 병렬 4치 데이터가 FFT 연산기에 의해 연산이 되어지고 다시 출력단에 복호기에 의해 128비트의 병렬데이터가 출력이 되어진다. FFT가산에서의 캐리발생에 의해 생기는 오버플로되는 병렬가산기에서 LSB의 한 비트를 버리는 것으로 라운딩하였다.

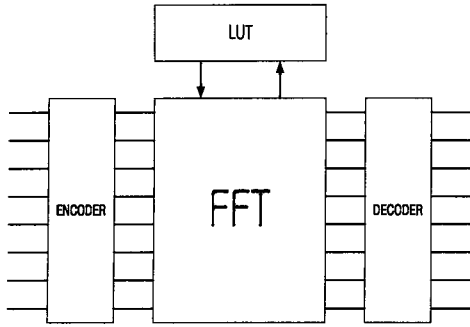


그림 19. 다치 하이브리드형 FFT 연산회로
 Fig. 19. Multiple valued Hybrid type FFT processing circuit

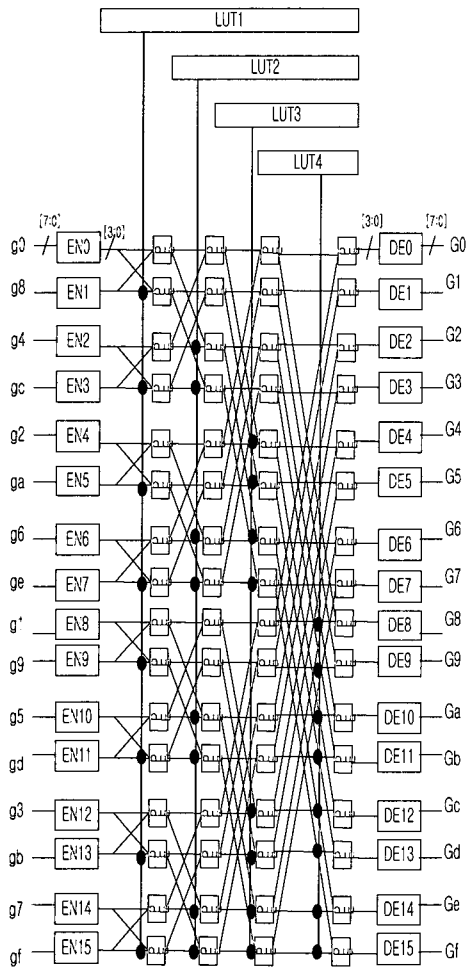


그림 20. 하이브리드 FFT 연산회로도
 Fig. 20. The diagram of Hybrid FFT processing circuit

5. 결 론

본 논문에서는 캐리 전파 없이 병렬 가산이 가능하고 게이트 지연을 줄여 연산의 속도를 고속화 할 수 있는 PD 수 표현의 가산기와 이를 이용한 FFT연산회로를 구성하였다. PD 수 표현의 가산기 구성의 예로써 PD(r,q)의 다양한 가산기를 구성할 수 있지만 본 논문에서는

FFT연산에서 4치 연산을 이루어지는 조건하에서 이를 위해 2입력 가산기를 기본으로 한 PD(2, 2)와 PD(2, 3)가산기를 보였고 이를 연산단의 가산 속도와 트랜지스터의 게이트수를 비교해 PD(2, 3)이 빠른 연산속도와 적은 트랜지스터 숫자로 인해 PD(2, 3)을 선택하여 전체 가산기를 구성했다. 또한, 승산기를 대체되는 다치 LUT로 승산기를 대신해서 가산과 승산에 생기는 지연시간을 맞추고 LUT도 4치 연산을 위해 4치 LUT로 구성했다. 그리고 승산기의 값을 위한 데이터 베이스는 선택적으로 16포인트의 8비트의 샘플링값을 미리 테이블화해서 연산이 이루어질 때 값이 정해질 수 있도록 다치 프로그래밍값을 이용했다. 각 가산기와 LUT의 유효함은 기본 전류모드 CMOS 0.5 μ m를 이용하였고 P-SPICE 시뮬레이션으로 이론치와 회로의 유효함을 확인하였다.

이상에서, PD 수 표현과 다치 LUT를 이용하여 FFT 연산기를 구성하면 연산에서 생기는 선형 함은 별도의 능동 소자 없이 결선만으로 얻어지므로 연산기의 구조를 정형화 할 수 있고, Radix-2 FFT와 4치 전류모드 CMOS를 이용해 보다 고속의 소자의 구현이 가능하고 현재의 이진 기술과 함께 호환할 수 있는 하이브리드형의 시스템 대한 아이디어를 제공함으로써 기존의 이진 시스템과 충분히 공존할 수 있는 시스템 개발이 가능함을 지적하였다.

향후의 과제로는 본 논문에서 설명한 Radix-2 FFT에서 연산단을 줄일 수 있는 Radix-4를 이용한 구조와 기본셀의 설계가 필수적이고 포스트 시뮬레이션 후에 실제 칩 제작을 해 성능분석과 특성에 대해 연구해야 할 것이고 그리고 이진 논리 시스템에 다치시스템이 보다 쉽게 접근할 수 있도록 다양한 시스템의 개발과 라이브러리화 되어야 하고 전류모드의 레벨 안정화와 노이즈 보상에 대한 연구도 같이 진행되어야 하겠다. 그리고 현재는 전압모드의 다치 실현화가 실효면적의 크기가 커지는 문제로 걸림돌이 되고 있지만 한 소자에서 여러 가지 레벨의 표현할 수 있는 소자개발도 함께 이루어져야 할 것이다.

참고문헌

- [1] K. C. Smith, "Multiple-Valued logic: a tutorial and appreciation," *IEEE Computer*, vol. 37, no. 4, pp. 17-27, 1988.
- [2] K. C. Smith, "The Prospects for Multivalued Logic: A Technology and Applications View," *IEEE Trans. Comput.*, C-30, 9, pp. 619-634, Sep. 1981.
- [3] Higuchi and M. Kameyama, *Multiple-Valued Digital Processing System*, Shokodo Co. Ltd., 1989.
- [4] M. Kameyama, T.Hanyu, and T. Higuchi, "Design and Implementation of quaternary NMOS integrated circuits for pipelined image processing," *IEEE J. Solid-state Circuits*, vol. SC-22, no. 1, pp. 20-27, 1987.
- [5] <http://www.mosis.com/Technical/Design-support/std-cell-library-scmos.html>
- [6] A. Avizienis, "Signed digit number representation

for fast parallel arithmetic," IRE Trans. Electron. Comput., vol. EC-10, pp. 389-400, Sept. 1961.

[7] A. K. Jain, R. J. Bolton, "CMOS Multiple-Valued logic design - Part I: Circuit implementation," IEEE Trans. on Circuits and System I, vol. 40, pp. 503-514, Aug. 1993.

[8] A. Avizienis, "Signed-digit number representation for fast parallel arithmetic," IRE Trans. Electron. Comput., vol. EC-10, pp. 389-400, Sept. 1961

[9] Ali Sheikholeslami, Ryuji Yoshimura and P. Glenn Gulak "Look-Up Table for Multiple-Valued, Combinational logic" in proc. int 28th Symp MVL 1998, pp. 264-269

[10] Bernd Jahne "Digital Image Processing" Third Edition in Springer 1995년도 pp. 284-298

1989년 3월~1990년 : 일본 구주공대 정보공학부 객원 연구원

1990년 8월 : 동아대학교 대학원 전자공학과 졸업(공학 박사)

1994년~1995년 : 일본 宮崎대학교 공학부 전자공학과 (POST-DOC)

1991년 3월~현재 : 동의대학교 전자·전기·정보통신·메카트로닉스공학부 부교수

관심분야: 다치 논리 이론 및 다치 논리 시스템 설계, VLSI 설계, 마이크로 프로세서 응용 등임

E-mail : hbsong@hyomin.dongueui.ac.kr

저 자 소 개



송홍복
 1983년 2월 : 광운대학교 전자통신 공학과 졸업(공학사)
 1985년 2월 : 인하대학교 대학원 전자공학과 졸업(공학석사)
 1985년 3월~1990년 2월 : 동의공업대학 전자통신과(조교수)



서명웅
 2001년 : 동의대학교 전자공학과 졸업(공학사)
 2001년 ~ 현재 : 동의대학교 대학원 전자공학과 재학 중
 관심분야 : 통신 이론 및 다치논리, 마이크로 프로세서 응용 등임