

실리콘 선택적 결정 성장 공정을 이용한 Elevated Source/drain을 갖는 NMOSFETs 소자의 특성 연구

論 文

51C-3-7

A Study on the Device Characteristics of NMOSFETs Having Elevated Source/drain Made by Selective Epitaxial Growth(SEG) of Silicon.

金營臣*·李起岩**·朴政浩***

(YoungShin Kim · KiAm Lee · Jungho Pak)

Abstract - Deep submicron NMOSFETs with elevated source/drain can be fabricated using self-aligned selective epitaxial growth(SEG) of silicon for enhanced device characteristics with shallow junction compared to conventional MOSFETs. Shallow junctions, especially with the heavily-doped S/D residing in the elevated layer, give better immunity to V_t roll off, drain-induced-barrier-lowering(DIBL), subthreshold swing(SS), punch-through, and hot carrier effects. In this paper, the characteristics of both deep submicron elevated source/drain NMOSFETs and conventional NMOSFETs were investigated by using TSUPREM-4 and MEDICI simulators, and then the results were compared. It was observed from the simulation results that deep submicron elevated S/D NMOSFETs having shallower junction depth resulted in reduced short channel effects, such as DIBL, SS, and hot carrier effects than conventional NMOSFETs. The saturation current, I_{dsat} , of the elevated S/D NMOSFETs was higher than conventional NMOSFETs with identical device dimensions due to smaller sheet resistance in source/drain regions. However, the gate-to-drain capacitance increased in the elevated S/D MOSFETs compared with the conventional NMOSFETs because of increasing overlap area. Therefore, it is concluded that elevated S/D MOSFETs may result in better device characteristics including current drivability than conventional NMOSFETs, but there exists trade-off between device characteristics and gate-to-drain capacitance.

Key Words : Elevated source/drain MOSFET, Short channel effect, Selective epitaxial growth(SEG)

1. 서 론

DRAM에서 MOSFET 소자의 동작 속도와 집적도를 높이기 위해서 소자의 게이트 길이 축소가 필요하다. 게이트 길이를 축소하면서 나타나는 문제들 가운데 하나는 short channel effect의 발생이다. Short channel effect의 발생을 억제하기 위해서는 shallow junction 형성과 채널 부분에 높은 doping이 필수적이다 [1,2]. 그러나 MOSFET의 소스/드레인(S/D)의 junction 깊이를 30nm 이하로 구현하기 위해 S/D의 doping 농도를 낮추면 S/D 기생 저항을 증가시켜 포화 전류를 감소시키고 [3], 채널 doping을 증가시키면 S/D junction의 junction leakage와 junction capacitance를 증가시켜 전력 소모 증가 및 소자의 스위칭 속도의 감소를 야기시킨다 [4].

실리콘 선택적 결정 성장(selective epitaxial growth of silicon 혹은 SEG-Si) 공정을 이용한 elevated S/D

MOSFET 구조는 shallow junction을 형성하면서 S/D 기생 저항을 감소시키고 junction leakage 문제를 최소화하는 개선 효과가 있다 [5-8]. Elevated S/D MOSFET는 기판에 shallow junction을 형성하여 short channel effect를 줄이고 S/D junction의 boron doping 농도를 낮춰 junction capacitance와 junction leakage를 줄이는데 유용하다 [5]. 그러나 게이트와 드레인이 높이 올라가면 sidewall과 만나는 면적이 증가하여 게이트-드레인 capacitance를 증가시켜서 소자의 동작 속도를 감소시키게 된다.

여기에서는 TSUPREM-4와 MEDICI를 이용하여 elevated S/D MOSFET(실리콘 선택적 결정 성장을 이용한 MOSFET이므로 약자로 SEG MOSFET로 표기함)와 SEG 공정을 제외한 모든 공정조건이 동일한 일반적인 MOSFET(실리콘 선택적 결정 성장을 이용하지 않은 MOSFET이므로 약자로 non-SEG MOSFET로 표기함)를 시뮬레이션하여 short channel effect, 포화 전류 및 게이트-드레인 capacitance에 대해서 비교 분석하였다.

2. 시뮬레이션에 사용된 소자의 제작 공정 조건

초기 기판 농도는 $3 \times 10^{16}/\text{cm}^3$ 인 p형 기판이고 trench의 깊이는 250nm로 소자를 분리하였으며 p-well 형성은 boron을 500keV, $3 \times 10^{13}/\text{cm}^2$ 으로 implantation 하였다. LIF(local implantation post field oxidation)는 boron으로 100keV, $4 \times$

* 準 會 員 : 高麗大 마이크로머시닝學科 碩士課程

** 準 會 員 : 高麗大 電氣工學科 碩士課程

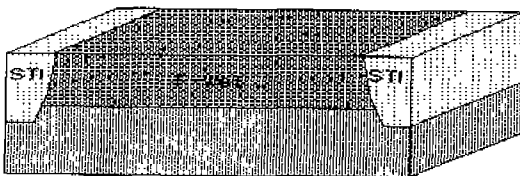
*** 正 會 員 : 高麗大 電氣工學科 副教授 · 工博

接受日字 : 2001年 12월 6일

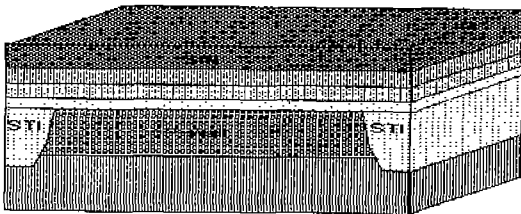
最終完了 : 2002年 1월 10일

$10^{12}/\text{cm}^2$ implantation 하였고 문턱전압의 조절과 punch through의 이세탈 위해서 boron을 30keV, $4.5 \times 10^{12}/\text{cm}^2$ 로 screen oxide를 통해서 ion implantation을 실행하였다 (그림 1(a)). Screen oxide의 제거 후에 열산화 공정으로 50Å 두께의 게이트 oxinitride를 만들고 polysilicon을 0.1 μm 두께로 증착한 다음 POCl_3 로 polysilicon을 $1 \times 10^{20}/\text{cm}^3$ 로 doping 하였다. Poly-Si 게이트를 증착한 다음에 WSi_2 와 SiN 의 layer를 증착하여 각각 silicidation과 같이 높은 온도에서 이루어지는 공정을 줄이고 게이트를 보호하였다 (그림 1(b)). 게이트를 patterning한 후에 게이트 모서리 부분과 S/D 사이에서의 band-to-band tunneling을 막기 위하여 short poly reoxidation를 실행하였다 (그림 1(c)). Lightly Doped Drain(LDD)를 형성하기 위해 As ($2 \times 10^{15}/\text{cm}^2$, 20keV)를 implantation를 하였고 sidewall spacer (400Å)를 형성한 후에 short channel effect를 막기 위해서 boron ($6 \times 10^{12}/\text{cm}^2$, 30keV)으로 halo implantation을 수행하였다 (그림1(d)). SEG-Si layer의 두께는 500Å로 성장시켰다 (그림 1(e)).

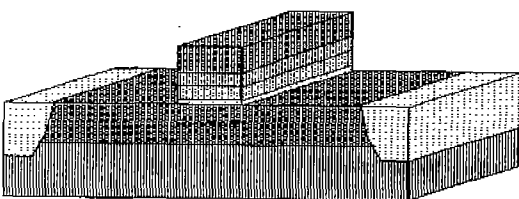
S/D의 deep junction은 SEG NMOSFET와 non-SEG NMOSFET의 특성을 비교하기 위해서 S/D의 ion implantation 조건을 다음과 같이 세 가지로 변화 시켰다. 첫 번째는 SEG NMOSFET (SN)로 arsenic implantation의 dose와 에너지를 $3 \times 10^{15}/\text{cm}^2$, 20keV로 하였고 두 번째는 non-SEG NMOSFET (NSN1)로 $3 \times 10^{15}/\text{cm}^2$, 15keV로 하였으며, 세 번째는 non-SEG NMOSFET (NSN2)로 SN 소자와 dose와 에너지가 같도록 시뮬레이션 하였다. Deep junction을 형성한 뒤 세 소자 모두 rapid thermal annealing (RTA)으로 1000°C에서 10초간 실시하였다.



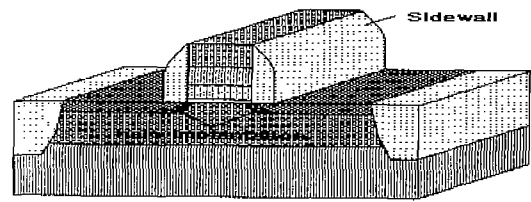
(a) shallow trench isolation (STI)



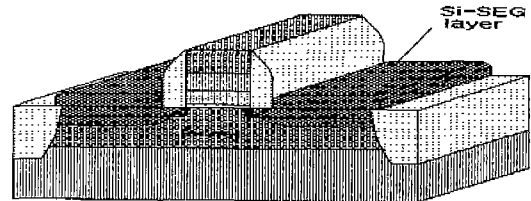
(b) Poly-Si, WSi_2 , SiN 증착



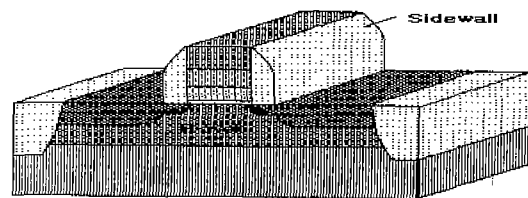
(c) 게이트 영역 설정



(d) LDD 및 halo implantation



(e) SN의 Si-SEG 공정과 S/D 형성



(f) NSN1 및 NSN2의 S/D 형성

그림 1. SEG NMOSFET과 non SEG NMOSFET 소자의 공정 순서.

Fig. 1 The SEG NMOSFET and non SEG NMOSFET fabrication process.

3. SN, NSN1과 NSN2 소자의 short channel effect 특성 비교

SN, NSN1 및 NSN2의 short channel effect를 분석하기 위해서 먼저 junction 깊이와 유효 채널 길이를 관찰하였다. 그림 2는 시뮬레이션을 통해서 본 소스와 드레인의 중심에서의 doping 분포이다. 각 소자의 junction 깊이는 SN 소자의 경우 elevated S/D layer (50nm) 위에서부터 112.7nm이고, 기판과 elevated S/D layer와의 경계면에서부터 junction 깊이까지는 elevated S/D layer 두께인 50nm를 뺀 62.7nm이다. NSN1 소자의 junction 깊이는 86.3nm이고 NSN2 소자는 97.5nm이다. 그러므로 SN 소자가 NSN2 소자에 비해 기판으로부터의 junction 깊이가 34.8nm 감소하여 shallow junction이 형성된 것을 알 수 있다.

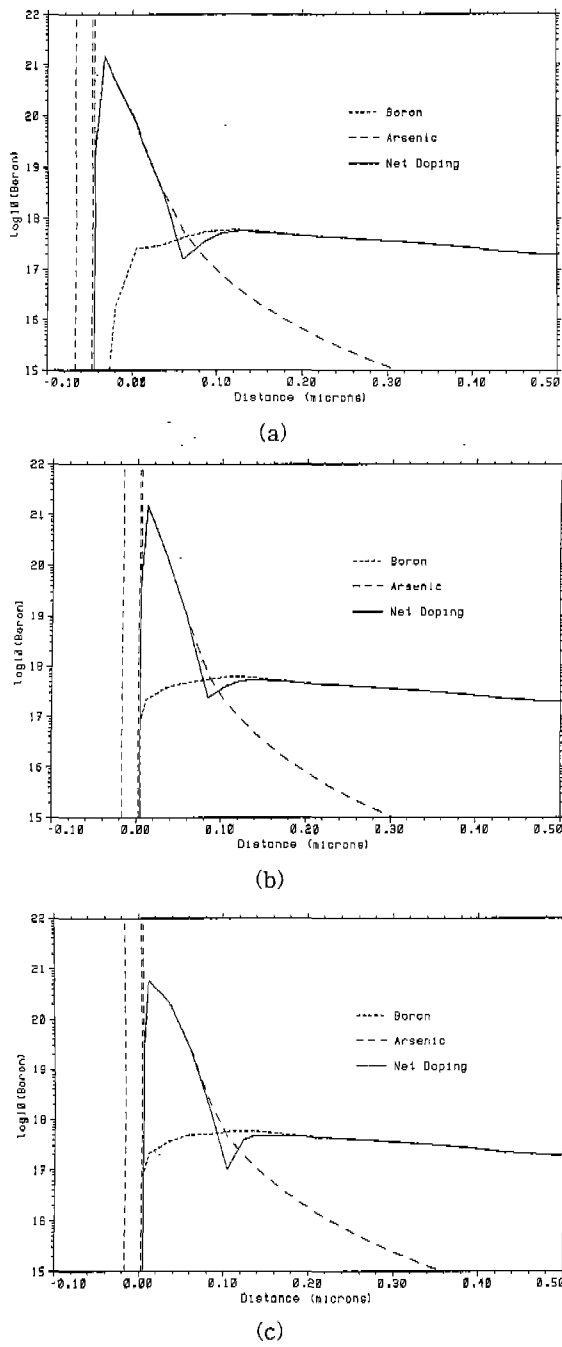


그림 2. SN 소자와 NSN1 소자 및 NSN2 소자의 소스와 드레인의 중심에서 doping 분포에 대한 시뮬레이션 결과 (a) SN 소자 (b) NSN1 소자 (c) NSN2 소자.

Fig. 2 The (a)SN, (b)NSN1 and (c)NSN2 doping profile results by simulation at source and drain center

게이트 길이가 200nm일 때 각 소자의 유효 채널 길이는 시뮬레이션 결과 SN 소자는 162.604nm이고 NSN1 소자와 NSN2 소자는 각각 162.562nm과 162.518nm로 나타났다 (표 1 참조). 그림 3에서 보는 바와 같이 SN 소자의 경우 boron과 arsenic lateral doping 분포가 sidewall과 S/D 영역 사이에서 SN 소자는 일정하게 유지되는데 비해 NSN1 소자와

NSN2 소자의 경우에는 S/D 영역에서 boron 농도가 많이 감소하고 arsenic의 농도는 크게 증가하고 있는 것을 알 수 있다. 표 1은 앞에서 기술한 junction 깊이와 유효 채널 길이를 표로 정리하였다.

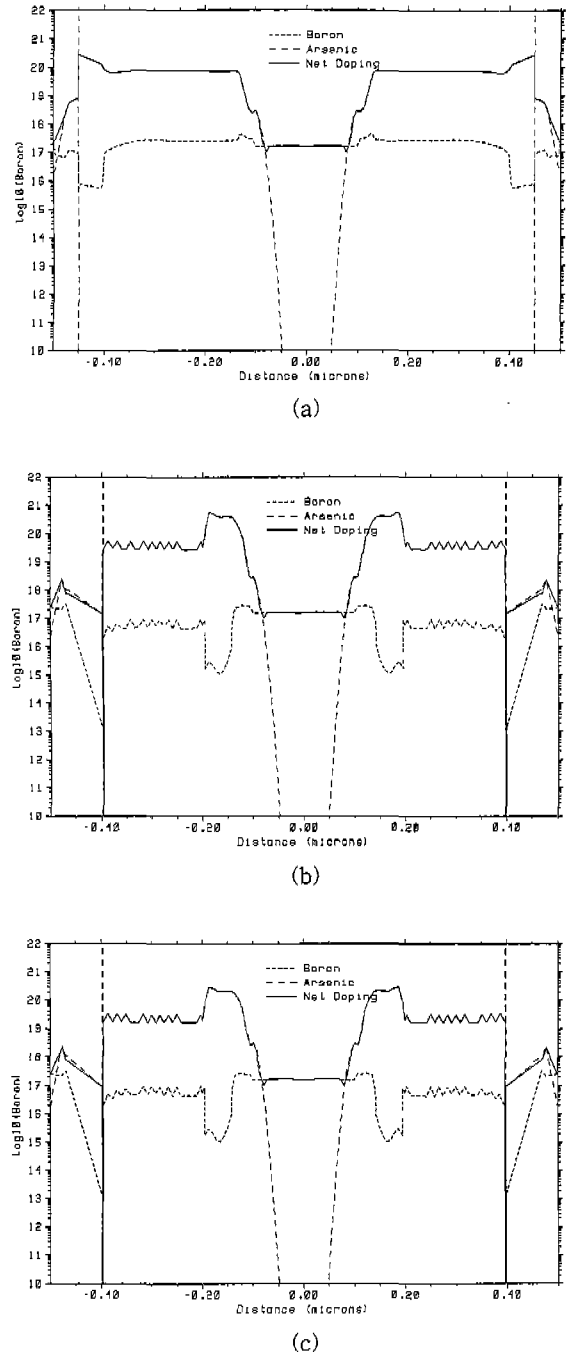


그림 3. SN 소자와 NSN1 및 NSN2 소자의 채널 doping 분포에 대한 시뮬레이션 결과 (a) SN 소자 (b) NSN1 소자 (c) NSN2 소자.

Fig. 3 The SN, NSN1 and NSN2 channel doping profile result by simulation in channel region

표 1 SN 소자와 NSN1 및 NSN2 소자의 유효 채널 길이와 junction 깊이에 대한 시뮬레이션 결과

Table 1 The simulation results of effective channel length and junction depth of SN, NSN1 and NSN2.

	SN	NSN1	NSN2
유효 채널 길이(nm)	162.604	162.562	162.518
Junction 깊이(nm)	62.7	86.3	97.5

SN 소자와 NSN1 소자 및 NSN2 소자의 I_d-V_g 특성 곡선으로부터 DIBL과 SS를 비교 분석하였다. 수식으로는 식 (1)과 (2)로 나타낼 수 있다[9].

$$DIBL = V_{th}(@V_{DS} = 0.1V) - V_{th}(@V_{DS} = V_{cc}) \quad (1)$$

$$SS = \ln 10 \left(\frac{d \ln(I_d)}{dV_{GS}} \right)^{-1} = \frac{2.3kT}{q} \left(1 + \frac{C_d}{C_{ox}} \right) \quad (2)$$

식 (2)에서 kT/q 는 thermal voltage, V_{th} 는 문턱 전압, C_d 는 depletion-layer capacitance이고 C_{ox} 는 oxide capacitance이다.

그림 4는 SN 소자와 NSN1 소자 및 NSN2 소자의 I_d-V_g 특성 곡선에 대한 시뮬레이션 결과이다. 표 2는 시뮬레이션 결과를 토대로 식 (1)과 (2)를 이용하여 DIBL과 SS 값에 대해 정리한 내용이다. 시뮬레이션 결과에서 SN 소자의 DIBL 값이 가장 작게 나타난다. SN 소자가 NSN1과 NSN2 소자에 비해 DIBL 값이 작은 이유는 표 1의 유효 채널 길이와 junction 깊이에 대한 시뮬레이션 결과에서 SN 소자는 NSN2 소자보다 유효 채널 길이가 약 0.1nm 정도 길고, junction 깊이는 약 35nm 정도 얇기 때문이다. 따라서 드레인 전압이 2V와 0.1V에서 유효 채널 길이와 junction 깊이의 차이로 인해서 SN 소자가 SEG 공정을 제외한 모든 공정이 같은 NSN2 소자에 비해서 DIBL이 11%로 감소함을 알 수 있다.

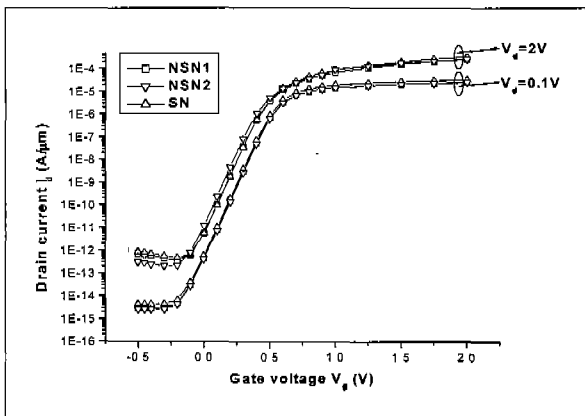


그림 4. SN, NSN1 및 NSN2의 I_d-V_g 특성
Fig. 4. The I_d-V_g characteristic simulation results((a) SN (b) NSN1 (c) NSN2)

SS는 식 (2)에서 보는 바와 같이 세 가지 소자 가운데 SN 소자의 junction 깊이가 가장 얇으므로 depletion-layer capacitance인 C_d 가 가장 작게 될 것이고 SS 값이 가장 작게 나타난다는 것을 알 수 있고 junction 깊이가 SN보다 상대적으로 큰 NSN1과 NSN2 소자는 SS가 크게 나타난다는 것을 알 수 있다. 따라서 elevated S/D 구조를 가진 SN 소자는 SEG 공정 조건을 제외한 나머지 공정 조건이 같은 NSN2 소자에 비해서 약 0.5% 정도 작게 나와 스위칭 특성이 더 좋게 나타난다.

표 2 SN 소자와 NSN1 소자 및 NSN2 소자의 DIBL과 SS 비교(시뮬레이션 결과)

Table 2 The simulation results of DIBL and SS of SN, NSN1 and NSN2

	SN	NSN1	NSN2
DIBL (V)	0.0582	0.0626	0.0654
SS (mV/dec)	77.41	77.81	77.84

그림 5는 SN 소자와 NSN1 소자 및 NSN2 소자의 I_d-V_d 특성 곡선에 대한 시뮬레이션 결과이다. 게이트 길이가 200nm인 소자의 게이트와 드레인 전압이 각각 2V일 때 SN 소자의 포화 전류는 $331 \mu A/\mu m$ 이고 NSN1 소자와 NSN2 소자의 경우에는 각각 $255 \mu A/\mu m$, $260 \mu A/\mu m$ 이다.

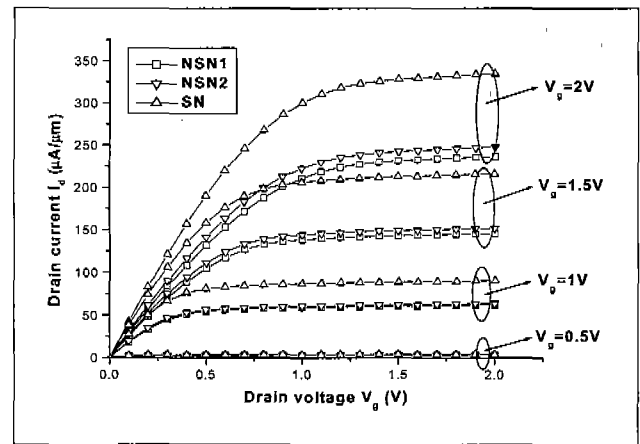


그림 5. SN 소자와 NSN1 소자 및 NSN2 소자의 I_d-V_d 특성
Fig. 5 The I_d-V_d characteristic simulation results((a) SN, (b) NSN1 (c) NSN2)

SN 소자가 NSN1 소자 및 NSN2 소자에 비해서 포화 전류가 크게 나온다. 이는 S/D 영역의 면저항이 SN 소자에서 더 작게 나타나기 때문이다. SN 소자의 S/D 영역에서의 면저항은 $175 \Omega/\square$ 이고, NSN1과 NSN2 소자의 경우는 S/D 영역에서의 면저항이 각각 $235 \Omega/\square$ 과 $230 \Omega/\square$ 로 나타났다.

그림 6은 SN 소자와 NSN1 및 NSN2 소자의 채널 부위에서의 수직 전계에 대한 시뮬레이션 결과이고 식(3)은 전계와 기판 전류의 상관관계를 보이는 식이다. 채널 영역과 LDD 영역이 맞닿는 edge 부분 (distance = 0.1 μ m인 지점)에서 SN 소자의 전계의 최대값은 270.33kV/cm이고 NSN1과 NSN2는 각각 225.815kV/cm 및 225.597kV/cm로 SN 소자의 전계의 최대값이 NSN1과 NSN2 소자보다 19.83% 더 큰 값을 가진다. SN 소자의 전계의 최대값이 가장 큰 이유는 S/D 영역의 면저항이 가장 작아 S/D 영역에서의 전압 강하가 작기 때문이다. 전계의 증가는 식 (3)에서 보는 바와 같이 기판 전류를 증가시킨다. 기판 전류는 드레인 전류 (문턱 전압과 유효 채널 길이에 의해서 영향을 받음)와 junction의 최대 전계의 크기에 영향하므로 전계가 크고 포화 전류가 큰 SN 소자에서 기판 전류가 크게 나타나 고온 반송자 효과는 SN 소자에서 크게 나타난다.

$$I_{sub} = C I_d E_m \exp\left(\frac{-B}{E_m}\right) \quad (3) \quad [9]$$

식(3)에서 I_{sub} 는 기판 전류이고 E_m 은 pinch-off 영역에서 최대 전계값이고, I_d 는 드레인 전류이며, C 와 B 는 상수이다.

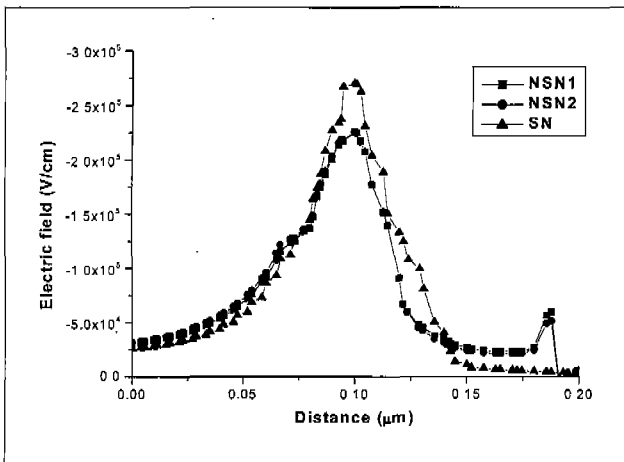


그림 6. SN, NSN1, NSN2 소자의 전계에 대한 시뮬레이션 결과 (가로축의 distance는 게이트 중심으로부터의 거리).

Fig. 6 The simulation results of electric field of SN, NSN1 and NSN2 (The distance of lateral means distance of gate center)

4. 기생 게이트-드레인 capacitance 특성

게이트 capacitance는 게이트-드레인 capacitance (C_{gd})와 게이트-소스 capacitance (C_{gs}) 및 게이트-기판 capacitance (C_{gb})로 구성되는데 C_{gd} 는 miller capacitance라고도 불리며 회로 속도에 영향을 미치는 중요한 변수이다. 또한, 게이트-소스 capacitance (C_{gs})와 게이트-드레인 capacitance (C_{gd})는 direct overlap capacitance (C_{do})와 outer fringe

capacitance (C_{of}) 및 inner fringe capacitance (C_{if})로 구성되며 그림 8에 이것을 표현하였고 식 (4), (5), (6)은 C_{do} 와 C_{of} 및 C_{if} 를 소자의 모양으로부터 구하는 식들을 나타내었다.

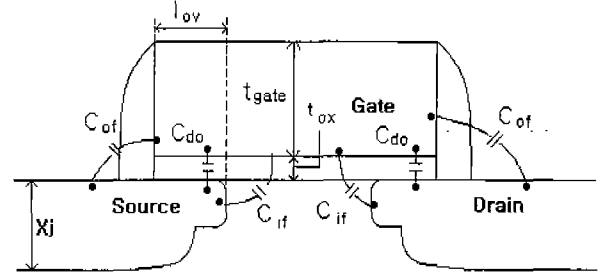


그림 7. 게이트-소스/드레인 overlap capacitance.
Fig. 7 Gate-to-source/drain overlap capacitance.

$$C_{do} = W l_{ov} C_{ox} = \frac{\epsilon_{ox} W l_{ov}}{t_{ox}} \quad (4)$$

$$C_{of} = \frac{2 \epsilon_{ox} W}{\pi} \ln\left(1 + \frac{t_{gate}}{t_{ox}}\right) \quad (5)$$

$$C_{if} = \frac{2 \epsilon_{si} W}{\pi} \ln\left(1 + \frac{X_j}{2 t_{ox}}\right) \quad (6)$$

식 (4)에서 l_{ov} 는 게이트 아래의 소스와 드레인의 길이, ϵ_{ox} 은 oxide 유전율, W 는 채널 폭, t_{ox} 는 게이트 oxide 두께이다. 식 (5)에서 t_{gate} 는 polysilicon 게이트의 높이를 나타낸다. 식 (6)에서 ϵ_{si} 는 silicon의 유전율이고 X_j 는 S/D의 junction 깊이이다. 식 (5)와 (6)은 outer fringe와 inner fringe의 capacitance를 Laplace's 방정식을 이용하여 구한 것이다.

SN 소자와 NSN1 소자 및 NSN2 소자들의 구조를 보면 식 (4), (5), (6)의 변수들 가운데 l_{ov} 와 X_j 만 각 소자들 간에 차이가 있고 나머지 변수들은 동일하다. 왜냐하면 SN, NSN1 및 NSN2는 소스와 드레인을 형성할 때 dose와 에너지 조건과 SEG 공정만 차이를 보이기 때문이다. SN 소자는 elevated S/D layer로 인해 게이트와 overlap되는 길이 l_{ov} 가 가장 길어서 식 (4)에서와 같이 direct overlap capacitance를 증가시키고 X_j 의 경우 표 1에서 보인 바와 같이 SN 소자와 NSN1 및 NSN2 소자를 비교하면 NSN1과 NSN2의 junction 깊이 차이는 11nm 차이를 보이는데 그림 8에서 보는 바와 같이 거의 차이가 없게 나타나서 SN과 NSN2의 junction 깊이 차이인 35nm도 식 (6)에 적용하면 큰 차이를 나타내지 않을 것이라 생각되어 inner fringe capacitance 값의 차이는 작게 될 것이다. 따라서 elevated S/D 구조를 가진 소자의 게이트-드레인 capacitance 증가 원인은 junction 깊이의 영향보다는 elevated S/D layer의 존재로 인해 S/D 영역과 게이트가 서로 overlap 되는 면적의 증가가 가장 큰 요인이라 할 수 있다. 그림 8은 SN 소자와 NSN1 소자 및 NSN2 소자의 게이트-드레인 capacitance에 대해 $V_d = 0.1V$ 인 조건에서 시뮬레이션한 결과로서 $V_g = 2.5V$ 일 때 SN 소자가 1.07211fF/ μ m로 가장 큰 값을 가지고 NSN1 소자와

NSN2 소자는 각각 $0.983625\text{fF}/\mu\text{m}$ 와 $0.983888\text{fF}/\mu\text{m}$ 로 거의 같은 값을 가지며 SN 소자가 NSN1과 NSN2 소자에 비해 9% 정도 게이트-드레인 capacitance가 증가하고 있다.

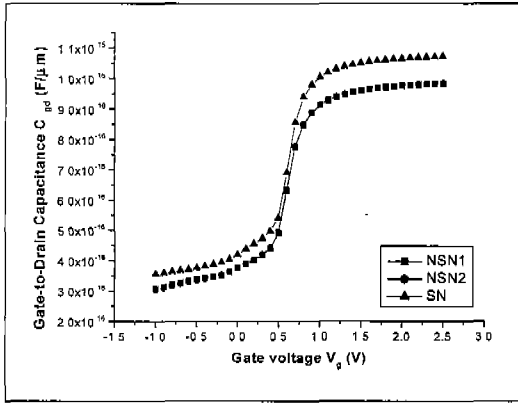


그림 8. SN 소자와 NSN1 소자 및 NSN2 소자의 게이트-드레인 capacitance 시뮬레이션 결과 비교.
 Fig. 8 The gate to drain capacitance of SN, NSN1 and NSN2 simulation results

5. 결 론

TSUPREM-4와 MEDICI 시뮬레이션을 통해서 SEG-Si를 이용한 elevated S/D MOSFET와 일반적인 MOSFET의 short channel effect와 포화 전류 및 게이트-드레인 capacitance를 비교하였다. Elevated S/D MOSFET는 실리콘을 이용한 선택적 결정 성장 공정으로 소스와 드레인 위에 실리콘은 500Å 성장시켜서 선택적 결정 성장 공정을 제외한 나머지 공정이 동일한 일반적인 NMOSFET인 NSN2보다 junction 깊이가 35nm 작아서 DIBL과 SS를 각각 11%와 0.5% 감소시키지만 높은 반송자 효과는 면저항의 감소 영향으로 증가하는 현상을 볼 수 있었다. 포화 전류는 SN 소자가 NSN2 소자에 비해서 S/D 영역에서의 면저항이 23.9% 작음으로 인해 시뮬레이션 결과에서는 SN이 NSN2에 비해서 27.3%로 증가하는 현상을 볼 수 있었다. 게이트-드레인 capacitance는 50nm 높이의 elevated S/D layer를 가진 SN 소자가 elevated S/D 구조를 가지지 않은 NSN1 및 NSN2 소자에 비해 게이트-드레인 capacitance가 8.2% 증가하여 동작 속도에 영향을 미치는 것을 볼 수 있었다. 따라서 elevated S/D MOSFET는 shallow junction을 형성하여 DIBL과 SS 같은 short channel effect를 감소시키고 shallow junction 형성시 분체점으로 대두되었던 기생 저항의 증가로 인해 포화 전류가 감소하는 현상을 제거할 수 있으나 기생 게이트-드레인 capacitance를 증가시키는 trade-off 현상이 나타났다.

감사의 글

본 연구는 삼성전자의 지원과 BK 21 사업의 부분적 지원에 의하여 이루어진 연구로서, 관계부처에 감사 드립니다.

참 고 문 헌

- [1] T. Ohguro, S. Nakamura, M. Saito, M. Ono, H. Harakawa, E. Morifuji, T. Yoshitomi, T. Morimoto, H. S. Momose, Y. Katsumata, H. Iwai, "Ultra-shallow junction and salicide techniques for advanced CMOSFET devices," *Proc. Electrochem. Soc.*, vol. 97, p. 275, 1997.
- [2] *The National Technology Roadmap for Semiconductors*. San Jose, CA: Semiconductor Ind. Assoc., 1999.
- [3] S. Thompson, P. Packan, M. Bohr, "MOSFET scaling: Transistor challenges for the 21st century," *Intel Technol. J.*, p. 1, 1998.
- [4] Y. Taur, E. J. Nowak, "CMOSFET devices below $0.1\mu\text{m}$: How high will performance go?," in *IEDM Tech Dig.*, 1997, p. 215.
- [5] N. Miura, Y. Abe, K. Sugihara, T. Oishi, T. Furukawa, T. Nakahata, K. Shiozawa, S. Maruno, Y. Tokuda, "Junction capacitance reduction due to self-aligned pocket implantation in elevated source/drain NMOSFETs," *IEEE Trans. Electron Devices*, vol. 48, pp. 1969-1974, 2001.
- [6] J. J. Sun, R. F. Bartholomew, K. Bellur, A. Srivastava, C. M. Osburn, N. A. Masnari, "The effect of the elevated source/drain doping profile on performance and reliability of deep submicron MOSFET's," *IEEE Trans. Electron Devices*, vol. 44, pp. 1491-1498, 1997.
- [7] K. Sugihara, Y. Abe, T. Oishi, N. Miura, Y. Tokuda, "Short channel characteristics of quasi-single-drain MOSFETs," *IEEE Electron Device Letters*, vol. 22, 2001, pp. 351-353.
- [8] J. J. Sun, C. M. Osburn, "Impact of epi facets on deep submicron elevated source/drain MOSFET characteristics," *IEEE Transactions on Electron Devices*, vol. 45, pp. 1377-1380, 1998.
- [9] Y. Taur, T. H. Ning, *Fundamentals of Modern VLSI Devices*. Cambridge, U.K.: Cambridge Univ. Press, 1988.

저 자 소 개



김 영 신 (金 營 臣)

1972년 12월 4일생. 2000년 고려대학교
전기전자전파공학부 졸업. 현재 동 대학
원 마이크로머시닝학과 석사 과정

Tel : 02-3290-3693

Fax : 02-921-0544

E-mail : nik12@korea.com



이 기 암 (李 起 岩)

1975년 12월 6일 생. 2001년 고려대
전기공학과 졸업. 현재 동 대학원
전기공학과 석사과정

Tel : 02-3290-3238

Fax : 02-921-0544

E-mail : ka_lee75@hanmail.net



박 정 호 (朴 政 浩)

1960년 2월 5일생, 1985년 미국 Purdue
대 전기공학과 졸업(학사), 1988년 동대
학원 전기공학과 졸업(석사), 1992년 동
대학원 전기공학과 졸업(공학), 1992
년~1995년 미국 Intel사 책임연구원,
1995년~1998년 고려대 공대 전기공학

과 조교수, 1998년~현재 고려대 공대 전기공학과 부교수.
Tel : 02-3290-3238

Fax : 02-921-0544

E-mail : pak@korea.ac.kr