

p+링과 p 채널 게이트를 갖는 역채널 LIGBT의 전기적인 특성

論 文

51C-3-1

Electrical Characteristics of Novel LIGBT with p Channel Gate and p+ Ring at Reverse Channel Structure

姜 二 求* · 成 萬 永**
(Ey Goo Kang · Man Young Sung)

Abstract - lateral insulated gate bipolar transistors(LIGBTs) are extensively used in high voltage power IC application due to their low forward voltage drops. One of the main disadvantages of the LIGBT is its slow switching speed when compared to the LDMOSFET. And the LIGBT with reverse channel structure is lower current capability than the conventional LIGBT at the forward conduction mode. In this paper, the LIGBT which included p+ ring and p-channel gate is presented at the reverse channel structure. The presented LIGBT structure is proposed to suppress the latch up, efficiently and to improve the turn off time. It is shown to improve the current capability, too. It is verified 2-D simulator, MEDICI. It is shown that the latch up current of new LIGBT is 10 times than that of the conventional LIGBT. Additionally, it is shown that the turn off characteristics of the proposed LIGBT is 8 times than that of the conventional LIGBT. It is not presented the tail current of turn off characteristics at the proposed structure. And the presented LIGBT is not n+ buffer layer because it includes p channel gate and p+ ring.

Key Words :Reverse Channel, p-channel gate, Latch up, p+ ring, High Speed, No buffer layer, No Tail Current

1. 서 론

MOSFET이 갖는 높은 입력 임피던스와 바이폴라 트랜지스터가 갖는 낮은 온 저항 특성을 함께 갖는 소자로서 IGBT는 1980년대 초반 이후 급격한 발전을 거듭하였다. IGBT는 우수한 온 특성과 빠른 스위칭 속도, 우수한 안전 동작 영역(SOA : Safe Operating Area)의 장점으로 인해 전력 전자 응용 분야에 적용되는 300V 내지 1500V 급 바이폴라 트랜지스터를 대체하고 있다.[1-6]

또한 LIGBT는 순방향 전압강하가 작고, 입력임피던스가 크기 때문에 스마트(smart) 파워(power) IC에 매우 적합한 소자이다. 그러나 LIGBT에는 그 구조상 p+ 애노드 - n 에피층(또는 드리프트 층) - p 베이스 - n+ 캐소드로 구성되는 기생 사이리스터가 존재한다. LIGBT가 정상적으로 동작할 때는 기생 사이리스터는 동작하지 않으나, 전류가 일정한 값 이상이 되면 사이리스터가 턴 온되는데, 이것을 래치 업 특성이라고 한다.

래칭 현상이 발생하면 LIGBT는 MOS 게이트의 조정능력을 상실하기 때문에 래치 업 현상은 LIGBT의 전류 제어 능력을 제한하고, SOA(Safe Operating Area)를 결정짓는 가장 중요한 요소 가운데 하나이다.[7]

래치 업의 주요한 원인은 p+ 애노드에서 주입된 정공에

의한 p- 베이스 영역에서의 전압강하이다. 이를 억제하기 위해서는 p- 베이스 영역에서의 전압강하를 줄이거나, p- 베이스를 통과하는 정공전류를 p+ - 캐소드 쪽으로 흐르게 하는 방법과 p+ 애노드에서 정공의 주입을 억제하는 방법등이 있다. p 베이스 영역의 저항을 줄이기 위해서는 p++ 확산, dual implantation, deep p+ implantation, retrograde 확산등이 제안되었으며, 정공전류를 우회시키는 방법으로는 trench gate, reverse channel등이 제안되었다. 또한 정공전류를 소자 표면 쪽으로 흐르게 하기 위해서, 정공주입을 억제하는 n+ 버퍼층에 게이트를 추가한 구조를 제시하였다. 그러나 이런 구조들은 문턱전압을 조절하기가 힘들고, 공정이 복잡하다는 단점을 가지고 있다. 그리고 LIGBT (Lateral Insulated Gate Bipolar Transistor)는 낮은 온 저항, 높은 전류 밀도, 높은 입력 임피던스, 구동회로의 단순성등의 장점에도 불구하고 상대적으로 느린 스위칭 속도가 단점으로 지적되고 있다. 이를 개선하기 위해서 단락된 애노드(Anode) 구조와 같은 새로운 구조들이 제안되었지만 아직까지 많은 개선점이 제기되고 있고, 동작주파수나 전력 손실의 측면에서도 고속 스위칭은 IGBT의 응용 범위를 넓히는 해결책이 될 것으로 기대되고 있다.[8-12]

본 논문에서는 래치 업 성능을 개선시키기 위해 역 채널 구조에서 캐소드와 애노드사이에서 p - 채널을 형성시키기 위한 p+ 영역을 지정하여 그 위에 게이트 단자를 만들어 새로운 다중 게이트 구조의 LIGBT를 제안하였다. 다중 게이트를 설치한 LIGBT는 p 베이스 영역으로 흐르는 정공전류를 모두 소자 표면으로만 흐르게 하여 래치 업을 억제하는 새로운 구조이며, 또한 턴 오프시 n 채널 게이트 전압과 캐소드 영역과 가장 가까운 p 채널 게이트 전압을 오프시키면 되는데, 이때 남아있는 소수 캐리어들이 n- 베이스층에 있는 전자들

* 正 會 員 : 高麗大學 電氣工學科 博士課程

** 正 會 員 : 高麗大學 電氣工學科 教授

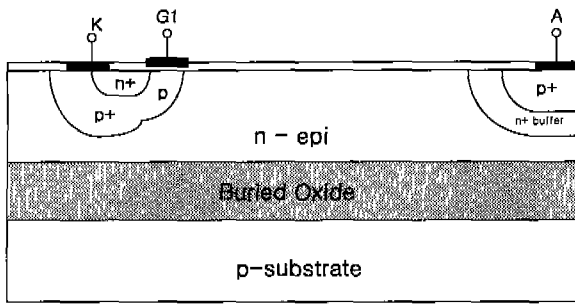
接受日字 : 2000年 4月 23日

最終完了 : 2002年 1月 10日

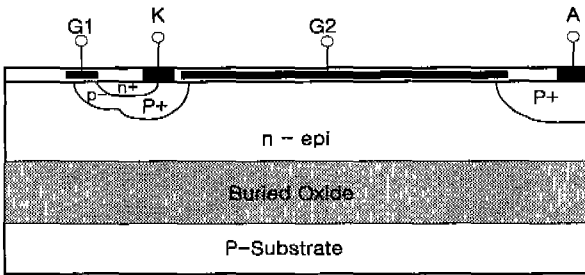
과 재결합하기 보다는 p- 베이스를 통해 캐소드로 포집되어 LIGBT의 스위칭 특성의 단점인 테일(tail) 전류 특성이 나타나지 않는다. 또한 다중 게이트 구조를 형성하는 p+ 영역들이 p+ 애노드를 형성할 때, 동시에 이루어지므로 추가적인 공정이 필요 없으며, 오히려 p 채널게이트를 형성하면 버퍼층이 필요없기 때문에 공정과정에 있어서 한 단계를 줄이는 효과를 볼 수 있다.

따라서 본 논문은 다중 게이트 구조의 레치 업 특성, 온 상태에서의 I-V 특성, 순방향 항복 특성을 기존의 구조와 비교하고, 소자 내부의 정공과 전자의 밀도와 전류 흐름, 재결합 밀도등을 통해 다중 게이트 구조의 LIGBT가 레치 업을 억제하고, 고속 스위칭에 적합하다는 사실을 검증하고자 하였다.

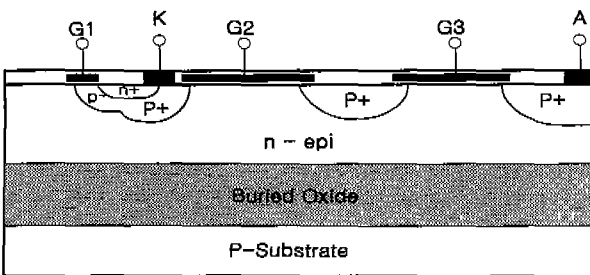
2. 소자의 구조 및 동작



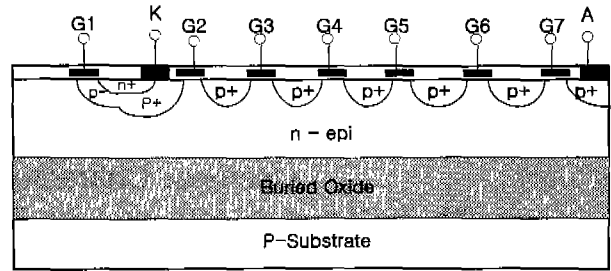
(a)



(b)



(c)



(d)

그림 1 기존의 IGBT 구조와 제안된 IGBT의 구조의 단면도 (a) 기존의 범용 IGBT구조 (b) 1개의 p 채널 게이트를 포함한 IGBT 구조 (c) 1개의 p+링과 2개의 p 채널 게이트를 포함한 IGBT 구조 (d) 5개의 p+링과 6개의 p 채널 게이트를 포함한 IGBT 구조

Fig. 1 The Structures of (a) the conventional LIGBT (b) the proposed LIGBT with a p-channel gate (c) the proposed LIGBT with two p-channel gates and a p+ ring (d) the proposed LIGBT with six p-channel gates and five p+ rings

표 1 기존구조와 제안된 구조들의 설계 변수

Table 1 Design parameter for simulation

변수	집합길이	농도
n- 에피층	3 μ m	1 \times 10 ¹⁴ cm ⁻³
p+ 애노드	1 μ m	1 \times 10 ¹⁹ cm ⁻³
p 베이스	0.5 μ m	1 \times 10 ¹⁷ cm ⁻³
p+ 베이스	1.5 μ m	1 \times 10 ¹⁹ cm ⁻³
n+ 캐소드	0.21 μ m	1 \times 10 ²⁰ cm ⁻³
p+ 링	1 μ m	1 \times 10 ¹⁹ cm ⁻³
게이트 산화막두께	300 Å	
n 채널 길이	3 μ m	
p 채널 길이	3 μ m, 20 μ m, 40 μ m	
매몰산화막 두께	3 μ m	
문턱전압	2V	
소자의 너비	80 μ m	

LIGBT는 LDMOS의 n+ 드레인 대신 p+ 애노드를 형성하는 것 외에는 LDMOS와 구조가 유사하나 동작원리는 전혀 다르다. LIGBT는 MOSFET에 의해 구동되는 pnp 트랜지스터로 모델링할 수 있으며, 온 상태에서 p+ 애노드는 농도가 낮은 n 드리프트 영역으로 다량의 정공을 주입하기 때문에 드리프트 영역은 전도도 변조가 발생하여 저항이 매우 낮은 영역이 된다. 이 전도도 변조로 인해 LIGBT의 온 저항은 같은 규격의 MOSFET에 비해 1/5 내지 1/10로 줄어든다.

온 상태에서 채널을 통해 드리프트 영역으로 흐르는 전자는 p+ 애노드 - n- 드리프트 - p+ 캐소드로 구성되는 pnp 트랜지스터의 베이스 전류로 작용한다. 이 때 채널 끝 부분은 전자의 농도가 높아져서 저항이 감소하기 때문에 p+ 애노드로부터 주입된 정공은 대부분 채널 쪽으로 흐르게 되고, p-base 영역을 통과하여 캐소드로 흐른다. 따라서 온 상태의 전압 강하는 p+ 애노드 - n 버퍼에서의 턴 온 전압, 드리프트 영역에서의 전압강하, p- 베이스에서의 전압강하를 합한 것과 같다. 이 때 n- 캐소드 밑 부분의 p- 베이스 층을 통과 하면서 유지되는 정공에 의한 전압 강하가 0.7V 이상이 되면 n+ 캐소드 - p- 베이스 - n- 드리프트 영역으로 구성되는 기생 npn 트랜지스터가 턴 온되어 전자가 채널을 통하지 않고 직접 p-베이스를 통과하여 드리프트 영역으로 주입된다. 위와 같은 과정으로 LIGBT의 기생 사이리스터가 턴 온이 되는데, 이런 현상을 래치 업이라고 부른다.

이러한 래치 업을 억제하기 위해서 본 논문은 p+링과 p 채널 게이트를 설치하여 p-베이스를 통과하는 정공전류의 양을 감소시키고 동시에 정공전류를 모두 소자의 표면쪽으로 흐르게 하였다. 그리고 역 채널 구조의 단점중에 하나인 낮은 전류밀도 특성을 상당히 개선시켰으며, 또한 p+링과 p 채널 게이트를 설치하였기 때문에 정공의 주입을 억제하는 n+ 버퍼층이 필요없게 되었으며, 이에 따라 n+ 버퍼층에 해당하는 마스크 1장을 줄여 공정의 단순화를 이룰 수 있어 제작과정에 있어서 실질적인 효과를 얻을 수 있게 되었다.

그리고 턴 오프 스위칭 특성에 있어서는 테일(tail)특성을 갖는 기존의 구조와는 달리 제안된 구조에서는 p 베이스 층에 남아있는 소수캐리어인 정공이 재결합하기 보다 형성된 p 채널을 통해 캐소드로 포집되어 빠져나가기 때문에 이러한 테일 특성이 전혀 나타나지 않고 있다.

그림 1에서 (a)는 기존의 범용 IGBT의 구조를 나타낸 것이며, (b)~(d)는 p 채널 다중 게이트 구조를 갖는 새롭게 제안된 구조이다. 우선 (b)는 애노드와 캐소드 사이에 p+ 링을 형성하지 않고 단순히 p 채널 게이트만을 형성하여, 정공전류가 모두 소자 표면을 따라 흐르도록 한 구조이다. (c)는 애노드와 캐소드 사이에 p+링을 두고, 2개의 p 채널 게이트를 형성한 구조이다. 그리고 (d)는 p+링과 p 채널 게이트의 수에 대한 전기적인 특성을 보기 위해서 각각 5개와 6개를 설치하였다. 제안된 구조들에서는 PMOS 게이트에 부의 전압을 인가하게 되면, 표면에 p 채널을 형성하게 되어, 턴 온시 p+ 애노드에서 주입되는 정공은 대부분 소자의 표면을 따라서 p+ 캐소드에 도착하게 된다. 따라서 래치 업을 일으키는 p 베이스 영역으로 지나는 정공의 수가 적어지게 되어, 그 특성이 개선될 뿐만 아니라 n 버퍼 층이 없어지게 되어 공정의 단순화를 이룰 수 있었다. 또한 턴 오프시 에피층의 표면에 남아있는 소수캐리어들이 n- 베이스층에 있는 전자들과 재결합하기 전에 p- 베이스 층을 통하여 캐소드로 포집되어 빠져나가기 때문에 IGBT의 턴 오프 특성중 가장 큰 단점이라고 할 수 있는 테일 전류가 없는 우수한 턴 오프 특성을 얻을 수 있었다. 표 1은 시뮬레이션을 위한 설계 파라미터를 나타내고 있다. 구조적으로 변화가 있었기 때문에 공정 파라미터는 기존과 제안된 LIGBT 모두 같게 설계를 하였다.

3. 시뮬레이션 결과 및 고찰

2-D 소자 시뮬레이터인 MEDICI를 이용하여, 제안한 새로운 LIGBT구조와 범용 SOI LIGBT의 전기적인 특성을 비교하였다. 우선 그림 2가 나타내고 있는 것은 래치 업 특성이 다. 기존의 구조에서는 애노드 전압 1.3V와 $1.96 \times 10^{-5} A/\mu m$ 의 전류에서 래칭 특성이 나타나고 있으며, 제안한 구조에서는 이보다 높은 최대 26V의 애노드 전압과 $1.2 \times 10^{-4} A/\mu m$ 의 전류에서 래칭 특성이 나타나고 있다. 따라서 제안된 구조가 기존의 구조보다 20배 높은 애노드 전압과 10배 높은 애노드 전류에서 래치 업이 일어나고 있는 우수한 특성을 보여주고 있다. 이것은 다중 게이트 영역을 설정하여, 애노드에서 주입된 정공이 드리프트 전 영역에 걸처서 흐르는 것이 아니고 소자의 표면을 따라서 흐르도록 하였기 때문에 래치 업 전압과 전류를 개선시킬 수 있었던 것으로 판단된다.

그림 2는 래치 업 발생시 소자의 너비 방향에 대해서 깊이 방향으로 각각 0.01, 0.2, 0.5 μm 에 대한 전류밀도를 보여주고 있다. 그림에서 나타난 것처럼 래치 업 전류밀도는 기존의 구조보다 제안된 구조가 100배 이상의 높은 전류밀도 특성을 보여주고 있다. 기존의 구조는 $1 \times 10^3 A/cm^2$ 정도의 전류밀도를 나타내고 있으나 제안된 구조에서는 모두 $1 \times 10^5 A/cm^2$ 정도의 높은 전류 밀도 특성을 보여주고 있다. 이것은 제안된 구조에서 애노드에서 나오는 정공들이 대부분 소자의 표면으로 집중해서 흐르고 있어, 표면쪽으로 상당히 높은 전류밀도 특성을 나타내고 있다고 판단된다.

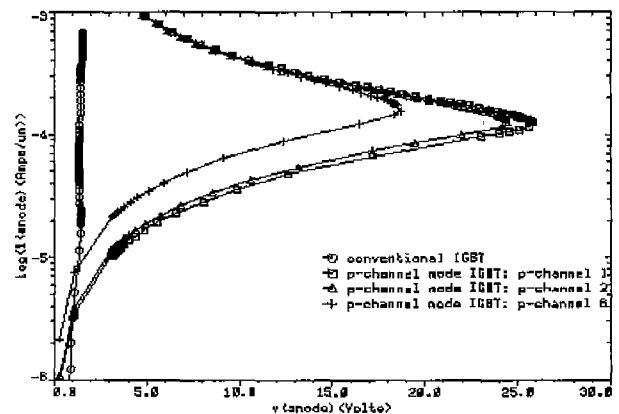
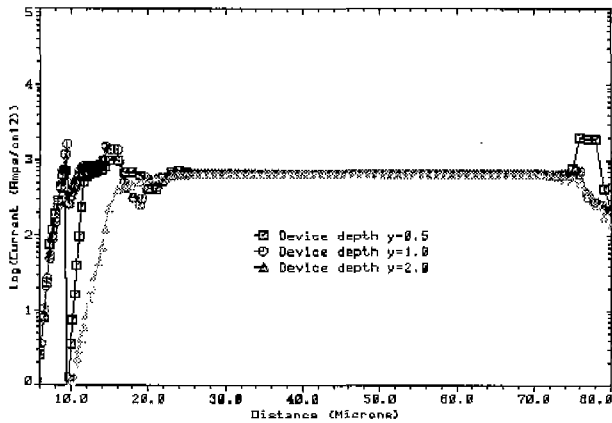
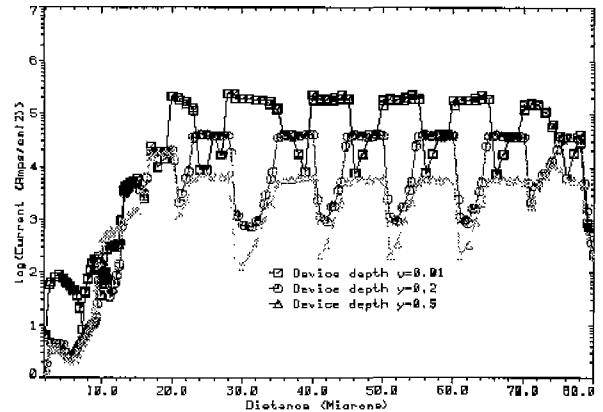


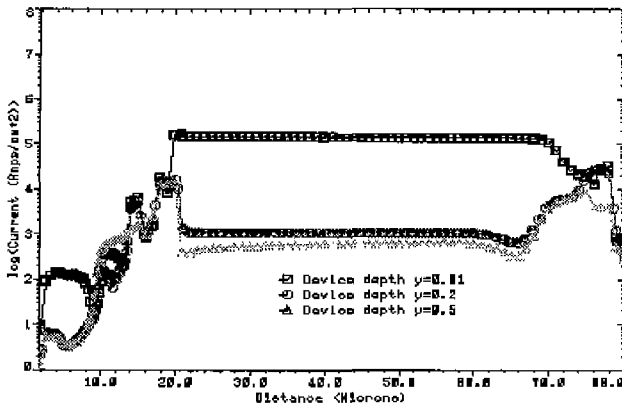
그림 2 기존 구조와 제안된 구조의 LIGBT의 I-V 특성
Fig. 2 The I-V characteristics of the conventional and the proposed LIGBTs



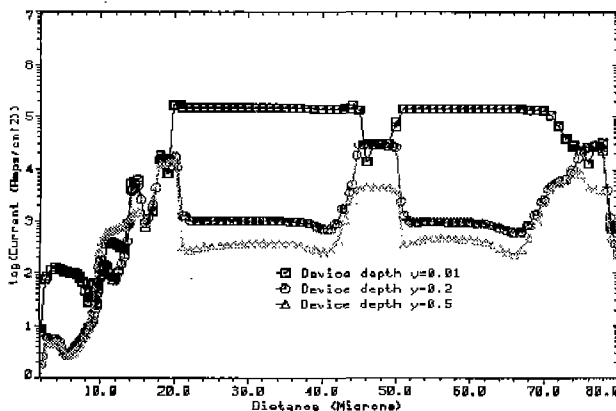
(a)



(d)



(b)



(c)

그림 3 기존구조와 제안된 구조의 IGBT의 전류밀도 특성 (a) 기존의 범용 IGBT구조의 전류밀도 특성 (b) 1개의 p 채널 게이트를 포함한 IGBT 구조의 전류밀도 특성 (c) 1개의 p+링과 2개의 p 채널 게이트를 포함한 IGBT 구조의 전류밀도 특성 (d) 5개의 p+링과 6개의 p 채널 게이트를 포함한 IGBT 구조의 전류밀도 특성

Fig. 3 The structures of (a) the conventional IGBT (b) the proposed IGBT with a p-channel gate (c) the proposed IGBT with two p-channel gates and a p+ ring (d) the proposed IGBT with six p-channel gates and five p+ rings

그림 3에서는 제안한 구조와 기존 구조의 턴 오프 특성을 보여주고 있다. 전력 IGBT에서 일반적으로 턴 오프 시간은 온 상태일 때 애노드 전류의 초기값의 10%가 될 때까지의 시간으로 정의하고 있는데, 기존의 범용 IGBT 소자의 턴 오프 시간은 수 μ s내외로 알려져 있고 본 논문에서는 1.6 μ s의 값을 가지는 것으로 나타나 있다. 그리고 제안된 구조에서는 0.2~0.8 μ s의 턴 오프 시간을 갖는데 기존의 구조보다 2~8배 정도 빠른 턴 오프 특성을 보여주고 있다.

제안된 구조에서는 p 채널 게이트가 존재하기 때문에 턴 오프시 n 채널 게이트와 캐소드에 가까운 p 채널 게이트를 동시에 오프시키는 턴 오프 메커니즘을 갖고 있다. 따라서 턴 오프시 소자의 표면에 남아있는 정공은 n- 베이스층의 전자와 재결합하기 보다는 p- 베이스층을 통해 캐소드로 포집되어, IGBT의 턴 오프 특성중 큰 단점으로 지적되고 있는 테일 전류 특성이 나타나지 않는 우수한 특성을 보여주고 있다. 또한 그림 5와 6은 기존의 구조와 제안된 구조중 2개의 p 채널 게이트를 가진 구조의 턴 오프시 정공전류 밀도인데, 턴 오프 이전의 정공전류밀도와 완전 턴 오프시 정공전류밀도를 나타내고 있다. 기존의 구조는 정공의 정공전류밀도 분포가 전체적으로 분포하면서 재결합되는 과정을 보여주고 있는 반면에, 제안된 구조에서는 정공전류가 캐소드로 포집되어 n 베이스층에서는 재결합되지 않기 때문에 그림 4에서 본 것처럼 테일 전류 현상이 나타나지 않는다.

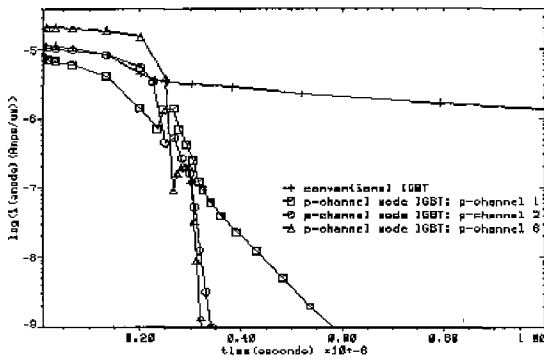
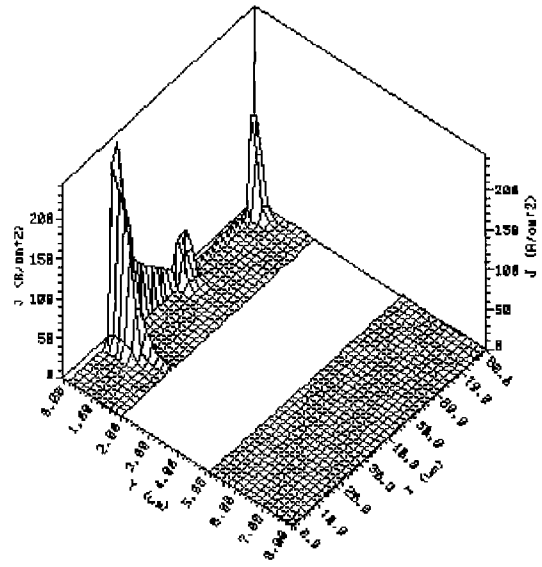
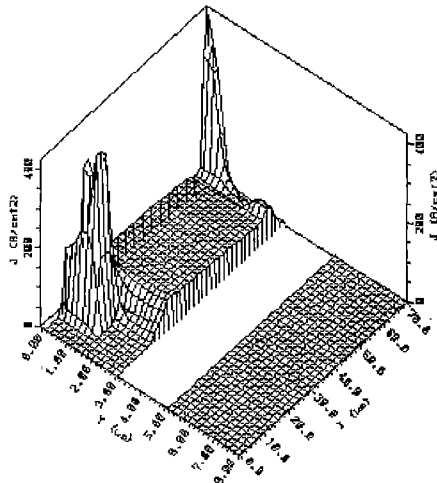


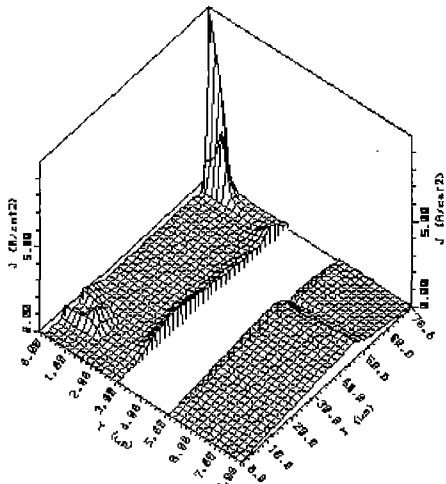
그림 4 기존구조와 제안된 구조들의 턴 오프 특성
 Fig. 4 The turn-off characteristics of the conventional and the proposed LIGBTs



(a)



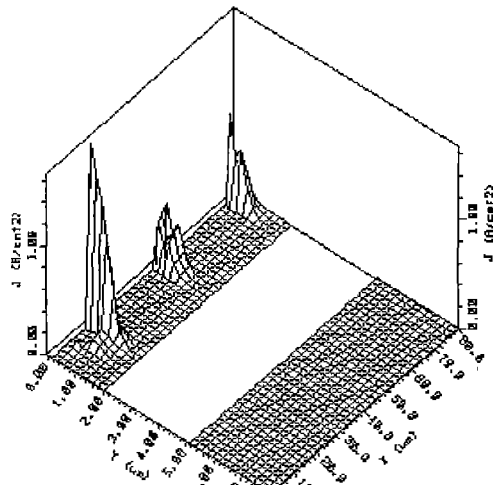
(a)



(b)

그림 5 기존 LIGBT의 턴 오프시 정공 전류 밀도
 (a) 턴 오프 직후의 정공 전류 밀도 (b) 완전 턴 오프시 정공 전류 밀도

Fig. 5 Hole current densities when the conventional LIGBT is turned off (a) Before turning off (b) After turning off



(b)

그림 6 2개의 p 채널 게이트를 갖고 있는 제안된 LIGBT의 턴 오프시 정공전류 밀도
 (a) 턴 오프 직후의 정공 전류 밀도 (b) 완전 턴 오프시 정공 전류 밀도

Fig. 6 Hole current densities when the proposed LIGBT with two p channel gates is turned off (a) Before turning off (b) After turning off

4. 결 론

본 논문에서는 전력 IC 용 LIGBT의 래치 업 특성과 턴 오프 특성을 개선하기 위하여 p 채널 게이트와 p+링을 추가시킨 새로운 구조의 LIGBT를 제시한 다음, 제시된 구조의 타당성을 검증하기 위해 2-D 시뮬레이터인 MEDICI를 이용하여 전기적인 특성을 분석하였다. 그 결과 래치 업을 발생시키는 전압은 20배 그리고 전류밀도에 있어서는 100배의 개선 효과를 가져올 수 있었으며, 특히 턴 오프 특성에 있어서는 2~8배정도의 빠른 특성을 보여주고 있으며, 동시에 LIGBT의 턴 오프 특성 중 가장 큰 단점이라고 할 수 있는 테일 전류 특성을 제거하여 고속 스위칭에 적합하다는 것을 알 수 있었다. 또한 n 버퍼층을 제거하여 제작 공정에 있어서도 마스크 한 장을 줄이는 실질적인 효과를 가져올 수 있었다.

참 고 문 헌

[1] B. J. Baliga, "Power Semiconductor Devices", PWS Publishing Company, 1996
 [2] B. J. Baliga, "Trends in Power Semiconductor Devices", proc. of IEEE, vol. 43, No. 10, pp. 1717-1731, 1996
 [3] S. K. Ghandi, "Semiconductor Power Device", New York : John Wiley and sons, pp. 46-50, 1977
 [4] B.K. Bose, "Power Electronics-A Technology Review", proc. of IEEE, vol. 76, No. 8, pp. 1303-1334, 1992
 [5] P. L. Hower, "Power Semiconductor Devices : An Overview", proc. of IEEE, vol. 76, No. 4, pp. 335-342, 1988
 [6] Hirofumi Akagi, "The State of the Art of Power Electronics in Japan ", IEEE Trans. on Power Electronics, vol. 13, No. 2, pp. 345-356, 1998
 [7] M. R Simpson, "Analysis of Negative Differential Resistance in the I-V Characteristics of Shorted-Anode LIGBT's", IEEE Trans. Electron Devices, Vol. 38, No. 7, July, 1991.
 [8] A. Bhalla, "Effect of IGBT Switching Dynamics on Loss Calculations in High Speed Applications", IEEE Electron Device Letters, vol. 20, No. 1, pp. 51-53, 1999
 [10] M. Saggio, "Innovative Localized Lifetime Control in High-Speed IGBT's", IEEE Electron Device Letters, vol. 18, No. 7, pp. 333-335, 1997
 [11] B. J. Baliga, "Comparison of Gold, Platinum, and Electron Irradiation for Controlling Lifetime in Power Rectifiers", IEEE Trans. Electron Devices, Vol. 24, No. 6, June, 1977.
 [12] Ettore Napoli, "Numerical Analysis of Local Lifetime Control for High-Speed Low-Loss P-i-N Diode Design", IEEE Trans. Power Electronic, Vol. 14, No. 4, pp.615-621, July, 1999.
 [13] V. Rainera, "Voids in Silicon Power Devices", Solid-State Electronics, vol. 42, No. 12, pp. 2295-2301, 1998

[14] TMA MEDICI : Two-Dimensional Device Simulation Program, Technology Modeling Associate, Inc., 1993
 [15] D. Disney, "Fast Switching LIGBT Devices Fabricated in SOI Substrates", proc. of ISPSD 92, pp. 48-51, 1992
 [16] D. S. Kuo, "Modeling the Turn off Characteristics of the Bipolar-MOS Transistor", IEEE Trans. Electron Devices, vol. EDL-6, No. 5, pp. 211-214, 1985
 [17] B. J. Baliga, "Fast Switching Insulated Gate Transistor", IEEE Trans. Electron Devices Letters, vol. EDL-4, No. 12, pp. 452-454, 1983
 [18] L. Sahesan, "Simulation of Transient Turn-off Characteristics of a Trench Emitter Insulated Gate Bipolar Transistor (IGBT)", proc. 20th International conference on microelectronics, vol. 2, pp. 697-700, 1995

저 자 소 개



강 이 구(姜 二 求)

1993년 고려대학교 전기공학과 졸업
 1995년 동 대학원 전기공학과 졸업(석사). 1999년 동 대학원 전기공학과 박사 수료. 1999년-현재 안양대학교 겸임교수
 주 관심분야는 파워 반도체 및 파워 IC
 Tel : 3290-4267,
 E-mail : keg@elec.korea.ac.kr



성 만 영(成 萬 永)

1974년 고려대 공대 전기공학과 졸업
 1976년 동 대학원 전기공학과 졸업(석사). 1980년 동 대학원 전기공학과 졸업(공학박). 1986년-1988년 일리노이 주립대학 전기공학과 Associate Professor. 현 고려대학교 전기공학과 교수. 현 한국 전기전자재료학회 부회장. 연구분야는 반도체 소자 모델링, 파워 소자 및 IC, 화합물 반도체
 Tel : 02-3290-3221
 E-mail : semicad@korea.ac.kr