

高電界 하에서 반도체 沿面放電 特性

(The Characteristics of Surface Flashover on the Semiconductor in High Electric-Field)

이세훈* · 이충식

(Se-Hun Lee · Sik-Chung Lee)

요 약

새로운 형태의 고체 상태의 대전력, 고속전자장치인 광전도 전력스위치(PCPS)의 개발과 대전력 및 고전압 상태에서 광전도 전력스위치의 고전계 동작특성을 규명하기 위해서 많은 연구가 행해지고 있다. 그러나 표면 섬락 현상이 확실하고 효과 있는 고속, 고압스위칭 소자의 실현을 방해하고 있다.

이러한 연면방전의 물리적 현상의 명백한 이해는 새로운 기술과 소자구성을 발전시키는데 매우 중요할 뿐 아니라, 고전계·고전압에서의 동작특성을 향상시키는데 있어서도 특별한 의미를 가진다. 뿐만 아니라 고전계, 고전력 소자들을 안전하게 동작할 수 있게 하기 위해서도 필요하다. 연면방전 및 표면 절연파괴현상은 반도체 벌크 파괴 전계보다 훨씬 낮은 전계에서 적용되어 파괴된 모든 소자들에서 발생하기 때문에 이러한 문제를 해결하는 매우 실용적인 방법이 소자의 표면을 절연물로 페시베이션하는 것이다. 페시베이션된 소자들은 고전계에서 언페시베이션된 소자에 비해 매우 좋은 동작특성을 나타내므로, 본 논문에서는 페시베이션된 소자와 언페시베이션된 소자간의 I-E특성과 파괴 메커니즘을 규명하고 더 나아가 다중 페시베이션에 대한 몇몇 특성 값을 제시한다.

Abstract

In the last decade, considerable efforts have been made to make a new class of solid state high power, high speed electronic device, namely, the Photo-Conductive Power Switch(PCPS), and to characterize the high-field performance of PCPS under high power, high voltage conditions. But the problem of surface flashover phenomena persist, preventing the realization of reliable and efficient high-speed, high voltage switching devices. It is essential to have a clear understanding on the physical processes behind the surface flashover problem, to develop new technologies and device architectures so as to fabricate PCPS that are capable of high-field, high-voltage. Also, it is imperative to identify new materials that could satisfy the requirements for high-field, high-power devices. Since surface flashover, surface breakdown phenomena is observed for all the devices that failed at the applied field much lower than semiconductor bulk breakdown field, surface passivation is considered one of the important practical methods to improve the high field performance of the devices.

Therefore, this paper was studied the main properties and mechanism of the semiconductor surface flashover before and after passivation under high electric-field.

Key Words : Photo-Conductive Power Switch(PCPS), surface flashover, surface breakdown phenomena

* 주저자 : 대원과학대학 전기과 부교수
Tel : 043-649-3525, Fax : 043-645-9170
E-mail : corona@daewon.ac.kr
접수일자 : 2001년 9월 7일
1차심사 : 2001년 9월 12일
심사완료 : 2001년 10월 17일

1. 서 론

최근 10년 동안 많은 노력으로 새로운 종류의 고

체상태 스위치인 광전도 전력스위치(Photo-Conductive Power Switch : PCPS)의 대전력 및 고전압 상태 하에서의 동작 특성이 많이 개선되어졌다. 그러나, PCPS-응용에서 일차적인 문제점은 평균자계 하에서 대부분의 연면방전이 반도체의 이론적 파괴 전압 값에 비해 너무도 낮다는 것이다. 현재, 연구진들은 실제 현실적인 고체상태 스위치를 만들기 위해 실험적이고도 이론적인 많은 연구를 하고 있다[1][2][3].

실리콘(Silicon)은 갈륨아세나이드(GaAs), 다이아몬드(Diamond), 카바이드(Carbide)등과 함께 이러한 응용에 가장 많이 사용되어지는 고체 소자로 대전력 및 고속 전자장치의 응용에 있어 유망한 결과를 보여 주고 있다. 전형적인 실리콘(Silicon)의 이론적 파괴 유지 전압값은 300[kV/cm]의 범위에 있지만, 실제 실리콘의 연면방전 임계값은 체적파괴(Bulk Breakdown)값에 비해 매우 낮다. 이러한 연면방전의 현상에 따른 문제가 고속, 고압 스위칭 소자들의 실현화를 어렵게 하고 있다[4][5].

실리콘-진공계에서 연면방전의 최초 실험은 Thomas와 Nunally에 의해 연구되어졌으며 연면방전은 탈착가스층에 생기는 파센파괴에 기인된다고 추측했다. 이들이 제안한 2가지 현상은 ㉞ 2차 전자 방출과 표면전하 및 전자 도약에 의해 절연물 표면으로의 전도, 즉 파센파괴로부터 생기는 탈착 가스가 표면에 입사한 전자에 의한 파괴, ㉟ 파센파괴에서 발생된 열로 인해 표면에서 가스가 탈착 되고 그로 인한 가스 때문에 표면을 통해 전도된다고 주장하고 있다. William 과 Peterkin은 주변 절연물이 연면방전 전계에 영향을 미치지 않는다는 가정 하에 연면방전이 반도체 표면 영역에서 이루어진다고 제안했다[6][7].

순수 실리콘의 이론적 파괴전압은 300[kV/cm]범위에 있지만 연면방전으로 인한 실질적 파괴전계는 매우 낮아 진공 10[kV/cm], 기중 30[kV/cm]의 파괴강도를 가지며 SF₆가스 혹은 액체 유전체에서는 80~100[kV/cm] 정도로 순수 실리콘의 이론적 파괴전압보다 현저히 낮은 값을 가진다. 또 다른 중요한 문제점은 연면방전으로 인한 표면 손상과 장기간 사용에 따른 소자의 안정성 확보에 있으며, 연면방전보다 낮은 전계에서도 반도체 소자에 손상이 있다는 것도 알려지고 있으므로 연면방전 현상에 관한 연구는 매우 중요하다[8][9].

이러한 문제를 극복하고 밀집된 고체상태 전력 스위치를 사용하기 위한 유일한 방법 중 하나가 고체 절연 물질(SiO₂나 Si₃N₄등)로 표면을 패시베이션 하는 것으로, 패시베이션된 소자들은 언패시베이션(Unpassivation)된 소자가 주위의 매질 SF₆과 액체 유전체에서의 파괴전압값 정도의 매우 높은 값으로 개선되어 기중이나 진공에서 사용할 수 있다. 고전계 반도체 소자를 패시베이션 하면 표면 누설전류를 최소화하고 연면방전을 억제시킬 수 있어, 일반 저전계 반도체 산업에서는 널리 사용되고 있지만, 고전계 상태에서 PCPS를 적용할 때의 정보는 아직 잘 알려져 있지 않다[10].

본 논문에서는 고전계 하에서 실리콘 연면방전의 특성을 개선시키기 위해 패시베이션된 실리콘의 연면방전 메커니즘을 실험을 통하여 파악하고 그에 대한 중요한 정보를 얻는데 목적을 둔다.

2. 실험장치 및 방법

2.1 실험 장치

실험 장치의 개략도는 그림 1과 같다.

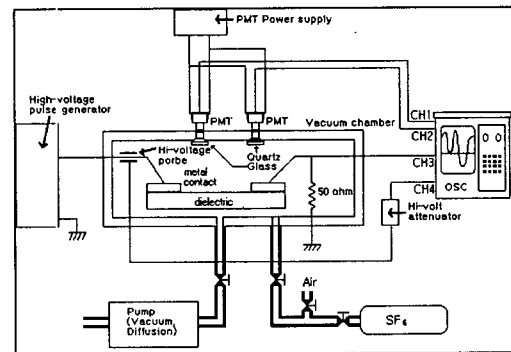


그림 1. 실험 장치 개략도
Fig 1. Schematic Diagram of the Experimental Setup

공급 전압은 0.39/3.0[μs]의 임펄스 전압을 사용했다. 고전계 여기 상태에서 샘플에 나타나는 광활동을 감도 0.4[V/lm]인 PMT(Photo Multiplier Tube : Hamamatu, R928, 185~900[mm])를 사용하여 측정하였다. 전압, 전류, 광방사 파형은 고속 디지털 오실로스코프(Lecroy LC 334[A] System ±250[V], 2GS/s, 4 Channel)를 이용하여 측정하였다. 소자 전류는 50

[Ω] 무유도 저항에 의해 측정되며, 실험 챔버는~10-7[Torr] 까지 배기 되고 3[bar]까지 가스 압축도 가능하다. 시험 샘플은 P형 실리콘(100Type, 5-10 [Ω], 4")을 사용하였다.

2.2 실험 방법

2.2.1 실리콘위 금속전극의 모양

실리콘 상의 금속전극의 모양은 아래 그림 2와 같은 모양을 가진다. 2(a)의 모양은 금속 접촉부의 날카로운 모서리에서 극히 높은 전계 상승 요인을 가지기 때문에, 본 실험에서는 2(b)와 같은 모양으로 마스크를 제작하여 실리콘 위에 증착 하였다.

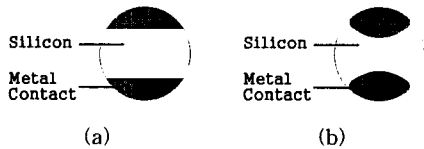


그림 2. 접촉 모양
Fig 2. Contact Shapes

2.2.2 패시베이션된 소자의 구조

실험 시료의 고전계 하에서의 표면효과를 얻도록 실리콘위에 SiO₂로 패시베이션 하였는데 그 구조는 그림 3과 같다. 패시베이션층 L의 길이는 언패시베이션된 금속전극간의 연면방전을 피하기 위해 d에 비해 약 3배 이상의 거리를 두었다.

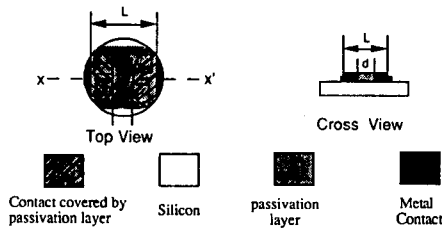


그림 3. 전극 구성
Fig 3. Electrode Configuration

2.2.3 부분방전 손실 저감을 위한 봉전극 구조

부분방전을 피하기 위하여 시편 전극과 접촉되는 봉전극을 그림 4와 같이 반구상으로 하였다.

봉전극을 반구상으로 했음에도 불구하고 전압 인가시 사진 1과 같은 부분방전 발생으로 인한 전극의 파괴 흔적을 발견할 수 있었다. 사진 1(a)는 전압인가

중이며 사진 1(b)는 접지 측의 전극 파괴 흔적이다.

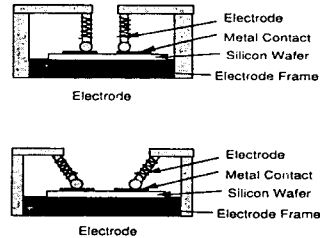
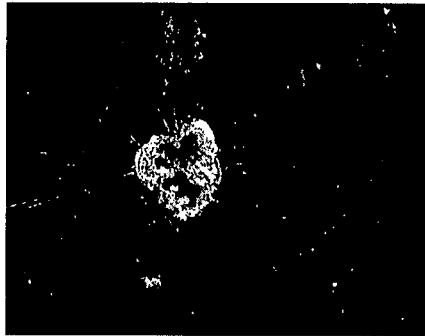


그림 4. 전극 구성
Fig 4. Electrode Configuration



(a) 전원인가 측



(b) 접지 측

사진 1. 부분방전 발생 후 전극 파괴
Photo 1. Electrode Failure after Partial Discharge

부분 방전시 발생하는 열화는 봉 전극과 실리콘 위에 증착 된 금속전극간의 미소공간에서 발생하는 것으로 이러한 미소공간을 없애기 위해 봉전극과 실리콘위 금속전극 사이를 그림 5와 같이 실버페이스트(Silver Paster)로 봉합했다. 그후 부분방전 발생에 의한 전극간 파괴는 거의 나타나지 않았다.

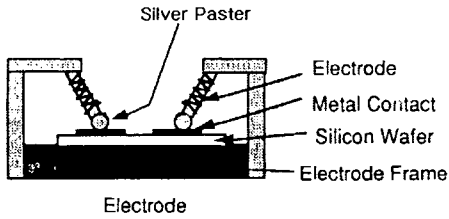


그림 5. 제안된 전극 구성
Fig 5. Composition of Proposed Electrode

3. 결과 및 고찰

3.1 Si₃N₄ 패시베이션된 소자들의 파괴

모든 시험은 1.5[atm] SF₆ 상태에서 이루어 졌으며, 갭은 2.3[mm], 패시베이션 두께는 약 1[μ m]이고 전극형상은 SiO₂ 패시베이션된 소자특성 시험 시와 같다.

3.1.1 소자의 I-E 특성

그림 6은 패시베이션된 소자와 언패시베이션된 소자간의 I-E특성을 나타낸 것이다.

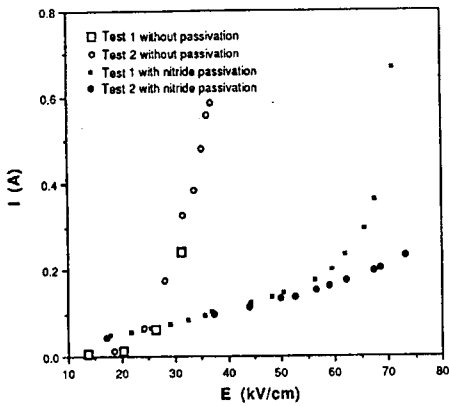


그림 6. 소자의 I-E 특성
Fig 6. I-E Characteristic of Device

그림을 보면 약 25[kV]에서 언패시베이션된 소자의 누설전류가 급격히 증가한다는 것을 발견할 수 있다. 25[kV]이상에서 언패시베이션된 소자의 누설전류는 급격히 상승하는 반면 패시베이션된 소자의 누설전류는 약 60[kV]정도까지는 완만하면서도 매우 선형적인 값을 가진다. 이러한 현상은 SiO₂ 패시베이션된 소자의 I-E특성과 거의 같은 현상을 나타낸다.

그러나, 같은 조건에서 패시베이션된 소자라 할지라도 그 특성값은 일정하지 않았다. 하지만 어떠한 현상이라 할지라도 패시베이션된 소자와 언패시베이션된 소자간의 현상의 차이는 경계면 메커니즘과 같이 한다. 60[kV/cm]에서 Si₃N₄로 패시베이션 하기 전에는 누설전류가 1.13[A](그림에서 벗어난 범위)에서 패시베이션된 후에는 0.08[A]로 줄어들었다.

다시 말해서 실리콘의 경계면 특성이 실리콘-Si₃N₄ 경계면 특성으로 바뀐다는 말이다. Si₃N₄ 박막의 패시베이션 효과는 아래의 그림에서 보듯 일정한 값이 아니라 할지라도 누설전류의 급격한 상승이 일어나기 전에는 응답이 오믹응답(Ohmic Response)이었다. 이러한 결과는 표면 패시베이션된 모든 소자에서 공통적으로 얻어지는 응답으로 일관된 현상을 얻을 수 있었다.

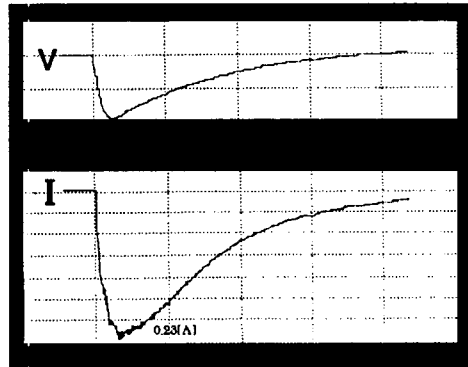


그림 7. 패시베이션 후의 파형
Fig 7. Waveform of Device after Passivation

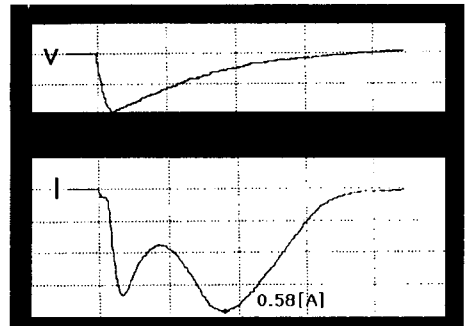


그림 8. 패시베이션 후의 파형
Fig 8. Waveform of Device after Passivation

71.5[kV/cm]에서 전류와 전압은 Ohmic 응답이었고

73[kV/cm]까지 승압 했을 경우에도 여전히 Quasi-Ohmic 응답을 얻을 수 있었다. 이때의 전류응답은 0.23[A]로 그림 7에 나타내었다.

한편 그림 8은 37[kV/cm]에서 페시베이션 하기전의 응답 파형을 나타낸 것으로 Non-Ohmic 전류가 약 0.58[A]로 페시베이션후의 상태와 비교해볼 때 그 특성이 상당히 떨어짐을 알 수 있다.

3.1.2 Si₃N₄박막의 저항력과 페시베이션 효과

지금 까지 실험에 이용된 Si₃N₄는 고순도의 아르곤 환경에서 제작된 Si₃N₄이었다.

표 1. 니트로겐 주입압에 따른 저항력
Table 1. Measurement Results of Nitride film Resistivity

Film Resistivity [Ω-cm]	N ₂ partial pressure[Torr]
1.9 × 10 ³	0(No N ₂ introduced)
2.8 × 10 ²	1 × 10 ⁻⁴
9.5 × 10 ⁷	1 × 10 ⁻⁴
3.3 × 10 ⁸	1 × 10 ⁻³
2.1 × 10 ²	1.2 × 10 ⁻⁴
1.9 × 10 ⁴	2 × 10 ⁻⁴

하지만 이번 장에선 스퍼터링 환경중에 N₂를 주입함으로써 Si₃N₄가 증착될 때 각각 다른 저항력을 가지게 하여 그 특성을 알아본다.

순수 아르곤 환경에서 Si₃N₄박막은 구조적으로 보면 보통 니트로겐이 부족하다. 이렇게 얻어진 박막은 Si₃N_{4-x} 구조와 비슷한 막이다. 그러나 여기서 그냥 Si₃N₄로 부르기로 한다. 니트로겐 가스 주입 없이 스퍼터링으로 얻어진 1[μm]두께의 페시베이션박막은 전체적으로 어두운 검은색을 띠면서 상대적으로 낮은 저항력을 가진다. 순수한 Si₃N₄박막은 투명하고 완전한 절연막이다. 그러므로 스퍼터링 과정에 니트로겐가스를 주입함으로써 점점 더 높은 저항력과 더 밝은 막의 색을 얻을 수 있었다. 표 1은 니트로겐(Nitrogen) 주입압에 따른 저항력을 나타낸 것이다.

그림 9와 그림 10은 박막의 저항값이 페시베이션 효과에 중요한 영향을 미친다는 것을 나타내고 있다.

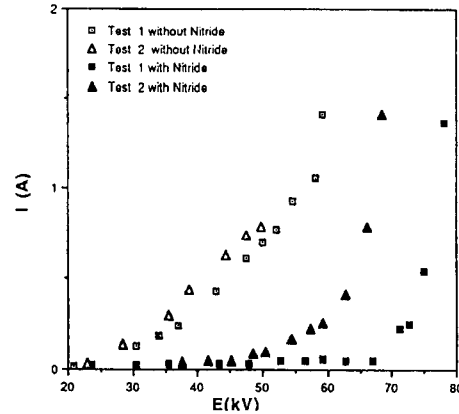


그림 9. 소자의 I-E 특성
Fig 9. I-E Characteristic of Device

그림 9는 막의 저항력이 2.1 × 10²[Ω-cm], 니트로겐압이 1.2 × 10⁻⁴[Torr]일 때의 I-E곡선이며, 그림 10은 저항력 3.3 × 10⁸[Ω-cm], 니트로겐압이 10⁻³[Torr]일 때의 I-E곡선이다.

그림 9와 10은 곡선이 많은 차이가 난다. 그림 10에서 누설전류가 더 높은 값을 가지는데 이 이유는 페시베이션박막이 다른 Si₃N₄박막보다 훨씬더 높은 저항력을 가지기 때문이다. 누설전류의 측면에서 보면 박막이 작은 저항력을 가질수록 더 나은 페시베이션 효과를 가져온다는 것을 알 수 있다.

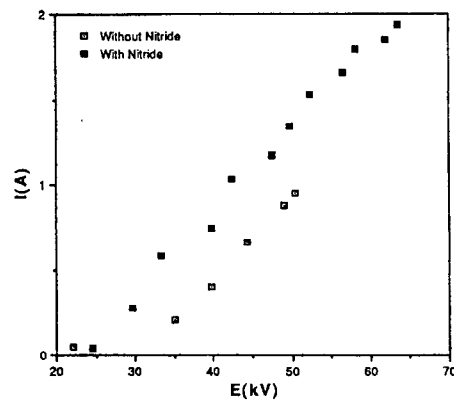


그림 10. 소자의 I-E 특성
Fig 10. I-E Characteristic of Device

그 이유는 전계 집중계수의 감소 때문이다. 그림 11은 박막 저항력과 전계 집중계수간의 시뮬레이션 결과를 보여준 것이다.

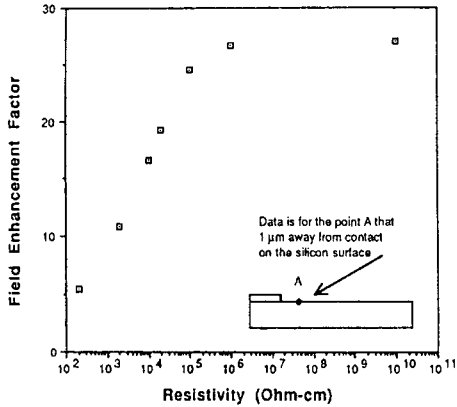


그림 11. 전계 집중계수와 박막 저항력
Fig 11. Field Enhancement Factor vs. Film Resistivity

전계 집중계수는 막저항력이 낮아져서 높은곳으로 갈수록 5에서 25로 증가하는 것을 볼 수 있다. 그러나 Non-Ohmic의 값은 이러한 막의 저항력과는 관계 없고 단지 페시베이션의 유무에 따라 그 값이 달라질 뿐이다.

3.1.3 표면 페시베이션후의 회복효과

언페시베이션된 소자는 약 35[kV]정도에서 전류 0.08[A]의 Quasi-Ohmic의 전류응답을 나타내었다. Non-Ohmic 응답은 약 40[kV]근처에서 나타났는데 그 값은 약 0.12[A] 이었다.

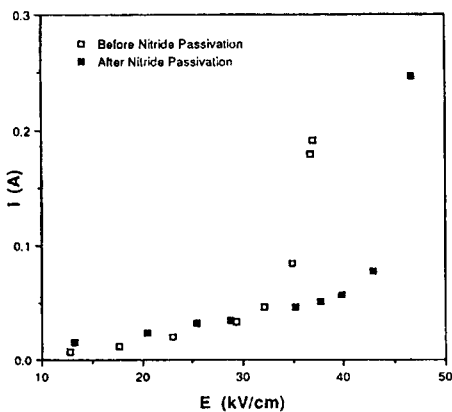


그림 12. 소자의 I-E 특성
Fig 12. I-E Characteristic of Device

페시베이션층의 회복효과와 고전계간의 관계를 알아보기 위해 Non-Ohmic 상황을 거친 시편 위에 다시 페

시베이션을 하였다. 그후 35[kV]에서 소자에 흐르는 전류는 다시 0.05[A]로 줄어들었으며 Quasi-Ohmic응답을 얻었다. 하지만 이렇게 페시베이션을 하였다 할지라도 손상을 입지 않은 소자에 페시베이션했을 경우와 비교할 때 그 값은 완전 회복이라고 할만한 값이 아니었다.

그림 12는 언페시베이션된 소자와 손상 입은 후 다시 페시베이션 한 후의 I-E값을 나타낸 그림이다. 언페시베이션된 소자는 약 35[kV/cm], 페시베이션된 소자는 약 46[kV/cm]에서 Non-Ohmic 응답을 나타내었다. 결국 손상된 소자에서는 페시베이션을 한다고 하더라도 완전한 회복효과는 얻을 수가 없었다.

3.2 에폭시 페시베이션과 다중 페시베이션

페시베이션 구조는 그림 13과 같이 이루어지며, 두 가지 방법으로 페시베이션된다. 하나는 소자가 직접적으로 에폭시에 의해 페시베이션 되는것이고 다른 하나는 SiO₂나 Si₃N₄박막을 먼저 페시베이션 한 후 그 위에 에폭시층을 입히는 것이다.

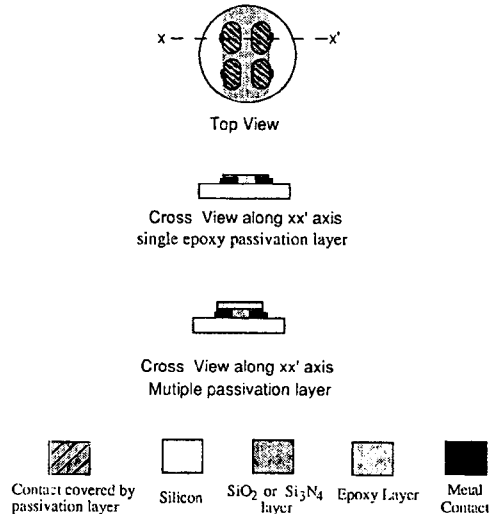


그림 13. 에폭시 페시베이션된 소자의 구조
Fig 13. Structure of Epoxy Passivated Devices

앞에서 SiO₂나 Si₃N₄로 페시베이션된 소자는 그 박막이 두꺼우면 두꺼울수록 더 높은 파괴전압을 가진다는 것을 알았다. 하지만 이러한 물질로 예를 들어 10[μm]정도의 두께를 얻기란 시간적으로 그리고 경제적으로 매우 곤란한 문제이다. 그러나 이러한 물질을 대체하는 에폭시는 작은 범위정도의 층을 얻기

란 그리 힘든 게 아니다. 만약 매우 적당한 에폭시가 발견된다면 표면 패시베이션의 과정은 간단해질 뿐 아니라 그 특성 또한 개선될 수 있을 것이다.

3.2.1 실리콘 표면에서의 직접 에폭시 패시베이션

패시베이션층의 두께는 약 2~3[mm] 정도로 에폭시를 소자에 직접 증착한 경우이다. 패시베이션전의 소자는 SF₆환경에서 시험되며, 에폭시 패시베이션된 소자는 기중에서 실험되어 졌다. 그림 14에서 이에 대한 I-E곡선을 나타내었다.

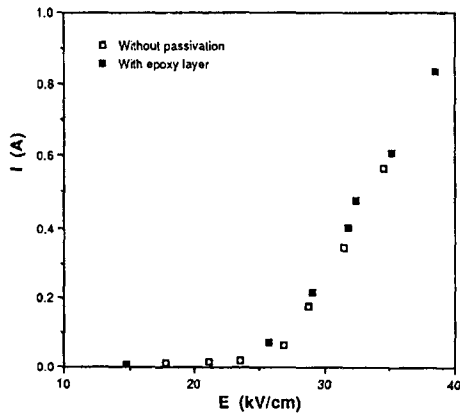


그림 14. 소자의 I-E 특성
Fig 14. I-E Characteristic of Device

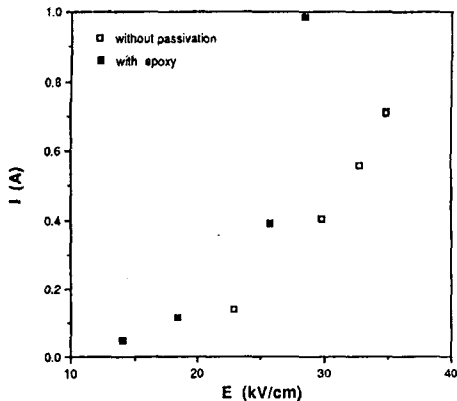


그림 15. 소자의 I-E 특성
Fig 15. Characteristic of Device

에폭시로 소자를 패시베이션 한 경우가 그렇지 않은 경우보다 더 큰 전류와 더 낮은 파괴전압을 나타내었다. 이는 에폭시가 가지고 있는 특성 때문이라고 여

겨지는데 에폭시가 소자를 열화 시키기 때문인 것 같다. 에폭시는 조그마한 그래파이트(흑연) 조각으로 구성된 특수한 액체 용해제로 희석될 때, 그 조각들은 액체 용해제로부터 완전히 분리된다. 따라서, 에폭시가 소자 표면에서 처리될 때 그래파이트 조각이 일정한 밀도로 올려지지 않기 때문에 그 두께 역시 일정하다고 볼 수가 없다. 하지만 그림 15와 같이 표면에 잘 도포가 된다면 소자의 열화를 초래하지 않기 때문에 패시베이션 전과 거의 같은 값을 가질 수 있다.

3.2.2 다중 패시베이션

앞장에서 언급한 바와 같이 에폭시는 소자 표면에 패시베이션하는 것이 매우 쉬울 뿐 아니라 소자를 열화 시키지 않고도 증착할 수 있기 때문에 다중 패시베이션구조에 이를 도입하였다.

3.2.2.1 SiO₂박막 상부의 에폭시 층

소자는 약 1[μm]두께의 SiO₂로 패시베이션되며 SiO₂로 패시베이션 전과 후의 실험은 SF₆내에서 측정한다. 그후에 약 1~2[mm]정도의 두께로 에폭시를 증착 시킨 후 기중에서 측정하며, 모든 실험은 Non-Ohmic 상태 이전에 멈추는걸 전제로 한다. 그림 16과 17은 대표적인 2개의 값을 나타낸 것이다.

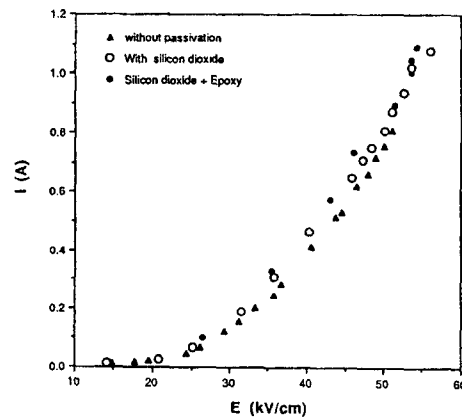


그림 16. 소자의 I-E 특성
Fig 16. I-E Characteristic of Device

소자의 I-E 곡선이 SiO₂로 패시베이션된후에 더 나은 값으로 개선되지만 에폭시로 패시베이션후와는 별다른 차이를 보이지 않는다. 그러나 SiO₂로 패시베이션된 소자는 전계가 50[kV/cm]보다 높을 때 기중에서 광활동이 관측되는 반면 에폭시로 다시 패시

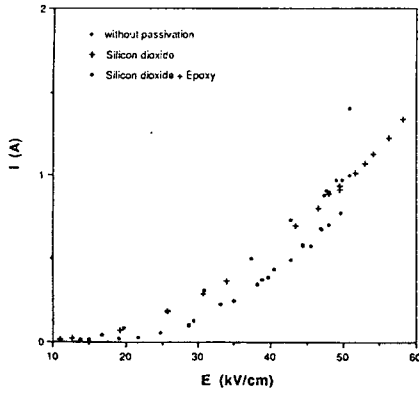


그림 17. 소자의 I-E 특성
Fig 17. I-E Characteristic of Device

베이션된 소자에서는 광활동이 줄어드는 것이 관찰되었다. 이러한 현상 역시 앞장에서 언급한바와 같이 에폭시의 특성 때문으로 여겨진다. 기중에서 소자가 에폭시 페시베이션이후에 55[kV/cm]까지 파괴 없이 진전할 수 있었던 것은 바로 에폭시가 SiO₂와 공기와의 관계를 차단하여 Si-SiO₂만의 관계를 유지할 수 있게 해주었기 때문이다. 결국 파괴는 Si-SiO₂ 경계면에 의해서 결정된다는 것을 알 수 있다.

3.2.2.2 Si₃N₄막막 상부의 에폭시 층

이것 역시 위의 실험과 동일한 조건으로, 소자는 약 1[μm]두께의 Si₃N₄로 페시베이션되며 Si₃N₄로 페시베이션 전과 후의 실험은 SF₆내에서 측정한다. 그 후에 약 1~2[mm]정도의 두께로 에폭시를 증착시킨 후 기중에서 측정하며, 모든 실험은 Non-Ohmic 상태 이전에 멈추는걸 전제로 한다. 그림 18과 19는 대표적인 2개의 값을 나타낸 것이다.

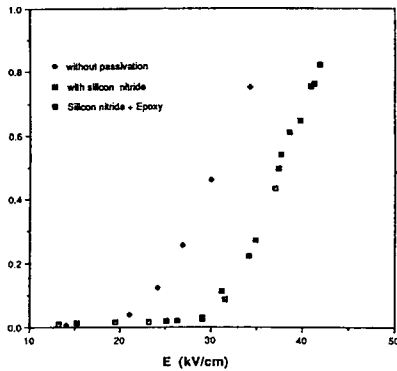


그림 18. 소자의 I-E 특성
Fig 18. I-E Characteristic of Device

그림 18의 곡선을 보면 소자의 누설전류는 Si₃N₄로 페시베이션된 후에 개선되었고, 에폭시로 페시베이션 한 후 기중에서 실험한 결과치와 같은 값을 나타내었다. 반면 그림 19에서는 에폭시 페시베이션 이후에 열화됨을 보여주는데, 누설전류는 더 높아지고 Non-Ohmic 응답은 44[kV/cm]에서 30[kV/cm]로 감소된다. 즉 에폭시 페시베이션의 특성 때문에 불규칙한 값을 가진다는 것을 알 수 있다.

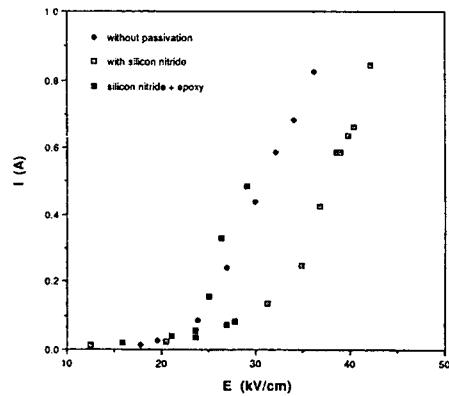


그림 19. 소자의 I-E 특성
Fig 19. I-E Characteristic of Device

그러나 한가지의 소자를 다른 조건(진공, 기중, SF₆)에서 실험했을 경우에는 그림 20에서 나타난 것과 같이 똑같은 I-E곡선을 나타낸다. 이것은 결국 에폭시와 주위 가스의 경계면 때문에 열화가 되는 것이 아니라, 에폭시는 실리콘과 유전체 물질이 서로만의 관계로서 일어나게 해주는 역할을 한다는 것을 알 수 있다.

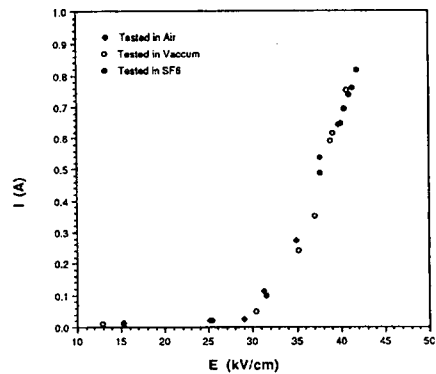


그림 20. 에폭시 층을 가진 소자의 I-E 특성
Fig 20. I-E Characteristic of Device with Epoxy Layer

4. 결 론

본 논문에서는 실리콘을 주위 매질(진공, 기중, SF₆)에 따라 다중 페시베이션에서의 연면방전 특성과 경계면 파괴 메커니즘에 대해 분석·규명해 본 결과는 다음과 같다.

- (1) 기중과 진공에서의 절연파괴는 SiO₂나 Si₃N₄로 페시베이션한 것이 실리콘-기중 과 실리콘-진공 경계면 환경 보다 훨씬 우수하다.
- (2) 소자의 파괴는 실리콘과 접하는 유전체 박막을 통과한 전계침투로 인해 주위 유전체와 경계면에서 발생하는 연면방전 때문이다.
- (3) 페시베이션된 소자들은 다른 모든 유전체 환경에서도 거의 같은 I-E 특성 값을 나타낸다.
- (4) 에폭시로 다중 페시베이션을 했을 경우, 에폭시가 주위의 환경을 차단해주는 역할을 하므로 결국 어떠한 환경에서도 실리콘과 접하는 유전체 경계면에서의 현상만 발생한다.

이상의 결론으로부터 반도체 표면에 페시베이션으로 인하여 우수한 특성을 나타내고 매우 중요한 역할을 한다는 사실을 제시할 수 있다. 특히, 다중 페시베이션에서 간단한 에폭시 페시베이션은 보다 양호한 특성을 나타내므로 급후 다중페시베이션에 대한 연구를 수행함으로써 고체 유전체에서의 연면방전을 억제하는데 많은 유익한 정보를 제공할 것으로 사료된다.

References

- [1] G. M. Loubriel, M. W. O'Mally, and F.J.Zutavern, "Toward Pulsed Power Uses for Photoconductive Semiconductor Switches : Closing Switches," in Digest of Technical Papers, 6th IEEE Pulsed Power Conference, P. H. Turchi and B. H. Bernstein eds.(IEEE, New York, 1987), pp.145-148, 1987.
- [2] G. Mourou and W. Knox, Appl. Phys. Lett. 35, pp. 492, 1979.
- [3] K. H. S. Dchoenbach, B. K. Lakdawala, K. B. J. Schmitt, and T. J. Powers, in Proceedings of SPIE, Los Angeles, CA(SPIE, Bellingham, WA, 1988), Vol. 871, 1988.
- [4] S. K. Chandhi, VLSI Fabrication Principles, New York, John Wiley & Sons, Inc., 1983.
- [5] R. J. Feuerstein, B. Senitzky, J. Appl. Phys. 70(1), 1 July 1991.
- [6] B. L. Thomas and W. C. Nunnally, "Investigation of Surface Flashover in Silicon Photoconductive Power

Switched", Processings of the 6th IEEE Pulsed Power Conference Arlington, VA, pp.149-52, 1987.

- [7] P. F. Williams and F. E. Peterkin, "A mechanism for Surface Flashover of Semiconductors", Proceedings of the 7th IEEE Pulsed Power Conference, Monterey, CA, pp.890-896, 1989.
- [8] G. M. Loubriel, M. W. O'Mally, and F.J.Zutavern, "Toward Pulsed Power Uses for Photoconductive Semiconductor Switches : Closing Switches," in Digest of Technical Papers, 6th IEEE Pulsed Power Conference, P. H. Turchi and B. H. Bernstein eds.(IEEE, New York, 1987), pp. 145-148, 1987.
- [9] B. L. Thomas and W. C. Nunnally, "Recent Developments in the Investigation of Surface Flashover on Silicon Photoconductive Power Switches", Proceedings of the 7th IEEE Pulsed Power Conference, Monterey, CA, pp. 890-896, 1989.
- [10] W. R. Runyan, K. E. Bean, Addison-Wesley Publishing Company Semiconductor Integrated Circuit Processing Technology, 1990.

◇ 저자소개 ◇

이 세 훈 (李世薰)

1955년 8월 15일생. 1982년 숭실대학교 전기공학과 졸업. 1987년 건국대학교 대학원 전자공학과 졸업(석사). 2000년 경남대학교 대학원 전기공학과 졸업(박사). 현재 대원과학대학 전기과 부교수.

이 충 식 (李忠植)

1966년 3월 21일생. 1991년 경남대학교 전기공학과 졸업. 1993년 경남대학교 대학원 전기공학과 졸업(석사). 2000년 경남대학교 대학원 전기공학과 졸업(박사). 현재 대원과학대학 전기과 조교수.