

## Nb/AIO<sub>x</sub>/Nb 조셉슨 접합을 이용한 초전도 디지털 소자의 제작

박 종 혁  
한국광기술원 광통신팀

### 1. 서 론

실리콘 반도체 트랜지스터를 기본 소자로 이용한 디지털 전자공학 분야는 지난 수십 년간 눈부신 발전을 지속하여 왔으며, 이러한 발전의 기본 토대에는 초 미세 회로 제작기술을 기반으로 하는 소자 고집적화 기술의 발달이 큰 몫을 차지하였다. 즉, 반도체 회로의 경우 현재까지는 Moore의 법칙에 따라 18~24개월마다 약 두 배로 집적도가 증가하여왔고 그에 따라 소자 동작속도도 획기적으로 빨라졌다. 그러나 이러한 발전 추세가 앞으로도 계속 지속될 수 있을 것인가에 대한 심각한 의문이 최근 심도 있게 제기되고 있으며, 반도체산업 분야에서 권위 있는 U.S. Semiconductor Industry Association (SIA)의 예측 결과에도 그러한 사항이 잘 나타나있다 [1]. 표 1은 2012년까지의 반도체 회로 성능 향상에 대한 전문가들의 예측을 토대로 SIA가 발표한 Technology Roadmap에 수록된 디지털 회로 성능의 전망 값들이다.

표 1. 반도체 디지털 회로 성능에 대한 SIA Roadmap의 예측값.

Year	1999	2003	2006	2009	2012
Minimum feature size (nm)	140	100	70	50	35
Maximum integration (bits/chip)	1G	4G	16G	64G	256G
Power supply voltage $V_{DD}$ (volts)	1.5-1.8	1.2-1.5	0.9-1.2	0.6-0.9	0.5-0.6
Clock frequency $f$ (GHz)	0.6-1.2 5	0.8-2.1	1.1-3.5	1.4-6.0	1.8-10

소자의 집적도 면을 먼저 살펴보면 최소 폭이 100nm 이하인 나노소자 제작기술이 순조롭게 개발될 수 있다면 집적도는 2012년

경에는 256Gbits/chip으로 현재까지의 발전 추세를 계속 이어갈 수 있을 것으로 전망되었다. 그러나 디지털 소자의 성능을 결정하는 또 하나의 중요한 요소인 동작속도 면에서는 2012년경에도 최대 10GHz를 넘기 힘들 것으로 전망되어 현재의 수준에 비해 탁월한 속도의 향상은 기대하기 어려울 것으로 예측되었다.

동작속도 면에서의 이러한 한계는 반도체 트랜지스터 자체의 스위칭 속도와는 무관하다 [2]. 실제로 반도체 디지털 회로 클럭주기의 대부분은 각 논리게이트 사이의 연결배선들에 의한 capacitance를 트랜지스터 출력전류로 재충전하는데 사용되며, 그 capacitance의 크기( $C$ )는 회로 집적도에 따라 결정되는 연결배선의 길이에 의해 고정된다[1, 3]. 따라서 재충전 속도를 높이는 유일한 수단은 트랜지스터 출력전류( $I$ )를 높이는 방법인데 이것은 아래 식에 나타난 바와 같이 소모전력을 크게 상승시킨다.

$$P \approx CV_{DD}^2 f \propto I^2 \quad (1)$$

여기서  $V_{DD}$ 는 표 1에 있는 power supply voltage이고  $f$ 는 클럭주파수를 나타낸다.

이러한 소모전력은 현재 사용되고있는 소자들에서도 매우 큰 편으로 프로세서의 경우 megaflops(million floating-point operation per second)당 약 0.1W 정도가 된다[4, 5]. 이로부터 최소 폭 0.35 $\mu$ m 기술로 제작되어 600MHz로 동작하는 프로세서 칩의 소모전력을 계산하면 약 60W로 백열전구의 전력 소모량과 같다[6]. 열을 발산할 수 있는 프로세서 칩의 표면적이 전구에 비하여 훨씬 작다는 점을 감안하면 과열 방지를 위한 칩 냉각기술은 매우 어려운 문제이며, SIA Roadmap도  $\sim 3 \times 3$ cm<sup>2</sup> 칩에서 175W 이상의 소모전력을 냉각시키기는 2012년까지도 힘들 것으로 전망하고 있다. 따라서 이러한 발열문제를 해결하지 못한다면 자체 스위칭

속도가 100GHz[7] 이상인 새로운 트랜지스터나 공진 터널링 다이오드[8]와 같은 새로운 반도체 소자를 사용하더라도 VLSI 회로의 클럭주파수는 수 GHz를 넘기 어려울 것으로 전망된다.

반도체 디지털 소자에서 전력 소모량을 냉각이 가능한 수준으로 제한하면서 동작속도를 증가시키려면 power supply voltage  $V_{DD}$ 를 줄이는 것이 유일한 방법이며 이를 위해서는 MOSFET의 게이트 길이를 짧게 하여 트랜지스터 횡단저항 값을 작게 만들어야 한다. 그러나 이것은 표 1에서도 알 수 있듯이 최소 폭이 100nm 이하인 나노구조의 제작 공정이 필요한 매우 어려운 기술이고, 또한 x-ray나 e-beam lithography와 같은 고가의 장비를 필요로 한다. 그리고 보다 중요한 것은 그러한 초 미세 구조의 소자의 제작에 성공하더라도 그 동작 속도는 10GHz 이하로 개선효과가 그리 크지 않을 것으로 예측된다는 점이다.

반면에 초전도 조셉슨 접합을 이용한 집적 회로에서는 picosecond 시간 폭의 전기적 펄스가 초전도 미세 선을 통하여 각 게이트들 사이를 광속에 가까운 속도로 이동하므로 신호의 감쇄나 분산[9, 10], 또는 혼선[11] 등은 거의 무시할 수 있고, 각 게이트간 연결배선의 충전 문제도 발생하지 않는다. 또한 조셉슨접합 자체가 picosecond 펄스를 발생시키는 능동소자의 역할이 가능하고, 접합 임피던스와 초전도 미세 선 임피던스를 매칭시켜 손실 없는 효과적인 신호전달이 가능하다. 그리고 보다 중요한 것은 신호전압의 크기가 약 1mV로 반도체 회로에 비해 약 1000분의 1 수준으로 작아 조셉슨 접합 내에서의 소모전력이 대단히 작다. 따라서 소자의 집적도를 획기적으로 증가하여도 발열에 따른 소자의 냉각은 크게 문제가 되지 않는다.

Nb/AlO<sub>x</sub>/Nb 조셉슨 접합을 이용한 초전도 집적회로 제작공정은 반도체 집적회로 제작공정에 비해 비교적 간단하여 최근에는 수천 개 이상의 조셉슨 접합이 집적된 복잡한 디지털 회로도 높은 균일성과 수율을 가지면서 제작할 수 있을 정도로 기술 수준이 성숙되었다[12-14].

현재 제작되고 있는 초전도 디지털 회로의 대부분은 damped 조셉슨 접합에서 발생

되는 양자화된 전압펄스의 형태로 정보가 전달되는 단자속 양자 로직의 구조를 가지고 있다[15-17]. 최근까지는 현재 사용되고 있는 반도체 회로의 선 폭에 비해 비교적 넓은, 최소 폭 약 3 $\mu$ m의 표준 제작 공정이 Nb 단자속 양자 회로의 제작에 사용되었다. 그러나 이렇게 넓은 선 폭의 회로임에도 불구하고 제작에 성공한 많은 집적회로의 클럭 속도는 이미 20GHz 이상을 넘고있다[18-21]. 그리고 접합의 최소 폭을 보다 작게 줄인다면 동작속도는 물론 회로 집적도도 획기적으로 증가하리라고 예상되고 실제로 마이크로미터 이하의 접합 폭을 가지는 조셉슨 접합을 이용하여 간단한 단자속 양자 회로를 제작, 측정된 결과 동작속도가 무려 700GHz 이상에 도달하였다[22]. 따라서 전 세계의 중요한 초전도 디지털 소자 제작팀들은 보다 작은 면적의 조셉슨 접합을 제작하기 위한 장비 개선을 최근 서두르고 있다[23].

본 논문에서는 먼저 Nb 단자속 양자 디지털 소자의 표준 제작 공정에 대하여 자세히 살펴보고자 한다. 다음으로는 소자의 동작속도 및 집적도 향상을 위해 필요한 마이크로미터 이하의 초 미세 접합을 제작하는데 사용되는 진보된 기술에 대하여 설명할 예정이다.

## 2. 표준 제작공정

그림 1은 Nb 단자속 양자 소자의 표준 제작공정 및 제작이 완료된 후의 소자의 단면도를 나타낸 것으로 Nb/AlO<sub>x</sub>/Nb 접합, 두 개의 Nb 배선 층, Nb 접지면, SiO<sub>2</sub> 절연 층 및 Mo shunt 저항으로 구성되어 있다. Nb, Al 및 Mo 등의 금속성 박막은 DC 마그네트론 스퍼터링을 이용, SiO<sub>2</sub>는 RF 마그네트론 스퍼터링을 이용하여 증착한다. 박막의 패턴은 포토리소그래피에 의한 PR(photoresist) 패턴 및 RIE(reactive ion etching)와 이온 밀링 등의 식각 방법을 사용한다. 마이크로미터 이하의 초 미세 접합 제작을 위한 PR 패턴에는 5 $\times$ 1 stepper가 주로 사용된다.

공정의 제 1단계는 표면이 산화 처리된 실리콘 기판 위에 Nb 접지면( $\sim$ 100nm)을 증착한 후 패턴하는 과정이다(그림 1-(a)).

## 초전도 디지털 진자소자 특집

증착된 Nb 박막은 PR (photoresist) 패터닝 과정을 거친 후  $CF_4$ 를 사용한 RIE로 필요한 부분만 남기고 식각한다.

제 2단계에서는 절연용  $SiO_2$  박막( $\sim 150nm$ )을 증착한 후  $CHF_3$ 와 산소의 혼합가스를 이용한 RIE 방법으로 식각하여 Nb 하부전극(또는 하부배선)과 접지면 사이의 접촉통로를 형성한다(그림 1-(b)).

제 3단계에서는 웨이퍼를 다시 진공챔버에 넣고 RF Ar 플라즈마를 이용하여 표면을 클리닝 한 후, Nb( $\sim 200nm$ )과 Al( $\sim 10nm$ )을 순차적으로 증착한 다음, Al을 산화시켜  $AlO_x$  층을 형성하고, 마지막으로 Nb( $\sim 100nm$ )을 증착한다(그림 1-(c)). Al의 산화에는 Ar과 1%- $O_2$ 의 혼합가스를 이용한 자연산화 과정이 이용되는데 보통, 가스의 압력은 수 torr, 기판온도  $30^\circ C$ , 산화시간 1시간 정도의 조건이 사용되며 이러한 조건에 따라 접합의 임계전류밀도( $J_c$ )가 결정된다.

제 4단계는 전 단계에서 in-situ 방식으로 증착한 Nb/ $AlO_x$ /Nb 삼층박막을 식각하여 하부배선 및 접합을 형성하는 과정으로 Nb의 식각에는  $SF_6$ 를 이용한 RIE를 사용하고 Al- $AlO_x$  장벽층의 식각에는 Ar 이온 밀링이 주로 사용된다(그림 1-(d)~(e)).

제 5단계는 하부배선과 상부배선 사이의 절연막  $SiO_2$ ( $\sim 100nm$ )를 RF 마그네트론 스퍼터링으로 증착하는 과정으로, 요철이 심한 계단 모서리 부근에 증착이 잘 되지 않는 소위 "shadowing effect"를 방지하기 위하여 보통 기판 쪽에 수십 볼트의 마이너스 전압을 가한다(그림 1-(f)).

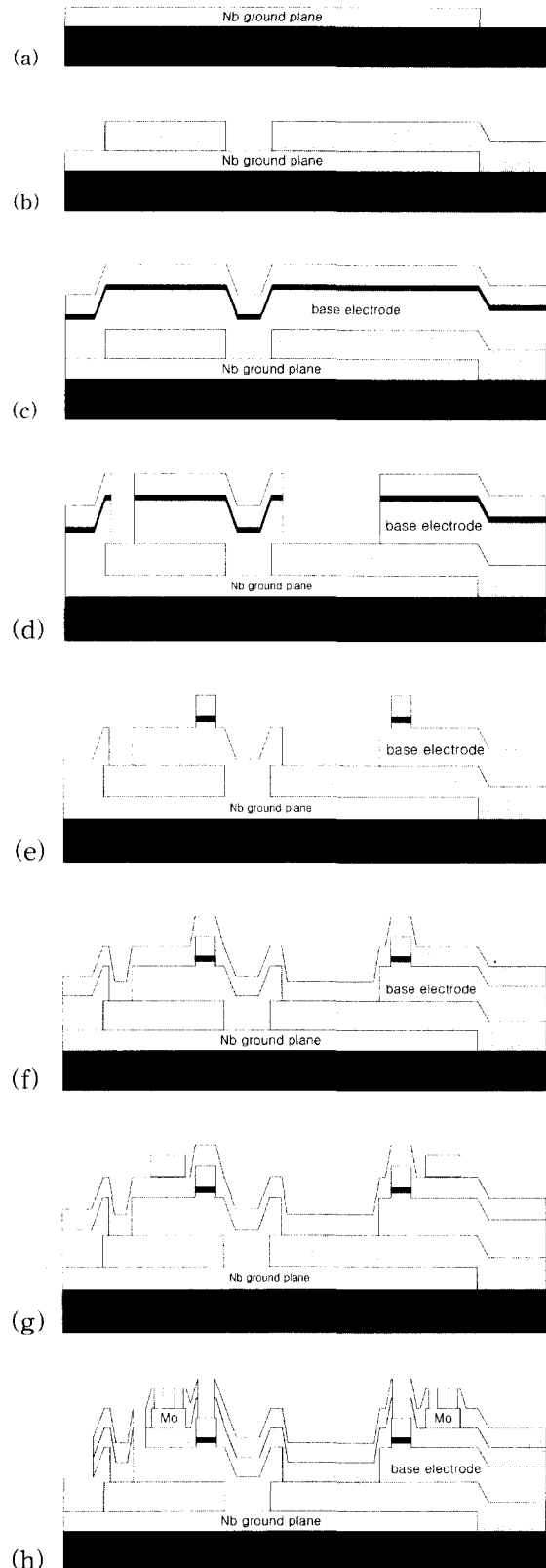
제 6단계는 접합의 shunt 저항으로 사용할 Mo( $\sim 120nm$ ) 박막을 증착한 후 패터닝하는 과정으로 식각에는  $SF_6$ 를 이용한 RIE가 사용되며, Mo 박막의 sheet 저항은 약  $1\Omega/sq$  정도이다(그림 1-(g)).

제 7단계에서는 다시  $SiO_2$ ( $\sim 100nm$ )를 증착한 후  $CHF_3$ 와 산소의 혼합가스를 이용한 RIE 방법으로 식각하여 상부배선과 접합의 상부전극, Mo 저항 및 하부배선과의 접촉통로를 형성한다(그림 1-(h)).

제 8단계는 Nb( $\sim 300nm$ ) 상부배선 층을 증착한 후,  $CF_4$ 를 이용한 RIE로 상부배선을 형성한다(그림 1-(i)).

제 9단계는 공정의 마지막으로 회로의 등

각 측정에 사용할 Ti/Au 전극을 형성하는 단계인데 주로 lift-off 방법이 사용된다(그림 1-(j)).



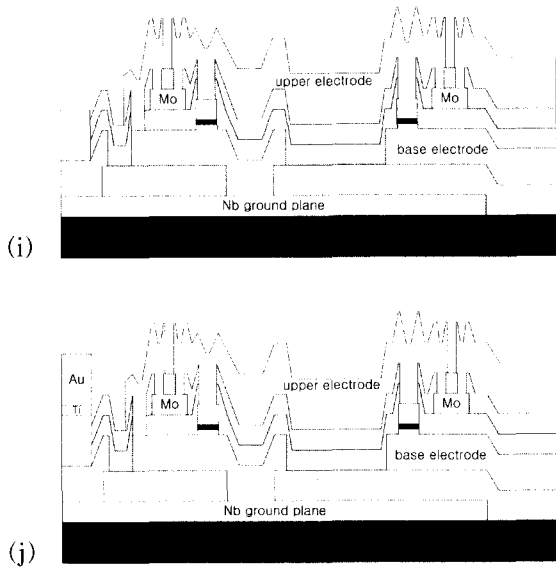


그림 1. Nb 단자속 양자 소자의 제작 공정

### 3. 초 미세 접합 소자제작 공정

초미세 접합을 이용한 소자제작의 경우 표준 제작공정의 제 6단계(그림 1-(g))까지의 거의 동일하다. 다만 그림 1-(d)의 접합 형성에서 단순한 RIE 대신에 ECR(electron cyclotron resonance)이나 ICP(inductively coupled plasma) 방식의 플라즈마 식각이 사용된다[24]. 이러한 플라즈마 식각은 Nb에 대하여 보다 선택적이고 빠른 식각을 가능케 하여 접합의 크기나 간격을 마이크로미터 이하로 줄일 수 있다.

제 7단계에서 SiO<sub>x</sub> 절연층을 증착한 후 식각하여 접합의 상부전극과 상부배선 층과의 접촉통로를 형성하여야 하나 상부전극의 면적이 워낙 작아 정확한 위치에 패턴을 하기가 대단히 어렵다. 이러한 문제점을 해결하기 위하여 그림 2-(a)와 같이 SiO<sub>x</sub>(~600nm)를 두껍게 입힌 후 상부전극이 노출될 때까지 연마하며(그림 2-(b)), CMP(chemical mechanical polisher)라는 화학적 기계 연마장치가 사용된다. 이러한 연마 및 평탄화 과정을 통해 여러 가지 장점을 얻을 수 있는데, 첫 번째는 그림 2-(c)에서 볼 수 있듯이 미세한 상부전극과 상부배선 층과의 접점을 쉽게 형성시킬 수 있고, 두 번째는 SiO<sub>2</sub>를 충분히 두껍게 증착한 후 연마하므로 절연효과를 확실히 얻을 수 있다.

며, 마지막으로 수 nm 이내의 정확도로 SiO<sub>2</sub>층의 두께를 조절할 수 있으므로 회로 인덕턴스의 정확한 조절이 가능하다.

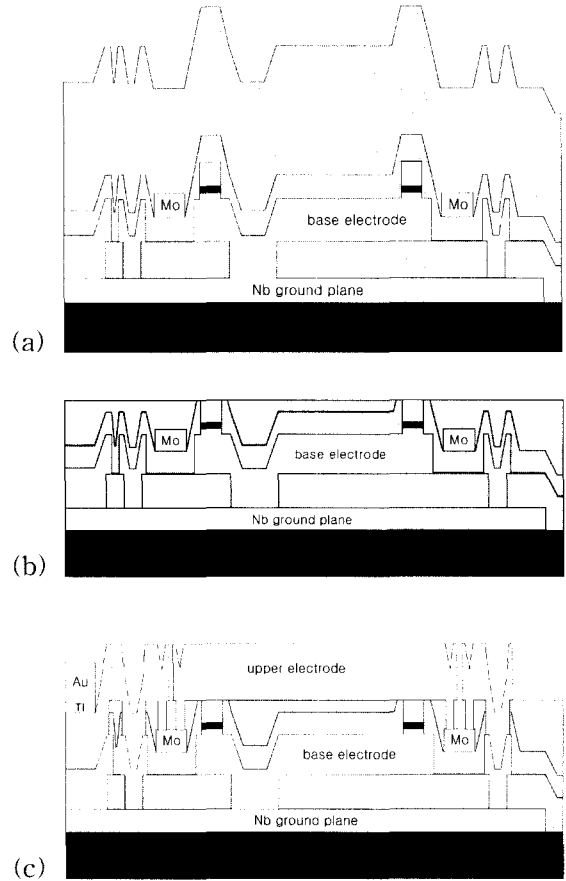


그림 2. 초미세 Nb 단자속 양자소자의 제작 공정

### 4. 결 론

Nb/AlO<sub>x</sub>/Nb 조셉슨접합을 이용한 디지털 소자 제작의 표준 공정 및 초 미세 접합 소자 제작 공정에 대하여 살펴보았다. 표준공정의 경우 박막의 증착은 주로 스퍼터링 방법을 사용하고 식각은 RIE를 이용한다. 초 미세 접합 소자의 경우도 대부분의 공정은 유사하나 접합 형성 단계에서 RIE 대신에 플라즈마 식각이 사용된다. 또한 CMP를 이용한 박막의 연마 및 평탄화로 접합 상부전극과 상부배선과의 접촉을 쉽게하고, SiO<sub>2</sub>의 절연성을 향상시키며, 회로의 인덕턴스를 정확하게 조절할 수 있다.

참고문헌

1. The National Technology Roadmap for Semiconductors, 1997
2. G. A. Sai-Halasz, "Performance trends in high-end processors", *Proc. of IEEE* **83**, 20-36 (1995).
3. T. C. Lee and J. Cong, "The new line in IC design", *IEEE Spectrum* **34**, 52-58 (1997).
4. J. G. Cottle, "Microprocessors" in J. C. Whitaker (ed.), (1996), *The Electronics Handbook*, CRC Press, Boca Raton, FL, 712-722.
5. O. Yu. Repin, *VLSI Microprocessors* (1997).
6. L. Gwenapp, "Digital 21264 sets new standard", *Microproc. Report* **10**, no.14 (1996)
7. Q. Lee, B. Agarwal, D. Mensa, R. Pullela, J. Guthrie, L. Samoska, and M. J. W. Rodwell, "A > 400GHz  $f_{max}$  transferred-substrate heterojunction bipolar transistor IC technology", *IEEE Electron. Dev. Lett.* **19**, 77-79 (1998).
8. S. L. Rommel, T. E. Dillon, M. W. Dashiell, H. Feng, J. Kolodzey, P. R. Berger, P. E. Thompson, K. D. Hobart, R. Lake, A. C. Seabaugh, G. Klimeck, and D. K. Blanks, "Room temperature operation of epitaxially grown Si/Si<sub>0.5</sub>Ge<sub>0.5</sub>/Si resonant interband tunneling diodes", *Appl. Phys. Lett.* **73**, 2191-2193 (1998).
9. R. L. Kautz, "Picosecond pulses on superconductor striplines", *J. Appl. Phys.* **49**, 308-314 (1978).
10. S. V. Polonsky, V. K. Semenov, and D. F. Schneider, "Transmission of single-flux-quantum pulses along superconducting microstrip lines", *IEEE Trans. on Appl. Supercond.* **3**, 2598-2600 (1993).
11. M. Sobolewski Currie, and T. Y. Hsiang, "High-frequency crosstalk in superconductor microstrip waveguide interconnects", *IEEE Trans. on Appl. Supercond.* **9**, 3602-3605 (1999).
12. L. S. Yu, C. J. Berry, R. E. Drake, K. Li, R. M. Patt, M. Radparvar, S. R. Whiteley, and S. M. Faris, "An all-niobium eight level process for small and medium scale application", *IEEE Trans. Magn.* **23**, 1476-1479, (1987).
13. L. A. Abelson, R. N. Elmadjian, and G. L. Kerber, "Next generation Nb superconductor integrated circuit process", *IEEE Trans. Appl. Supercond.* **9**, 3228-3231 (1999).
14. K. K. Berggren, E. M. Macedo, D. A. Feld, and J. P. Sage, "Low T<sub>c</sub> superconductive circuit fabricated on 150-mm wafers using a doubly planarized Nb/AlO<sub>x</sub>/Nb process", *IEEE Trans. Appl. Supercond.* **9**, 3271-3274 (1999).
15. K. K. Likharev and V. K. Semenov, "RSFQ logic/memory family: A new Josephson junction technology for sub-terahertz-clock-frequency digital system", *IEEE Trans. Appl. Supercond.* **1**, 3-28 (1991).
16. K. K. Likharev, "Superconductor devices for ultrafast computing", in *Application of Superconductivity*, H. Weinstock, ed. Dordrecht, Netherlands: Kluwer Acad. Pub., (2000).
17. A. M. Kadin, *Introduction to Superconducting Circuits*, Chapters 5-6. New York: John Wiley, (1999).
18. L. Zheng, N. Yoshikawa, J. Deng, X. Meng, S. Whiteley, and T. Van Duzer, "RSFQ multiplexer and demultiplexer", *IEEE Trans. Appl. Supercond.* **9**, 3310-3313 (1999).
19. V. Kaplunenko, V. Borzenets, N. Dubash, and T. Van Duzer, "Superconducting single-flux-quantum

- 20 Gb/s clock recovery circuit", *Appl. Phys. Lett.* **71**, 128-130, (1997).
20. S. B. Kaplan, P. D. Bradley, D. K. Brock, D. Gaidarenko, D. Gupta, W. Q. Li, and S. V. Rylov, "A superconductive flash digitizer with on-chip memory", *IEEE Trans. Appl. Supercond.* **9**, 3020-3025 (1999).
21. A. M. Herr, C. A. Mancini, N. Vukovic, M. F. Bocko, and M. J. Feldman, "High-speed operation of a 64-bit circular shift register", *IEEE Trans. Appl. Supercond.* **8**, 120-124, (1998).
22. W. Chen, A. V. Rylyakov, V. Patel, J. E. Lukens, and K. K. Likharev, "Rapid single flux quantum T-flip-flop operating up to 770 GHz", *IEEE Trans. Appl. Supercond.* **9**, 3212-3215, (1999).
23. L. A. Abelson, Q. P. Herr, G. L. Kerber, M. Leung, and T. S. Tighe, "Manufacturability of superconducting electronics for a petaflops-scale computer", *IEEE Trans. Appl. Supercond.* **9**, 3202-3207 (1999).
24. H. Numata, S. Nagasawa, and S. Tahara, "Fabrication technology for a high-density Josephson LSI using an electron cyclotron resonance etching technique and a bias-sputtering planarization", *Supercond. Sci. Technol.* **9**, no.4A, A42-A45 (1996).

### 저자이력



박종혁

1962년 2월 19일생, 1998년 서울대학교 물리학 박사, 1988년~2001년 한국과학기술연구원 선임연구원, 2001~현재 한국광기술원 선임연구원