

단자속양자(RSFQ) 회로의 작동원리와 전망

강 준 희
인천대학교 물리학과

1. 서 론

인류가 개발하여 온 집적회로 중에서 가장 빠른 속도로 작동하는 집적회로는 단자속양자(RSFQ) 회로 기술을 사용하여 제작되고 있다. RSFQ 회로는 초전도 물질을 사용하여 제작된 집적회로로서 조셉슨 접합에 의한 빠른 스위칭과 초전도 transmission line을 따른 빠른 단자속양자의 전파에 의해 작동된다. RSFQ 회로는 단자속양자라는 양자화된 최소 물리적 단위를 사용하기 때문에 atto-joule의 대단히 작은 에너지를 소모하며 psec의 빠른 스위칭 속도를 갖는 것을 장점으로 갖고 있다. RSFQ 회로에서는 조셉슨 접합을 사용하고 있으며 조셉슨 접합은 단자속양자의 흐름을 빠른 속도로 제어하며 디지털 데이터의 흐름을 조절한다.

현재까지 조셉슨 접합의 상업적인 이용은 주로 수 개의 조셉슨 접합을 사용한 형태로 이루어져 왔으며 이러한 예로는 SQUID를 사용한 생체자기 측정장치로서 뇌자도와 심자도의 측정에 사용되고 있다^[1]. SQUID를 사용한 또 하나의 상업적 응용으로는 전압표준장치가 있으며 이 장치는 일정한 크기의 많은 조셉슨 접합을 직렬로 연결하여 사용한다^[2,3]. 한 개의 조셉슨 접합을 사용한 응용 분야로는 밀리미터파 천체 망원경으로, 조셉슨 접합을 사용하여 제작된 SIS 믹서^[4]는 현재 모든 밀리미터파 천체 망원경에 사용되고 있다.

현재까지 전자기술에 가장 큰 영향을 미친 반도체 기술의 발전은 인류의 과학기술의 발달에 획기적인 선을 그었다. 반도체 기술은 지난 삼십년동안 기하학적인 속도로 발전되어 왔다. 현재의 반도체 회로의 집적도는 앞으로도 꾸준히 개선되어 15년 후에는 현재보다 약 1,000배(한 개의 칩에 약 64조 개의 트랜지스터를 집적한 정도)의 집적도를 갖게 될 것으로 전망된다. 반도체 소자의 작동속도도 꾸준히 계속되어 왔으나 반도체 소

자의 높은 전력소모로 인하여 10년 후에도 약 3-4 GHz 이상의 속도를 얻기는 어려울 것으로 보인다^[5]. 이것은 그림 1에서 보여진 것처럼 반도체 소자의 경우 빠른 속도를 원할 경우 이에 따라 소모되는 전력 또한 커지기 때문이다. 초전도 전자소자의 경우 그림 1에서 보여진 바와 같이 아주 적은 전력을 소모하며 작동속도는 수백 GHz 이상을 얻는 것이 가능하다.

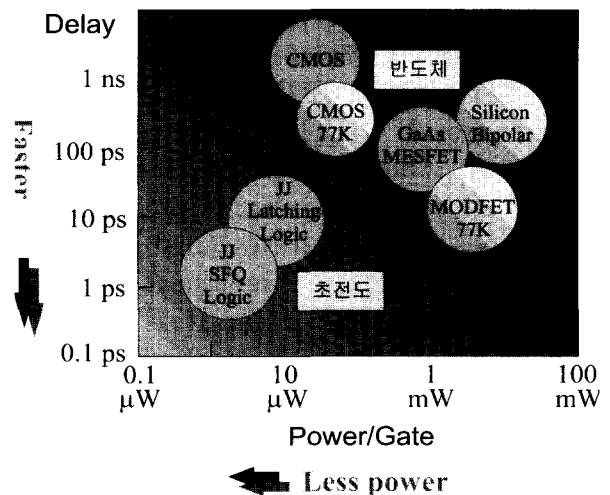


그림 1. 반도체 소자와 초전도 소자의 작동속도와 소모전력. 초전도 전자 소자는 게이트 당 단 수 마이크로 와트만의 전력을 소모시키면서도 수 백 GHz로 작동하므로 미래 지구촌 통신망등의 이용에 좋은 전망을 준다.

초전도 전자소자의 초고속성과 저전력성을 이용한 전자회로의 개발은 일찍이 1970년대의 미국 IBM 프로젝트와 1980년대의 일본 MITI 프로젝트에 의하여 시도되었으나 발전된 기술의 상업화에는 성공하지 못하였다. 이 두 프로젝트는 모두 조셉슨 접합의 래칭회로를 사용한 초고속 컴퓨터의 개발을 목표로 하였는데 공통점을 갖고 있었다. 반도체를 사용한 디지털 회로에서는

bipolar transistor나 MOSFET의 두 개의 전압 상태 (high voltage state와 low voltage state)를 일정 시간 동안 유지함으로써 디지털 신호를 만들게 되는데 초전도체를 사용한 래칭회로에서도 이를 모방하여 디지털 신호를 만들고자 하였다. 이러한 방법은 조셉슨 접합을 사용한 디지털 회로의 최대 클럭 속도를 수 GHz 이내로 제한하기 때문에 좋은 선택이 아니었다. IBM 프로젝트가 겪었던 또 하나의 큰 문제점으로는 당시 초전도 물질로 사용했던 납합금의 불안정성을 극복하는 것이었다. 그러나 이를 해결하는 과정에서 비록 물질적인 문제가 해결된다 하더라도 조셉슨 접합의 래칭성을 이용한 초전도 전자회로의 궁극적인 작동속도가 수 GHz를 넘기 어렵다는 판단 하에 IBM 프로젝트는 중단되고 말았다.

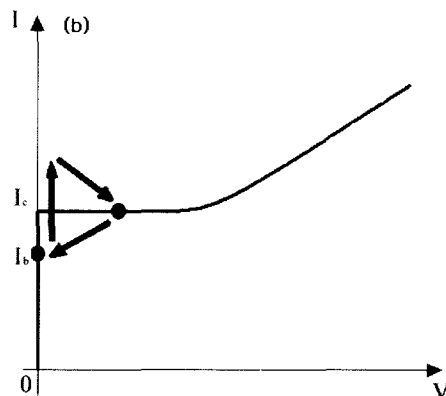
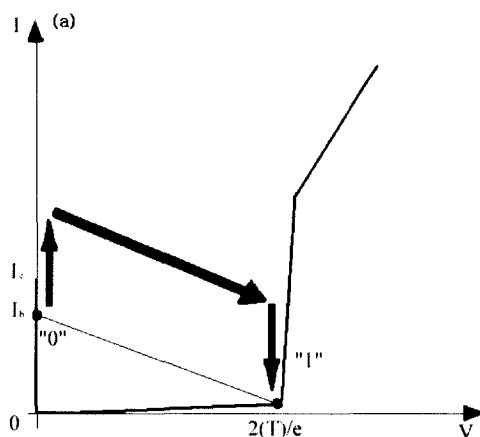
1980년대 초에 나이오븀을 이용한 조셉슨 소자가 안정적인 성질을 갖고 있는 것에 착안한 일본에서는 초고속 조셉슨 컴퓨터를 제작하기 위한 MITI 프로젝트를 시작하였다. 이 프로젝트로 인하여 초전도 전자회로의 개발은 커다란 발전을 이룩하였으나 조셉슨 래칭소자를 사용한 관계로 최대 작동속도가 수 GHz를 넘지 못하였으며 반도체 전자기술의 급속한 발전으로 인하여 이 정도의 속도로는 저온에서만 작동하는 초전도 기술이 반도체 기술의 가격 경쟁력을 이길 수 없었다. 하지만 래칭소자의 단점을 보완할 것으로 제안된 단자속양자소자는 수백 GHz 이상의 속도로 작동될 수 있을 것으로 기대되어 1970년대 말부터 연구되어 왔다.

2. 단자속양자회로의 작동원리

래칭소자와 단자속양자소자의 차이점은 그림 2에 보여진 바와 같다. 래칭소자의 경우 "0"인 상태에서 "1"인 상태로의 변환은 전압이 0인 상태에서 수 mV의 전압상태로의 변환이다. 이때 변환속도는 수백 GHz 이상의 빠른 속도를 가질 수 있으나 "punchthrough 효과" 때문에 "1"에서 "0"으로의 변환속도는 수 GHz 이상을 넘기가 어렵게 된다. 단자속양자소자의 경우 디지털 정보가 대단히 짧은 전압펄스안에 존재하게 되며 이 전압펄스의 크기는

$$\int V(t)dt = \Phi_0 = 2.07 \text{ mV} \cdot \text{ps} \quad (1)$$

에 의해 주어진다. (1) 식은 전압펄스의 최대높이와 단자속양자 펄스의 폭 간의 관계를 설정해 준다. 게이트에 도달하는 클럭 단자속양자 펄스와 데이터 단자속양자 펄스는 독립적인 작용을 하기 때문에 RSFQ 게이트의 최대 작동 속도는 단자속양자 펄스의 폭에 의하여 제한된다. 일반적으로 단자속양자 펄스의 폭의 역수가 최대 클럭 속도가 된다. 전압펄스의 높이가 약 2mV일 경우 단자속양자 펄스의 폭은 약 1ps가 되며 이 전압펄스는 조셉슨접합에 의하여 생성, 전달, 증폭, 기억, 처리될 수 있다. 단자속양자 회로에서는 "1"인 상태에서 계속적인 전압상태를 유지하여 주지 않아도 됨으로 디지털 신호의 전파를 위한 외부 바이어스가 고주파 교류일 필요가 없게되어 초고속으로 신호를 처리하는 것이 훨씬 수월해 진다.



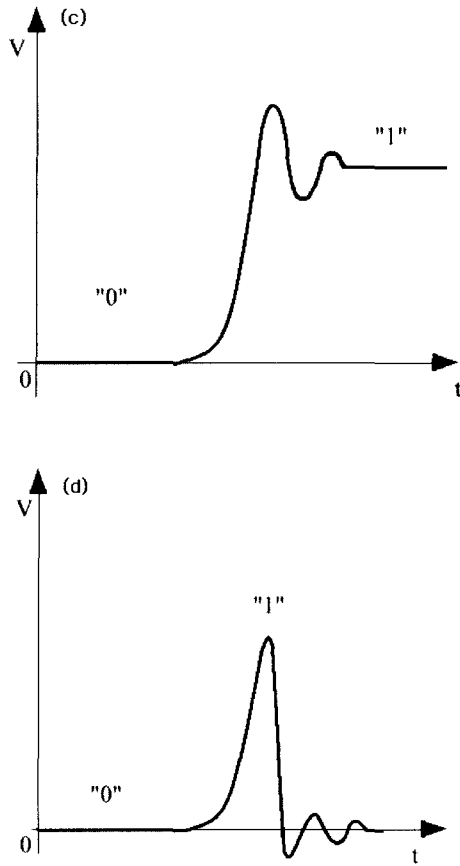


그림 2. Ib로 바이어스된 이력적인 조셉슨 접합의 I-V 특성. Ic는 조셉슨 접합의 임계전류이다. (b) 비이력적인 조셉슨 접합의 I-V 특성. (c) 입력신호는 접합의 전압상태가 0인 전압상태 "0"으로부터 전압상태인 "1"로 전환시킨다. (d) 입력신호는 전압펄스를 일으키며 여기서 펄스의 면적은 단자속양자에 해당한다.

단자속양자 펄스의 최대 전압은 이 때 사용된 조셉슨 접합의 $I_c R$ 값에 의존하여 최대 전압 값은 $2I_c R$ 이 되고 단자속양자 펄스의 폭은 이 값의 역수에 비례하게 된다. 따라서 shunt 저항 R을 최대한 크게 하여 주면 펄스의 폭을 작게 만들 수 있고 따라서 회로의 속도를 높혀 줄 수 있게 된다. 실제로는 shunt 저항 R의 값을 크게 하는데는 한계가 있다. 왜냐하면 단자속양자 회로에 사용되는 조셉슨 접합으로 주로 Nb/Al₂O₃/Nb의 SIS(초전도체-절연체-초전도체) 접합이 사용되는데 이 때 shunt capacitance가 발

생하기 때문이다. shunt 저항 R과 shunt capacitance C의 값에 따라 조셉슨 접합의 이력성이 결정되는데, 단자속양자 회로에 사용되기 위해서는 이력성이 없어야 하며 그러기 위해서는

$$\beta_c = \frac{I_c R^2 C}{\Phi_0} \leq 1 \quad (2)$$

의 관계를 만족시켜 주어야만 하기 때문이다. 따라서 shunt 저항 R이 가질 수 있는 가장 큰 값은

$$\beta_c \approx 1 \quad (3)$$

의 관계를 만족하는 것이다. 이렇게 결정되는 shunt 저항 R보다 작은 저항을 사용할 경우 단자속양자 펄스의 폭은 더 넓어지게 되어 작동 속도가 줄게 되는 단점이 있다. 이렇게 하여 생성된 단자속양자 펄스의 개략적인 모양은 그림 2(d)에 보여진 바와 같다. 그림 3에 보여진 것은 이러한 단자속양자 펄스를 electro-optic 샘플링 장치를 사용하여 실험적으로 측정된 것을 보여준다.

위의 식 (3)을 다시 정렬하여 보면

$$I_c R^2 C = [I_c (C/A)] R^2 A \sim R^2 A \sim \text{constant} \quad (4)$$

의 관계식을 얻을 수 있다. Ic는 회로의 작동을 위하여 주어지는 값이고 C/A는 절연체의 두께에 따라 많이 변하지 않는 값이므로 조셉슨 접합의 J_c 값을 높여줌으로써 조셉슨 접합의 면적 A를 줄여줄 수 있게 된다.

따라서 shunt 저항 값이 $\sqrt{\frac{I}{A}}$ 에 비례하여 커지게 되고 이에 따라 RSFQ 회로의 작동 속도도 높아지게 된다. 현재 많이 사용되고 있는 Nb 제작기술은 $J_c \approx 1000 \text{ A/cm}^2$ 의 전류 밀도를 사용하고 있으며 이 경우 일반적인 조셉슨 접합의 크기는 약 $(3.5 \mu\text{m})^2$ 가 된다. 반도체 기술에서 사용되고 있는 서브마이크론 기술을 사용하여 약 $(0.3 \mu\text{m})^2$ 의 면적을 갖는 조셉슨 접합을 사용하기 위해서는 $J_c \approx 100,000 \text{ A/cm}^2$ 의 전류밀도가 필요하며 이

경우 Nb 조셉슨 접합이 자체적으로 갖는 저항의 크기만으로도 식 (3)의 조건이 만족되어 현재보다 작동속도는 약 10 배, 집속도는 약 100배 이상이 되는 RSFQ 회로를 개발할 수 있다. 표 1에는 조셉슨 접합의 크기에 따라 조셉슨 전류 밀도, capacitance, SFQ 펄스의 진폭, 스위칭 속도, 그리고 소모되는 전력을 나타내었다. 현재로서는 최소 조셉슨 접합의 크기가 3.5 μm 인 공정이 주로 사용되고 있으며 최근 들어 최소 조셉슨 접합의 크기가 1.75 μm 인 공정을 개발하여 RSFQ 회로의 제작을 시도하고 있는 곳들이 생겨나고 있다. 이러한 연구기관들에서는 현재 사용되고 있는 회로의 일반적 클럭 속도인 20 GHz를 넘는 회로들을 제작하여 시험하고 있다.

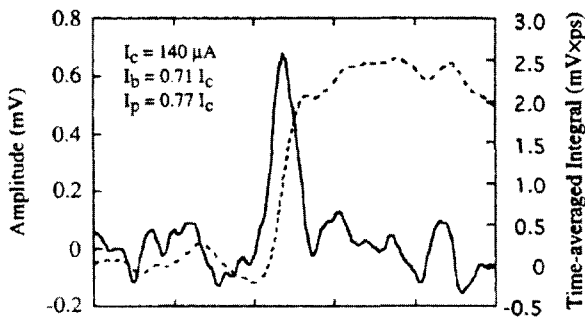


그림 3. 직접적으로 관찰된 SFQ 펄스. 수평축은 10 ps/div으로 되어 있다. 이 시간 영역으로 된 측정은 electro-optic 샘플링 시스템을 사용하여 이루어졌으며 측정의 근 noise는 70 μV 보다 작았고 시간적 분해능은 200fsec 이었다. 측정된 펄스의 폭은 약 3.2ps 이었으며 진폭은 약 0.7 mV이었다. 시간적으로 적분된 그림이 점선으로 보여지고 있는데 그 값이 $2.1 \pm 0.2 \text{ mV} \cdot \text{ps}$ 이 됨을 알 수 있다.

CMP(Chemical Mechanical Polishing) 기술을 사용할 경우 조셉슨 접합이 self-align 된 공정을 사용하는 것이 가능하여 sub-micron 접합을 제작하는 것이 가능하다. 기초적 회로가 이러한 방법으로 제작되어 시험되었으며 현재 여러 곳에서 이 방법을 개발하고 있는 중이다. e-beam을 사용할 경우 deep-submicron의 회로를 제작하는 것이 가능하여 이러한 방법으로 0.3

μm 의 조셉슨 접합을 사용한 단자속양자 회로가 제작되었으며 이의 전자현미경 사진이 그림 4에 보여지고 있다. 이 회로는 750 GHz의 속도에서 작동되었다.

표 1. 조셉슨 접합의 크기에 따른 RSFQ의 성능을 종합적으로 보여준다.

Fabrication technology	Typical	advanced	CMP	Deep-submicron
Minimum junction size(μm)	3.5	1.75	0.8	0.3
Critical current density(kA/cm^2)	1	4	20	150
Specific capacitance ($\mu\text{F}/\text{cm}^2$)	5	6	7	8
Voltage scale(mV)	0.3	0.5	1.1	2.0
Time scale(ps)	1.1	0.7	0.3	0.17
Power scale(μW)	0.04	0.07	0.14	0.25

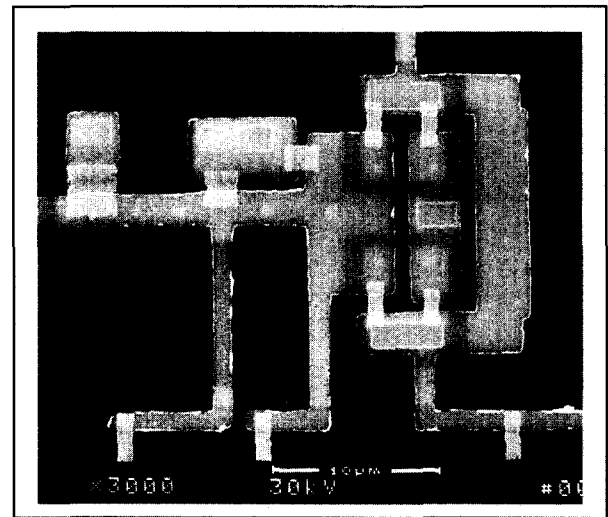


그림 4. 0.25 μm Nb 조셉슨 접합 제작기술로 만들어진 디지털 주파수 디바이더. 750GHz의 작동속도를 보여 주었다.

그림 2에서 보여진 바와 같이 RSFQ 회로는 일반 반도체 회로나 초전도체 래칭 회로에서 사용되는 것과 같은 정적인 전압 값에 의하여 작동되지 않는다. RSFQ 회로에

초전도 디지털 전자소자 특집

있어서 디지털 단위로 사용되는 것은 양자화된 자속의 존재와 비존재에 의해서 결정된다. 기본적인 RSFQ 구조는 조셉슨 접합 한 개를 포함한 초전도체 고리로서 구성되어 있다. 초전도체 고리의 inductance L 의 값이 $LI_c = 1.5 \Phi_0$ 의 조건을 만족시킬 경우에는 한 개의 단자속양자가 이 고리에 저장 될 수 있으며 inductance L 의 값이 $LI_c < \Phi_0$ 의 조건을 만족시킬 경우에는 들어오는 단자속양자를 바로 전달하는 작용을 하게 된다. 단자속양자를 저장하는 초전도체 고리의 인덕턴스는 그림 5에 보여진 바와 같이 두 개의 초전도체 사이의 절연체 박막에 의해 구성되는 마이크로스트립라인이나 스트립라인으로 되어 있다. 초전도체의 갭 주파수는 $2\Delta/h$ 에 의하여 주어지는데 이 값은 약 1 THz가 되어 수백 GHz 이하의 주파수에서는 교류신호의 손실이 매우 적다.

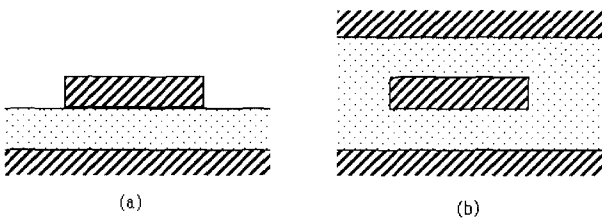


그림 5. 단자속양자를 저장하는 초전도체 고리의 인덕턴스는 (a) 마이크로스트립라인이나 (b) 스트립라인의 형태로 두 개의 초전도체 사이의 절연체 박막에 의해 구성되어 있다.

일반적으로 RSFQ 회로의 인덕턴스를 결정해 주는 절연체박막의 두께는 약 $0.1\mu\text{m}$ 의 값을 갖게 되며 psec의 폭을 갖는 단자속양자 신호에 대한 손실 값이 대단히 작아 칩상에서 필요한 수백 GHz의 단자속양자 신호의 전달에 사용될 수 있다.

3. 단자속양자회로의 개발현황

1985년 이후로 러시아의 리하레프교수팀은 단자속양자펄스를 이용한 디지털 전자회로의 기본요소들을 개발하였으며 "RSFQ회로"로 명명하였다⁽⁶⁾. 러시아의 리하레프교수

팀은 1991년 뉴욕주립대학(스토니부룩)과 하이프러스사로 이주하여 나이오븀을 사용한 단자속양자회로의 설계, 제작, 시험분야에서 활발한 연구를 수행하여왔다. 이외에도 미국의 노드롭그루만사, 미국의 NIST에서도 이 분야에 대한 활발한 연구를 하고 있다. 현재까지 나이오븀을 사용하여 개발된 회로들로는 단자속양자 생성기, flip-flop, 디지털논리소자, 아날로그-디지털 변환기, 디지털-아날로그 변환기, 멀티플렉서, pseudo-random binary sequence generator, 디지털 필터, 디지털 SQUID, 디지털 autocorrelator 등이 있다. 이들 회로들은 수 천개의 나이오븀으로된 조셉슨 접합을 포함하고 있으며 작동온도는 4-5K에서만 가능하다. 그림 6에서 보여지고 있는 것은 나이오븀을 사용하여 개발된 단자속양자 pseudo-random binary sequence generator회로의 일부분에 대한 현미경 사진을 보여주고 있다⁽⁷⁾.

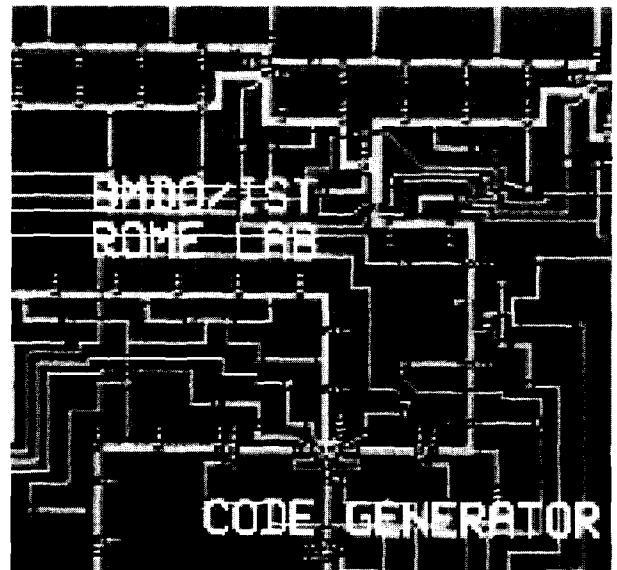


그림 6. 저온 초전도체인 나이오븀을 사용하여 개발된 단자속양자 pseudo-random binary sequence generator회로의 일부분에 대한 현미경 사진. 이 회로는 통신용으로 사용하기 위하여 개발되었다.

현재의 기술로는 4-5K의 온도를 얻기 위하여는 주로 액체헬륨이 사용되고 있으며, 냉각기를 사용할 경우 시중에서 구할 수 있는 냉각기는 약 \$15,000의 가격으로 상당히 비싼 편이며 중량도 50kg 정도로 무겁고

전력도 약 1kW가 필요하여 실제로 초전도 전자회로를 위해 사용하기는 어려운 형편이다. 하지만 현재 개발되고 있는 냉각기 제작 기술의 발전 속도로 볼 때 약 \$1,000 정도의 가격을 갖는 냉각기의 개발이 가능할 것으로 보인다. 질화나리오븀을 사용할 경우 작동온도를 약 12K까지 올릴 수 있으며 이 연구는 미국의 TRW사에 의하여 활발한 연구가 진행되어 왔다. 12K에서 작동시킬 경우 냉각기의 제작이 훨씬 쉬워지는 이점이 있다.

미국의 경우 Hypres, Northrop Grumman, TRW, Conductus 등의 기업을 중심으로 저온초전도 디지털 회로 설계 및 공정 기술에 집중적인 연구 개발이 이루어지고 있고, NIST, NASA, JPL 등의 연구소와, SUNY-Stonybrook, UC-Berkeley, MIT-Lincoln Lab, U. Rochester 등의 대학에서 페타 플롭 컴퓨터용 논리회로, 조셉슨 디지털 소자 등에 대한 연구가 활발하게 이루어지고 있다. 페타 플롭 컴퓨터 개발 과정에서 얻어질 테라 플롭 데스크탑 컴퓨터는 현재의 슈퍼컴퓨터 수준의 성능을 가지는 탁상형 컴퓨터로서 100GHz clock speed, 512GB RAM, 8TB HDD의 사양을 가지며, 이것이 상용화되면 대당 가격이 약 \$10만이 될 것으로 예상하고, 연간 \$200억의 시장이 형성될 것으로 전망하고 있다. 그림 7에는 SUNY-Stonybrook에서 제작한 연산소자의 사진을 보여주고 있다.

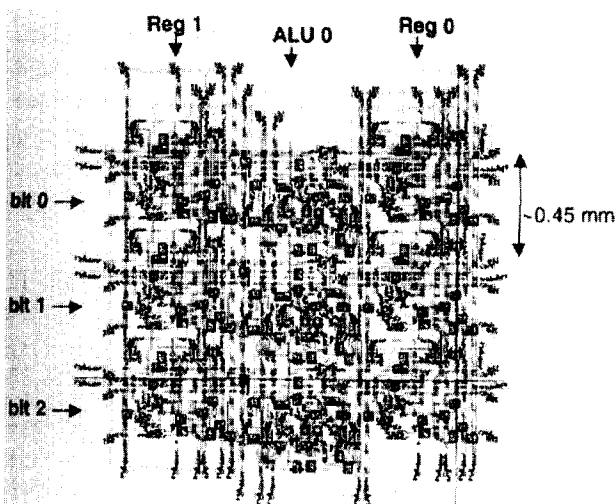


그림 7. 저온 초전도체인 나리오븀을 사용하여 SUNY-Stonybrook에서 개발된 단자속양자 연산회로

일본에서는 ISTEK에 참여하고 있는 NEC, Toshiba, Hitachi, Fujitsu, Mitsubishi 등의 기업에서 초전도 디지털 소자에 대한 연구가 활발히 이루어지고 있으며, 작년 10월 고온초전도 디지털소자를 활용한 응용 시스템인 40 Gbps급 샘플러 시스템의 개발을 세계 최초로 성공하여 발표하였다. 뿐만 아니라, 과학기술청의 지원으로 테라급 네트워크 시스템에 탑재할 저온초전도 디지털회로를 이용한 패킷 스위치를 개발하는 대형 국책사업도 ETL, NEC, Hitachi, Toshiba, Fujitsu, SRL, 동경대, 나고야대, 요코하마대 등에서 수행하고 있다.

유럽의 경우 70여개의 초전도 연구팀이 연합하여 조직한 공동연구망인 SCENET (European Network for Superconductivity) 와 유럽 기업의 콘소시엄인 CONECTUS를 중심으로 인력교류, 기술교류, 정보공유 등의 협력을 통하여 초전도 분야에서 유럽의 위상을 높이기 위하여 노력하고 있고, 미국과 일본을 의식하면서 경쟁적인 연구를 하고 있다. 미국에서는 주로 벤처 기업들이 팔목할 만한 연구성과를 내고 있는 반면 유럽에서는 일본과 같이 대기업들이 초전도기술의 연구개발에 주도적인 역할을 하고 있다. Forschungszentrum Juelich, PTB, Univ. of Twente, Univ. of Cambridge, Univ. of Karlsruhe, Chalmers Univ., Moscow State Univ 등에서 초전도 디지털 회로 제작에 대한 연구가 활발히 이루어지고 있다.

한편, 국내의 경우 단자속 양자회로에 관한 연구는 1997년에 과학기술부에서 시행한 중점국가연구개발사업의 세부과제로 "초전도 디지털 전자소자 기술개발" 과제가 시작되면서 본격적으로 수행되었다. 이 연구에는 한국과학기술연구원, 한국전자통신연구원, 인천대학교가 공동으로 참여하였으며, 디지털 회로의 설계, 조셉슨 접합의 특성 향상, 소자 제작 및 측정 등의 분야를 3개 기관이 분담 협력하여 효과적인 연구를 수행하였다.

그림 2에서 보여진 바와 같이 단자속양자 소자의 작동은 조셉슨 효과를 이용한 것으로 래칭소자와는 달리 터널링 접합을 필요로 하지 않는다. 산화물로 되어진 고온 초전도체의 경우 현재까지 연구된 결과로 볼 때 터널

초전도 디지털 전자소자 특집

링 접합을 제작하는 것은 매우 어려울 것으로 보이나 weak link형의 조셉슨 소자의 제작은 무난한 편이다. 단자속양자 논리회로를 사용할 경우, 현재 개발된 조셉슨 소자의 재현성을 높히는 것만으로도 보편적인 냉각기를 사용할 수 있는 고온 초전도 전자소자의 개발이 가능하다. 고온 초전도체의 경우 초전도 에너지 갭이 크기 때문에 약 0.1ps의 빠른 전압상태로의 변환속도를 가지고 있어 THz급의 빠른 속도를 갖는 전자회로의 개발이 가능하다. 그림 8에서 보여지고 있는 것은 가장 간단한 조셉슨 접합의 형태인 이

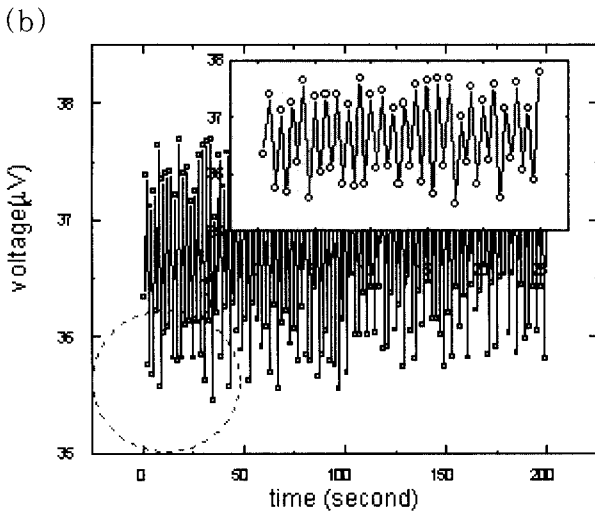


그림 8. (a) 국내의 기술로 제작된 단자속양자 RS flip-flop의 전자현미경 사진. 이중결정구조 조셉슨 접합을 사용하여 제작되었다. 점선은 이중결정의 경계면을 나타낸다. (b) 단자속양자 RS flip-flop의 측정 결과. 200번의 clock cycle 동안 오류없이 작동하였음을 보여주고 있다.

중결정구조 조셉슨 접합을 사용하여 제작된 단자속양자 RS flip-flop을 보여주고 있다⁽⁸⁾. 이 회로는 국내에서는 처음으로 제작된 고온 초전도 전자회로라는 점에서 큰 의미를 갖고 있다. 이 회로는 컴퓨터로 조절되는 디지털 신호측정 시스템을 사용하여 측정되었으며 200번의 clock cycle 동안 실수 없이 올바르게 작동하였다.

실제 응용에 사용될 고온 초전도체 단자속양자회로의 제작을 위해서는 현재까지 개발된 조셉슨 접합의 형태 중에서 ramp형 접합이 가장 유력시 되고 있다. 이중결정구조 접합의 경우 접합면이 meander 선의 형태로 되어 있어 접합의 임계전류를 조절하는 것이 매우 어렵다. step edge형 접합의 경우에도 grain boundary를 사용함으로 유사한 문제점을 갖고 있다. 현재 개발되고 있는 ramp형 접합의 경우 IcRn 값이 다소 작은 것이 흠이나 기술적인 면에서 볼 때 이것은 극복될 수 있는 문제로 생각된다. 더욱 중요한 것은 접합제작의 재현성과 접합크기의 균일성이다. 회로의 복잡성이 더해질수록 접합의 균일성이 엄격하게 요구되며 수백개의 접합으로 구성된 회로를 제작할 경우 이 회로가 50%의 확률로 작동하게 하기 위해서는 임계전류의 균일성이 약 10%가 될 것을 요구한다. 현재의 기술로는 수십 개의 접합을 제작할 경우 약 10 - 15%의 균일성을 얻을 수 있을 정도이며 이러한 기술에 의하여 미국의 노드롭그루만사의 연구팀은 1-bit 아날로그-디지털 변환기를 제작하여 올바르게 작동함을 보여주었다⁽⁹⁾. 이들 대부분의 연구결과들은 질소의 액화온도인 77K 근처에서 회로를 작동시켜 얻은 것이다.

질소의 액화온도는 우리 주변에서 쉽게 액체질소를 구할 수 있다는 면에서 회로의 작동온도로서 가지는 상징적인 의미가 크다. 하지만 실용적으로 사용될 수 있을 정도의 복잡성을 갖는 초전도 디지털 회로가 충분히 작은 오류율을 갖고 작동할 수 있는 온도는 질소의 액화온도보다 낮을 것으로 예상된다. 작동온도가 높아질수록 조셉슨 접합이 오류를 범할 수 있는 확률이 높아지게 되며 이 확률이 회로가 사용되는 분야에서 허용되는 값을 초과하게 되면 작동온도를 낮출 수밖에 없다. 조셉슨 접합의 thermal activation

이론에 의하면 이 작동온도는 약 40-50K 부근이 될 것으로 전망된다⁽¹⁰⁾. 약 40K의 작동 온도를 얻기 위해서는 그리 어렵지 않게 냉각기를 구할 수 있으므로 실용화를 위해서도 그리 나쁜 조건은 아니다. ramp형 조셉슨 접합의 경우 균일성이 약 60K에서 7%에 불과한 실험결과⁽¹¹⁾도 있으므로 회로의 적절한 설계 방법을 개발할 경우 시작품 성격의 전자회로를 개발하는 것이 가능할 것으로 보인다. 이를 위해서는 회로요소들의 값을 조절할 수 있는 기술을 개발하는 것이 필요하며 다층박막 제작기술의 개발이 절대적이다⁽¹²⁾. 다층박막에 사용되는 절연체박막이 응용분야에 따라 갖추어야 할 조건은 매우 다양하다. 단자속양자회로의 다층박막에 사용될 수 있는 절연체박막의 조건으로는 최소한 직류저항이 10^5ohm-cm 가 되어야 하고 loss tangent가 10^{-2} 이하가 되어야 하며 현재 이를 얻기 위한 연구가 활발히 이루어지고 있다.

4. 단자속양자회로의 전망

그림 9에서는 반도체 기술의 미래와 고온 초전도 전자소자의 개발가능성을 비교하였다. 반도체 기술에 비해 초전도 기술은 약 100배의 속도를 갖고 발전할 것으로 기대되며 전세계적으로는 미국의 주도하에 일본과 유럽에서도 활발한 연구가 진행되고 있다. 저온초전도체를 사용할 경우 제작기술이 반도체 기술에 비해 훨씬 간단하면서도 뛰어난 성능을 가질 수 있다. 현재 개발되고 있는 반도체 기술의 최소 크기를 초전도 회로에 사용할 경우 매우 고밀도의 전자회로를 개발할 수 있다. 현재 이 분야의 연구자들이 삼고 있는 대표적인 연구목표로는 초고속 스위치를 이용한 통신시스템의 개발, digital signal processing을 이용한 레이더 시스템 등의 개발, petaflop 규모의 빠른 계산시스템의 개발^(13,14) 등을 들 수 있다. 초전도체가 냉각기를 필요로 하기 때문에 이를 보상할 정도의 뛰어난 성능을 보여야만 현재의 전자산업에서 실용화를 이룰 수 있다. 따라서 현재의 반도체 전 분야를 대체하기 위한 노력보다는 현재 반도체 기술의 취약한 부분을 대체, 또는 보상하기 위한 노력을 많이 기울이고 있다.

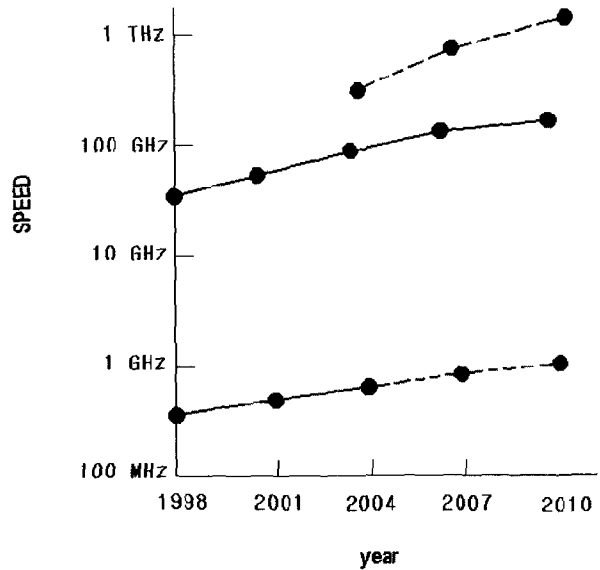


그림 9. 반도체 기술의 향후 10여년간의 예측되는 작동속도와 고온 초전도 전자회로의 예측되는 작동속도.

References

- [1] J. Clark, "The New Superconducting Electronics," ed. by H. Weinstock and R. W. Ralston(Kluwer, Dordrecht), 123, 1993.
- [2] M. T. Levinsen, R. Y. Chiao, M. J. Feldman, and B. A. Tucker, Appl. Phys. Lett., **31**, 776, 1977.
- [3] R. L. Kautz, C. A. Hamilton, and F. L. Lloyd, IEEE Trans. on Magnetics, **23**, 883, 1987.
- [4] J. R. Tucker and M. J. Feldman, Rev. Mod. Phys., **57**, 1055, 1985.
- [5] Semiconductor Industry Association, "The International Technology Roadmap for Semiconductors," 1999, San Jose, CA 95129, U.S.A.
- [6] K. K. Likharev et al., RSFQ Logic/Memory Family: A New Josephson-Junction Technology for Sub-Terahertz Clock-Frequency Digital Systems, IEEE Trans. on Appl. Sup., **1**, 3, 1991., Also look at the web site (pavel.physics.sunysb.edu/RSFQ/RSFQ.html).

- [7] J. H. Kang et al., 3.69GHz Single Flux Quantum Pseudorandom Bit Sequence Generator Fabricated with Nb/AlO_x/Nb, IEEE Trans. on Appl. Sup., **7**, 2673, 1997.
- [8] Y. H. Kim et al., Operation of high-T_c SFQ devices at near liquid nitrogen temperature, Physica C, vol. 280, 304-310, 1997.
- [9] J. D. McCambridge et al., Multilayer HTS SFQ Analog-to-Digital Converters, IEEE Trans. on Appl. Sup., **7**, 3622, 1997.
- [10] J. H. Kang et al., Thermal-Noise-Induced Bit Error Rates of Josephson Devices, J. of Korean Physical Society, vol. 30, No. 2, 306-309, 1997.
- [11] B. D. Hunt et al., High-T_c SNS Edge Junctions with Integrated YBa₂Cu₃O_x Groundplanes, IEEE Trans. on Appl. Sup., **7**, 2936, 1997.
- [12] J. Talvacchio et al., Materials Basis for a Six-Level Epitaxial HTS Digital Circuit Process, IEEE Trans. on Appl. Sup., **7**, 2051, 1997.
- [13] G. Taubes, Science, 273, 1665, 1996.
- [14] M. Dorojevets, P. Bunyk, D. Y. Zinoviev, and K. Likharev, "COOL-0: Design of an RSFQ subsystem for Petaflops Computing," IEEE Trans. on Appl. Sup., **9**, 3606, 1999.

저자이력



강준희

1955년 2월 5일생. 1987년 미네소타 대학 물리학 박사, 1987년~1989년 Argonne National Lab. 연구원, 1989년~1994년 Westing House 선임연구원, 1994년~현재 인천대학교 물리학과 부교수