

논문 2002-11-2-06

## 저전류 측정을 위한 반도체 소자 특성 분석 시스템에서의 보상 기법 최인규\*, 박종식\*

### Calibration Techniques for Low-Level Current Measurement in the Characteristic Analysis System for Semiconductor Devices

In-Kyu Choi\* and Jong-Sik Park\*

#### 요 약

본 논문에서는 반도체 소자의 특성 분석을 위한 시스템에서 측정 회로에 의해 발생하는 오차를 감소시켜 측정 정밀도를 개선시키기 위한 보정 과정을 제안하였다. 또한 pA 수준의 저전류 측정을 위해서 누설 전류, 오프셋 전류와 같은 오차 전류를 감소시키기 위한 보상 기법을 제안하였다. 보정 계수는 마이크로프로세서에 의해 보정 과정에서 수집된 데이터로부터 구해진다. 수집된 데이터를 최소 자승 오차법을 사용하여 다항식으로 근사하는 방법으로 보정 계수를 계산하고 저장한다. 측정 시에는 마이크로프로세서가 저장된 보정 계수를 사용하여 측정 오차를 교정하여 준다. 실험 결과에서 nA 이상의 전류를 측정할 경우 측정 오차가 0.02% 이하를 가지며 pA 수준의 저전류도 0.2% 정도의 오차로 측정 가능함을 확인하였다.

#### Abstract

In this paper, we proposed calibration techniques to improve measurement accuracy in the characteristic analysis system for semiconductor devices. Systematic errors can be reduced using proposed calibration techniques. Also, error current reduction procedures including leakage current and offset current are proposed to measure low-level current in pA level. Calibration parameters are calculated and stored by microprocessor using least-square fitting with measured sample data. During measurement time microprocessor corrects measured data using stored calibration parameters. Experimental results show that current measurement error above nA level is less than 0.02%. And they also show that current measurement in pA level can be performed with about 0.2% accuracy.

#### 1. 서 론

다이오드, BJT 및 MOSFET 등과 같은 반도체 소자의 직류 특성 분석은 소자의 전압-전류 특성 측정을 통하여 이루어지며 DUT(Device Under Test)에 전압(또는 전류)을 인가한 상태에서 DUT의 전류(또는 전압)를 측정하게 된다. 이 때 외부에서 유입되는 잡음이나 내부 측정 회로의 구조에 의해서 오차가 발생하게 되며

로 정확한 측정을 위해서는 이러한 측정 오차들을 제거하여야 한다.

마이크로프로세서를 기반으로 하는 측정 장비들은 신호 처리 기법을 사용하여 아날로그 방식에 비해 손쉽게 오차 교정이 가능해진다. 온도 변화나 주위 잡음에 의해 임의적으로 발생하는 오차(random error)는 평균을 취하거나 필터링과 같은 방식에 의해 감소 될 수 있으며<sup>[1]</sup> 측정하고자 하는 직류 신호에 부가된 교류 신호는 적분 노치 필터(integration notch filter)<sup>[2]</sup> 등을 사용하여 제거할 수 있다. 측정 회로에서 발생하는 구조적인 오차는 보정 알고리즘에 의해 교정될 수 있으며 AD 변환기, DA 변환기 및 연산증폭기 등에 의한 이득 오차 및 오프셋 전압을

\* 경북대학교 전자전기공학부(School of Electronic & Electrical Eng., Kyungpook National University)

<접수일자 : 2002년 2월 15일>

교정할 수 있다<sup>[3~5]</sup>. 보정 과정에서 얻어진 보정 계수를 사용하여 측정 오차를 교정하기 위해 룩업 테이블을 사용하면 많은 메모리를 필요로 하지만 수정된 측정 데이터를 빠르게 구할 수 있다. 반면에 보정 계수를 사용하여 측정된 값을 다항식으로 근사하여 측정값을 교정하는 것은 정밀한 측정이 가능하고 메모리를 거의 필요로 하지 않지만 측정 속도가 룩업 테이블 방식에 비해 느리다<sup>[6]</sup>.

저전류 측정의 경우에는 외부 잡음에 의한 유도 전류, 측정 회로의 연산 증폭기와 같은 소자에서 발생하는 오프셋 전류나 바이어스 전류 및 절연 저항에 의한 누설 전류 등에 의한 영향을 무시할 수 없게 된다<sup>[7~8]</sup>. 입력단의 차폐와 가드를 사용하면 누설 전류와 외부 잡음을 어느 정도 감소시킬 수 있다<sup>[9]</sup>.

본 논문에서는 구현된 반도체 소자의 직류 특성 분석 시스템에서의 저전류 측정을 위해 전압-전류 특성 측정 회로에서 발생하는 누설 전류, 오프셋 전류 및 바이어스 전류와 같은 오차 전류에 의한 측정 오차를 감소시키기 위한 보정 기법을 제안한다. 내장된 마이크로프로세서를 사용하여 측정 회로의 이득 오차 및 오프셋 오차를 보정한 후 인쇄 기판(PCB)이나 측정 회로에 의해 발생하는 누설 전류와 오프셋 전류를 계산하여 전류 측정 시에 이 값을 보상하여 줌으로써 정밀한 측정이 이루어지도록 하였다. 실험 결과를 통하여 측정 회로에서 가지는 측정 오차가 pA 이하의 수준에서 유지됨을 확인하였다.

## II. V-I 특성 측정 회로

전압-전류 특성 측정 회로는 반도체 소자에 일정한 전압을 인가한 상태에서 DUT로 흐르는 전류를 측정하거나 일정한 전류를 인가한 상태에서 DUT에 걸리는 전압을 측정하는 역할을 한다. 그림 1에 구현된 회로의 블록도를 나타내었다. 입력 코드  $D_S$ 에 의해 DA 변환된 전압  $V_{DAC}$ 는  $-R_1/R_{VR}$ 만큼 증폭된 후 U3를 통하여 DUT로 인가된다.  $V_{DAC}$ 는 -10 [V] ~ +10 [V]의 출력력을 가지며 선택된  $R_{VR}$ 의 값에 따라 각 전압 레인지는 -2, -4, 또는 -10의 이득을 가지도록 설계하여 최대 -100 [V]에서 +100 [V]의 전압을 DUT에 인가할 수 있다. 전류 측정 시에는 DUT

에 흐르는 전류가  $R_{IR}$ 를 통하여 흐르게 되므로 저항 양단의 전압 강하를 AD 변환기를 통해 디지털로 변환된 값  $D_M$ 을 읽어들이으로써 계산할 수 있다. 전류 측정 구간 저항  $R_{IR}$ 은 100 [ $\Omega$ ]부터 10 [G $\Omega$ ]까지의 9개의 값을 가지며 AD 변환기에 입력되는 전압  $V_{IM}$ 이 -10 [V] ~ 10 [V]사이의 값을 가지도록 마이크로 프로세서에 의해 선택된다.

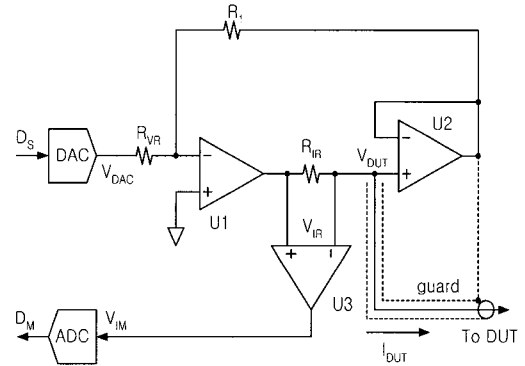


그림 1. 전압-전류 특성 측정 회로 블록도.  
Fig. 1. Block diagram of V-I characteristic measurement circuit.

일반적으로 전원 신호는 60 [Hz]의 주파수를 가지며 측정 회로로 유입되어 측정하고자 하는 직류 신호에 부가되어 교류 잡음으로 작용한다. 따라서 전류 샘플 획득 시에 ADC의 샘플링 주파수를  $V_{IM}$  신호에 부가된 전원 주파수의 정수배가 되도록 하고 측정 샘플들로부터 평균값을 취함으로써 교류 성분에 의한 측정 오차를 제거한다. 평균값을 취하게 되면 임의적인 형태로 발생하는 오차에 의한 영향도 감소시키는 효과를 얻을 수 있다.

전류 측정의 경우 일반적으로 외부 전기장에 의해 케이블에 발생하는 유도 전류와 전류 측정 회로의 각 지점에서의 전위 차이 때문에 발생하는 누설 전류에 의해 측정 오차가 발생한다<sup>[10~11]</sup>. 케이블이나 커넥터, 릴레이는 물론 절연체에서도 누설전류가 발생할 수 있다. 유도 전류는 외부에서 전기장에 의해 유도되므로 측정 회로를 차폐시키고 측정 회로와 DUT와의 연결은 triaxial cable을 사용하여 신호선을 가드 전압 ( $V_{DUT}$ )와 그라운드 전압(0 [V])으로 감싸도록 함으로써 외부 전기장에 의해 유도되는 전류가 감소하

도록 하였다. 누설 전류를 감소시키기 위해서 케 이블이나 스위치는 적어도  $10^{14} [\Omega]$  이상의 저항을 가지도록 하였고 U2 및 U3등의 연산증폭기는 100 [fA] 이하의 입력 바이어스 전류를 가지는 연산증폭기를 사용하였다. 또한 가드 전압으로 측정 도선을 둘러싸고 있는 절연체와의 전위 차를 거의 0 V가 되도록 하여 누설 전류를 감소하도록 하였다.

### III. 측정 회로의 보정

측정 회로에서는 일반적으로 신호를 AD 변환기와 DA 변환기의 입출력 범위에 맞추기 위해 여러 개의 측정 구간으로 분리하고 각 구간의 이득을 조정하게 된다. 이렇게 할 경우 연산증폭기의 이득 오차나 오프셋 전압, 누설 전류 등에 의해서 측정 오차가 각 측정 구간에 나타나게 된다. 각 측정 구간 모두의 정밀도를 어느 한도 내에서 유지하도록 측정 회로를 구현하는 것은 경제적인 면이나 시스템의 관리면에서 적당하지 않다. 이러한 경우의 해결책으로 장비의 하드웨어를 손댈 필요 없이 마이크로 프로세서를 사용하여 각 측정 구간의 이득이나 오프셋을 조절하는 방법을 사용한다.

#### 1. 인가 전압 보정

구현된 회로에서 전압인가 시에는 DA 변환기의 이득 오차, 오프셋 오차, 비선형 오차(non-linearity)와 U2 증폭기의 이득 오차 및 오프셋 오차에 의해 DUT로 출력되도록 설정된 전압이 정확하게 인가되지 못하게 된다. DA 변환기의 비선형 오차를 무시하면  $V_{DAC}$ 와 입력 코드  $D_S$ 와의 관계는 식 (1)과 같이 이득 및 오프셋으로 나타낼 수 있다.

$$V_{DAC} = (1 + \alpha_{DAC})V_{DAC0}(D_S) + V_{OSDAC} \quad (1)$$

$V_{DAC0}(D_S)$ 는 이상적인 DA 변환기의 출력 전압을 나타내며  $V_{OSDAC}$ 는 오프셋 전압,  $\alpha_{DAC}$ 는 이득 오차를 나타낸다.

DUT에 인가되는 전압과 DA 변환기의 출력 전압은 식 (2)와 같이 나타낼 수 있다.

$$V_{DUT} = -\alpha_{R0}(1 + \alpha_R)V_{DAC} + V_{OS1} \quad (2)$$

$\alpha_{R0}$ 는 각 전압 인가 구간의 이상적인 이득,  $\alpha_R$ 은 각 전압 인가 구간의 이득 오차,  $V_{OS1}$ 은 U1과 U2 증폭기에 의한 오프셋 전압을 나타낸다.

식 (1)과 식 (2)를 정리하면 DA 변환기의 입력 코드  $D_S$ 와  $V_{DUT}$ 의 관계는 식 (3)과 같이 나타낼 수 있다.

$$V_{DUT} = -\alpha_{R0}(1 + \alpha_{VR})V_{DAC0}(D_S) + V_{OSVR} \quad (3)$$

$\alpha_{VR}$ 은 각 전압 인가 구간에서 DA 변환기와 U1 증폭기의 이득 오차를 나타내며  $V_{OSVR}$ 은 각 전압 인가 구간에서의 오프셋 오차를 나타낸다.  $V_{OSVR}$ 은 식 (4)와 같이 나타낼 수 있다.

$$V_{OSVR} = -\alpha_{0}(1 + \alpha_R)V_{OSDAC} + V_{OS1} \quad (4)$$

DA 변환기의 오프셋 전압이 U2 증폭기에서 전압 이득에 따라 변화하게 되므로  $V_{OSVR}$ 은 각 전압 인가 구간마다 다른 값을 가지게 된다.

본 논문에서는  $D_S$ 를 가변시키면서 획득된  $V_{DUT}$ 의 측정값들을 식 (3)과 같은 1차 다항식으로 최소 자승 오차를 가지도록 근사(least-square fitting)하여 각 전압 구간에서의 보정 계수( $\alpha_{VR}$ ,  $V_{OSVR}$ )를 구하는 방법을 사용한다. 마이크로프로세서는 DUT에 정확한 전압이 인가될 수 있도록 저장된 보정 계수를 사용하여  $D_S$  값을 결정한다.

비선형 오차를 고려할 경우  $D_S$ 와  $V_{DUT}$ 의 관계는 고차의 다항식으로 표현하여야 하지만 1차 다항식에 비해 보정을 위한 연산에 소요되는 시간이 증가하게 된다.

#### 2. 측정 전류 보정

DUT에 흐르는 전류가  $R_{IR}$ 을 통해 흐르므로 저항 양단의 전압을 측정함으로써 전류를 계산할 수 있다. 전류 측정의 경우 전류 측정 구간 저항 ( $R_{IR}$ )값의 오차, U3의 이득 오차 및 오프셋 전압, 절연 저항에 의한 누설 전류 및 U2, U3 증폭기의 오프셋 전류와 바이어스 전류 등에 의해 오차가 발생하게 된다.

측정 전류에 의해 구간 저항에서 발생하는 전압 강하는 식 (5)와 같이 나타낼 수 있다.

$$V_{IR} = R_{IR0}(1 + R_{IR}) \times I_{DUT} \quad (5)$$

여기서  $R_{IR0}$ 는 이상적인 구간 저항값을 나타내며  $R_{IR}$ 은 저항 오차를 나타낸다.

저항 양단의 전압은 U3를 거쳐서 ADC를 통해서 디지털로 변환된다. 전압 인가의 경우와 마찬가지로 증폭기와 AD 변환기의 이득 및 오프셋 오차를 동시에 고려하면 AD 변환기의 디지털 출력 코드와 저항 양단 전압의 관계는 식 (6)과 같이 나타낼 수 있다.

$$D_M(V_{IR}) = D_{M0}((1 + \beta_M)V_{IR}) + D_{OS} \quad (6)$$

여기서  $D_M(\cdot)$ 는 입력 전압에 대한 이상적인 AD 변환기의 출력 코드를 나타내며  $\beta_M$ 과  $D_{OS}$ 는 각각 이득 오차와 오프셋 오차를 나타낸다.

식 (5)와 식 (6)으로부터  $I_{DUT}$ 와 ADC 출력 코드는 식 (7)과 같은 관계를 가지게 된다.

$$D_M(I_{DUT}) = D_{M0}(R_{IR0}(1 + \beta_{IR})I_{DUT}) + D_{OSI} \quad (7)$$

$\beta_{IR}$ 은 각 전류 측정 구간에서의 구간 저항, U3 증폭기, AD 변환기의 이득 오차를 나타내며  $D_{OSI}$ 는 U3와 AD 변환기의 오프셋 오차를 나타낸다. 전류 측정 저항이 바뀌더라도 AD 변환기와 U3의 오프셋 성분은 변화가 없으므로  $D_{OSI}$ 는 모든 전류 측정 구간에서 동일한 값을 가진다.

전류 측정 회로의 보정은 전압 인가의 보정과 마찬가지로  $I_{DUT}$ 를 가변시키면서 획득된  $D_M$ 의 샘플들을 최소 자승 오차법으로 선형 근사하여 각 전압 인가 구간에서의 보정 계수( $\beta_{IR}$ ,  $D_{OSI}$ )를 구한다. 그러나 저전류 측정 시에는 누설 전류에 의해 보정 과정에서 오차가 발생하게 되므로 이러한 영향을 고려하여 전류 보정을 수행하여야 한다.

### 3. 누설 전류 보상

측정 전류가 작아질수록 누설 전류 및 오프셋 전류가 측정 오차에 미치는 영향이 커지게 된다. 따라서 pA 수준의 전류를 측정하기 위해서는 누설 전류, 오프셋 전류 및 바이어스 전류와 같은 성분들에 의한 영향을 제거하여야 한다.

그림 2에 전류 측정회로의 등가 회로를 나타내었다. U2와 U3의 입력 바이어스 전류와 오프셋 전류가 존재하며 회로 기판과 릴레이 등의 절연 저항이 유한한 값을 가짐으로 인한 누설 전류가 발생하게 된다. 누설 전류 및 오프셋 전류를 고려할 경우 레인지 저항에서 발생하는 전압 강하는 U3와 ADC를 통해 측정되며 식 (8)과 같이 표시된다.

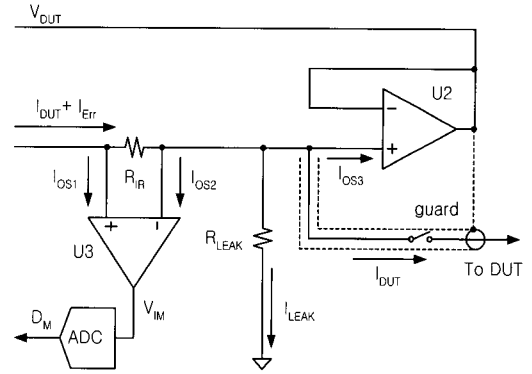


그림 2. 전류 측정 회로부의 등가 회로.

Fig. 2. Equivalent circuit of current measurement block.

$$D_M(I_{DUT} + I_{Err}) = D_{M0}(R_{IR0}(1 + \beta_{IR}) \times (I_{DUT} + I_{Err})) + D_{OSI} \quad (8)$$

여기서  $I_{Err}$ 은 누설 전류, 오프셋 전류 및 바이어스 전류를 포함한 측정 회로에서 발생하는 전체 오차 전류를 나타낸다. DUT에 흐르는 전류를 가변하면서 측정된 결과를 사용하여 선형 근사를 하더라도 측정 결과에 오차 전류에 의한 영향이 포함되어 있기 때문에 구간 저항 오차나 U3 증폭기, AD 변환기의 이득 오차 및 오프셋 오차를 정확하게 보정할 수 없게 된다. 본 논문에서는 보정 과정에서 오차 전류에 의한 영향을 받지 않고 보정 계수를 구하기 위한 방법으로 DUT 연결 단자를 오픈한 상태에서의 측정 결과를 같이 사용한다.

DUT를 연결하지 않은 상태에서는 DUT로 전류가 흐르지 않게 되므로 측정 결과는 식 (9)와 같이 나타낼 수 있다.

$$D_M(I_{Err}) = D_{M0}(R_{IR0}(1 + \beta_{IR}) \times I_{Err}) + D_{OSI} \quad (9)$$

따라서 전류 측정 구간 저항, U3 증폭기 및

AD 변환기의 이득 오차는 식 (10)으로부터 구해질 수 있다.

$$D_M(I_{DUT}) = D_M(I_{DUT} + I_{Err}) - D_M(I_{Err}) \quad (10)$$

$$= D_M(R_{IR0}(1 + \beta_{IR}) \times I_{DUT})$$

오프셋 오차  $D_{OS}$ 는 앞에서 언급한 바와 같이 모든 전류 측정 구간에서 동일한 값을 가지므로 높은 전류 측정 구간 저항을 사용하는 경우에 구해진 값을 그대로 사용할 수 있다.

오차 전류는 DUT에 인가되는 전압과 절연저항 성분에 의해 결정되는 누설 전류와 인가 전압에 상관없이 일정한 값을 가지는 오프셋 전류 및 바이어스 전류로 이루어지며 따라서 식 (11)과 같이 1차 다항식으로 나타낼 수 있다.

$$I_{Err} = \frac{1}{R_{LEAK}} V_{DUT} + I_{OS} \quad (11)$$

$V_{DUT}/R_{LEAK}$ 는 인가 전압에 따른 누설 전류를,  $I_{OS}$ 는 U2, U3, 릴레이 등에 의한 오프셋 전류와 바이어스 전류를 포함한 성분을 나타낸다.

전류 측정 시에는 디지털로 변환된 구간 저항 양단의 전압을 보정 계수를 사용하여 전류 측정 회로의 오차를 보상한 후 DUT에 인가되는 전압에 따라  $R_{LEAK}$ 와  $I_{OS}$ 로 계산된 오차 전류를 제거하여 DUT에 흐르는 전류를 구한다.

### IV. 실험 결과

구현된 반도체 소자의 직류 특성 분석 시스템에서 20 [V], 40 [V], 100 [V]의 각 전압 인가 구간에 대해서 보정을 수행한 후 100 [ $\Omega$ ]부터 10 [M $\Omega$ ]까지의 전류 측정 구간 저항에 대해서는 오차 전류를 무시하고 식 (7)을 사용하여 보정을 수행하였다. 100 [M $\Omega$ ]부터 10 [G $\Omega$ ]의 전류 측정 구간 저항에 대해서는 식 (10)을 사용하여 보정하고 측정 결과에 대해 오차 전류를 추가로 보정하였다.

전압 인가시에 2차 다항식과 1차 다항식으로 보정한 경우 측정된 오차를 그림 3에 나타내었다. 그림에서 DS는 DA 변환기의 입력 코드 출력 범위인 -10 [V] ~ +10 [V]로 정규화한 값을 나타내며  $\alpha R0$ 는 각 전압 인가 구간의 이상적인 이득을 나타낸다. 측정 결과로부터 2차

다항식으로 근사한 경우와 1차 다항식으로 근사한 경우가 거의 유사한 정도의 측정 오차를 가짐을 볼 수 있으며 비선형 오차는 무시할 수 있음을 알 수 있다. 따라서 본 논문에서는 측정 속도를 고려하여 1차 다항식으로 근사하여 보정 계수를 구하는 방법을 사용한다.

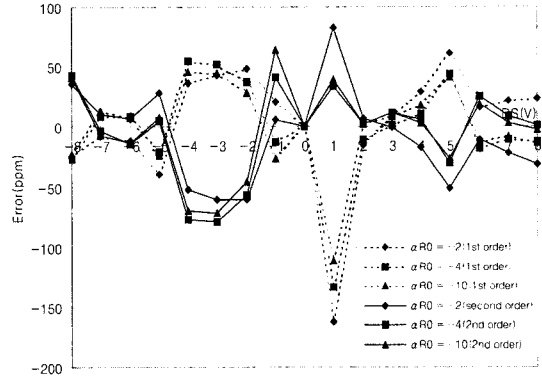


그림 3. 전압 보정 측정 결과.

Fig. 3. Measurement results of voltage calibration.

표 1에서는 보정을 수행하지 않은 경우와 본 논문에서 제안한 보상 기법을 사용한 경우의 측정 결과를 나타내었다. 각 전류 측정 레인지에서 평균 측정 오차로부터 보정을 수행한 경우의 측정 오차가 현저하게 줄어들었음을 볼 수 있다.

표 1. 전류 측정 평균 측정 오차.

Table 1. Average error of current measurement.

Range Resistor	No Calibration	Calibrated
100 $\Omega$	1.3948%	0.0168%
1 K $\Omega$	0.7666%	0.0182%
10 K $\Omega$	0.7316%	0.0183%
100 K $\Omega$	0.7664%	0.0232%
1 M $\Omega$	0.7492%	0.0159%
10 M $\Omega$	0.7501%	0.0160%
100 M $\Omega$	2.7041%	0.0321%
1 G $\Omega$	6.3201%	0.1025%
10 G $\Omega$	11.5308%	0.2123%

또한 누설 전류의 영향을 거의 무시할 수 있는 10 [M $\Omega$ ] 이하의 구간 저항을 사용하는 경우의 측정 결과는 0.02% 정도의 측정 오차를 가짐을 알 수 있다. 전류 측정 구간 저항이 커질수

록 오차 전류에 의한 영향이 커지게 되므로 측정 오차가 증가하게 되며 10 [GΩ]의 구간 저항에서는 약 0.2%의 측정 오차를 가진다.

그림 4에서는 DUT를 연결하지 않은 상태에서 인가 전압을 -80 [V]에서 80 [V]로 가변시키면서 전류를 측정하는 결과를 나타내었다. 오차 전류를 보상하기 위해서  $R_{LEAK}$ 는  $1.061 \times 10^{13}$  [Ω]을 가지며  $I_{OS}$ 는  $19.92 \times 10^{-12}$  [A]를 가진다. 누설 전류 및 오프셋 전류와 같은 오차 전류가 감소되었고 제거되지 않은 잔류 전류가 1 [pA]를 초과하지 않으므로 pA 수준의 정밀한 측정이 가능함을 알 수 있다.

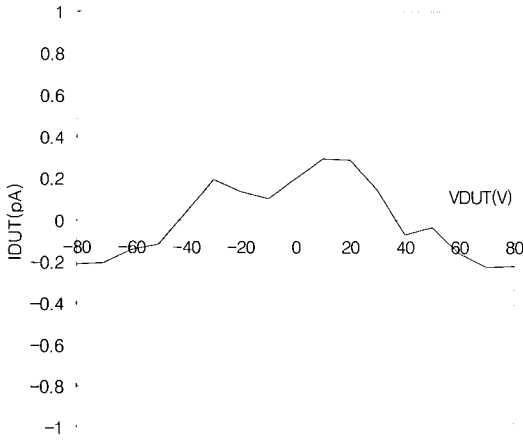


그림 4. DUT를 연결하지 않은 경우의 측정 결과.  
Fig. 4. Measurement results with no DUT.

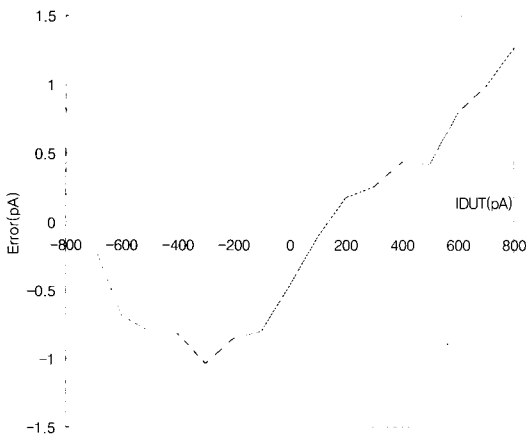


그림 5. 10 [GΩ] 구간 저항에서의 전류 측정 오차.  
Fig. 5. Current measurement error in 10 [GΩ] range.

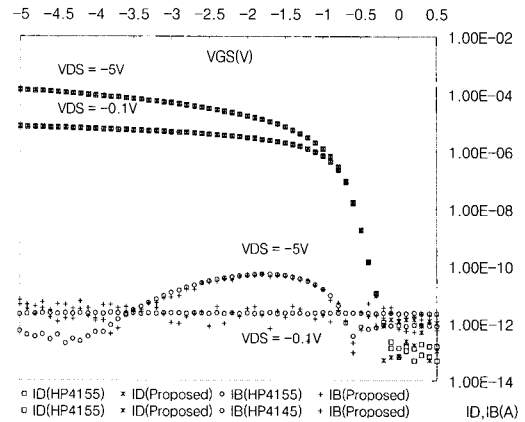


그림 6. PMOS 측정 결과.  
Fig. 6. Measurement results of PMOS.

그림 5에서는 10 [GΩ] 구간 저항을 사용하는 경우의 전류 측정 결과에 따른 오차를 나타내었다. 그림 5의 측정 결과에 비해 제거되지 않은 잔류 전류가 증가하였음을 볼 수 있는데 이는 DUT를 통해 유입된 외부 잡음과 온도 변화에 따른 드리프트(drift) 전류 및 전압 성분으로 인해 발생한 것이다. 그러나 측정 결과로부터 pA 수준의 측정이 가능함을 알 수 있다.

그림 6에서는 PMOS의 subthreshold 영역에서의 전류를 측정하는 결과를 HP4155의 측정 결과와 비교하여 나타내었다. 게이트 전압을 -5 [V]에서 0.5 [V]까지 100 [mV] 간격으로 변화시키면서 드레인 전압이 -5 [V]일 때와 -0.1 [V]일 때의  $I_D$ 와  $I_B$ 를 측정하는 결과이다. 10 [pA] 이상의 경우 거의 동일한 결과를 가지며 1 [pA] 근처의 측정 결과에서 차이가 발생하는 것을 볼 수 있다. 이는 그림 6의 실험 결과와 마찬가지로 온도 변화 및 외부 유입 잡음에 의해 발생한 것으로 향후 이에 대한 개선이 이루어져야 할 것이다.

### IV. 결 론

본 논문에서는 반도체 소자의 직류 특성 분석 시스템에서 측정 정밀도를 높이고 저전류 측정 시에 오차를 발생시키는 요인인 누설 전류와 오프셋 전류에 의한 영향을 제거하기 위한 보상 방법을 제안하였다. 보정 과정에서 각 전압 구간과 전류 측정 구간에서의 구조적 오차를 제거하기 위한 보정 계수를 구하고 저장하였다가 측정 시에 오차를 보상하여 준다. 또한 절연 저항에 의한 누설 전류와 연산 증폭기의 오프셋 전류와 바

이어서 전류도 보상할 수 있도록 함으로써 pA 수준의 정밀한 측정이 이루어지도록 하였다. 실험 결과에서 전압 인가 시에는 0.01%, nA 이상의 전류 측정 시에는 0.02%, pA 수준의 측정에서는 약 0.2% 정도의 오차를 가짐을 확인하였다. 그러나 온도 변화에 따른 드리프트 전압 및 전류에 의한 오차가 존재하며 이를 감소시키기 위한 방법이 연구되어야 할 것이다.

## 참 고 문 헌

- [1] Ji-Gou Liu, U. Fruhauf, and A. Schonecker, "On the application of special self-calibration algorithm to improve impedance measurement by standard measuring systems," *Proc. IMTC'99*, vol. 2, pp. 1017-1022, 1999.
- [2] P. B. Crisp, "A generic DMM test and calibration strategy," *Contribution of Instrument Calibration to Product Quality*, pp. 8/1-8/18, 1996.
- [3] Kolen P. T., "Self-calibration/compensation technique for microcontroller-based sensor arrays," *IEEE Trans. Instrum. Meas.*, vol. 43, no. 4, pp. 620-623, Aug. 1994.
- [4] W. C. Goeke, "High performance digital multimeter with internal calibration," *IMTC'88 Conf. Record.*, pp. 292-296, Apr. 1988.
- [5] Kenneth K. Clarke, "A generalized framework for digital adjustment or correction," *IEEE Trans. Instrum. and Meas.*, vol. 50, no. 1, pp. 8-14, Feb. 2001.
- [6] P. N Mahana et al., "Transducer output signal processing using an eight-bit microcomputer," *IEEE Trans. Instrum. Meas.*, vol. IM-35, pp. 182-186, June 1986.
- [7] Gene C., C. Chen, Winifred Y., C. Lin, et. al., "Accurate self-checking digital teraohmmeter," *IEEE Trans. Instrum. Meas.*, vol. 44, no. 2, pp. 192-195, Apr. 1995.
- [8] Z. T. Qian and L. X. Liu, "A basic consideration of precision electrical measurement," *Conf. Precision Electromagnetic Measurements Digest*, pp. 122-123, July 1998.
- [9] G. Rietveld and H. Heimeriks, "Highly sensitive Picoampere meter," *Conf. Precision Electromagnetic Measurements Digest*, pp. 332-333, June 1996.
- [10] D. Kirsop and J. Yeager, "Design considerations in low level analog test systems," *AUTOTESTCON'90 Conf. Record*, pp. 577-582, 1990.
- [11] Henry W. Ott, *Noise reduction techniques in electronic systems*, 2nd ed., Wiley, 1989.

## 著 者 紹 介



### 최 인 규

1995년 2월 경북대학교 전자공학과 졸업(학사).

1997년 2월 경북대학교 대학원 전자공학과 졸업(석사).

1997년 ~ 현재 동 대학원 박사과정.

주관심 분야 : 디지털 시스템 설계, ASIC 설계



### 박 종 식

1976년 서울대 물리학과 졸업(학사).

1978년 한국과학기술원 물리학과 졸업(석사).

1987년 Florida 주립대 전기공학과 졸업(박사).

1978년~현재 경북대학교 전자전기공학부 교수.  
(주)일렉스 대표이사.

주관심 분야 : Computer Aided Testing System, DSP, ASIC 설계.