

논문 2002-11-2-03

국소 광적응 기능을 가지는 윤곽검출용 32×32 방사형 CMOS 시각칩의 설계 및 제조

박대식*, 박종호*, 김경문*, 이수경*, 김현수*, 김정환*, 이민호*, 신장규*

Design and Fabrication of 32×32 Foveated CMOS Retina Chip for Edge Detection with Local-Light Adaptation

Dae-Sik Park*, Jong-Ho Park*, Kyung-Moon Kim*, Soo-Kyung Lee*,
Hyun-Soo Kim*, Jung-Hwan Kim*, Minho Lee*, and Jang-Kyoo Shin*

요 약

국소 광적응 기능을 가지는 윤곽검출용 시각칩을 픽셀수 32×32의 방사형 구조로 CMOS 공정 기술을 이용하여 설계 및 제조하였다. 생체의 망막은 넓은 범위의 입력 광강도에 대해서 물체의 윤곽을 검출할 수 있다. 본 연구에서는 시세포, 수평세포, 쌍극세포로 이루어진 망막의 윤곽검출 기능을 모델링하여 윤곽검출용 인공시각칩을 설계하였다. 국소 광적응을 위해, 입력 광강도에 따라 수용야의 크기를 국소적으로 바뀌게 하였다. 아울러 단위셀을 방사형으로 배치함으로써 영상데이터의 양을 감소시킴과 동시에 칩의 중심부분으로 갈수록 해상도가 높아지도록 설계하였다. 설계된 칩은 0.6 μm double-poly triple-metal 표준 CMOS 공정기술을 이용하여 제조되었으며, HSPICE 시뮬레이션으로 성능을 최적화 시켰다.

Abstract

A 32×32 pixels foveated (linear-polar) structure retina chip with the function of local-light adaptation for edge detection has been designed and fabricated using CMOS technology. Human retina can detect a wide range of light intensity. In this study, we use the biologically-inspired visual signal processing mechanism that consists of photoreceptors, horizontal cells, and bipolar cells in order to implement the function of edge detection in the retina chip. For a local-light adaptive function, the size of receptive field is changed locally according to the input light intensity. The spatial distribution of sensing pixels in the foveated retina chip has the advantages of selective reduction of image data and good resolution in central part to carry out the elaborate image processing with still enough resolution in the outer parts. The designed chip has been fabricated using standard 0.6 μm double-poly triple-metal CMOS technology and optimized using HSPICE simulator.

1. 서 론

생체의 망막에서 정보처리를 수행하는 신경세포는 컴퓨터의 기본소자인 트랜지스터의 동작속도에 비해 상대적으로 느리지만 정보를 병렬로

처리하기 때문에 시각정보를 실시간으로 처리하는 것이 가능하다.^(1,2)

지금까지의 많은 연구에서는 주된 관심을 데이터의 처리에 두었지만, 이렇게 하면 여러 단계의 프로세싱을 필요로 하기 때문에 실시간 처리가 필요한 비전시스템에서는 적용하는데 어려움이 있었다. 망막의 우수한 기능을 하드웨어 상에 직접적으로 구현하게 되면 영상처리비용의 감소와 속도의 향상을 가져올 수 있으며, 고성능의 실시간 영상처리도 가능하게 될 것이다.^(2,3) 최근

* 경북대학교 전자전기공학부(School of Electronic and Electrical Engineering, Kyungpook National Univ.)

<접수일자 : 2001년 12월 17일>

에 망막의 시각정보처리에 관한 연구가 많이 이루어지고 있다. 그러나 지금까지의 광적응 시각칩은 dynamic range가 작아서 밝은 빛의 윤곽은 검출이 가능하지만 어두운 빛의 윤곽을 검출하는데는 어려움이 있었다. Delbrück은 MOS-FET의 subthreshold 영역을 이용해서 10^6 이상의 dynamic range를 실현하였다.^[1] 이 회로는 CMOS 공정에서 발생할 수 있는 기생 Tr.과 커패시터 두 개를 이용해서 이득을 자동으로 제어하는 회로를 적용하였다. 하지만 시세포에 해당되는 기능만 수행하므로 윤곽검출을 위해서는 저항 회로망을 필요로 하고 커패시터를 포함하기 때문에 저개구율, 저해상도를 유발한다. 그래서 집적화에는 적용하기 어려운 단점이 있다. Ikeda가 제작한 망막칩은 어두운 곳에서도 대략적인 윤곽의 위치를 검출할 수 있고, 복잡한 배선의 문제를 해결할 수 있었지만 단위회로들을 연결하는 수평세포역할을 다양하게 조정할 수 없다는 단점을 가지고 있다.^[4] Miyashita가 고안한 시각칩은 간단한 회로로 10^3 정도의 dynamic range가 가능하지만 출력전류가 작기 때문에 MOSFET의 mismatch문제와 측정이 어렵다는 단점이 있다.^[5]

본 연구에서는 간단한 회로로 시세포의 출력을 작은 전압의 변화로 제한하여 입력 광강도의 변화에도 출력전류의 크기가 거의 일정한 국소 광적응 기능을 구현하였다. 입력 광강도가 약한 경우 공간분해능을 낮추어 출력전류레벨을 높이고, 강한 경우 공간분해능을 높여 상대적으로 출력전류레벨을 낮추므로써 비교적 넓은 범위의 입력 광강도에 대해서 윤곽검출이 가능하도록 설계하였다. 영상 데이터나 정보를 검출하는 알고리즘을 단순화시키고 양을 줄일 수 있다면 실시간 비전시스템에 적합할 것이다. 아울러 본 연구에서는 방사형으로 단위픽셀을 배치하므로써, 가운데 부분에는 높은 해상도로 정보검출이 가능하게 하고, 외부로 갈수록 해상도를 낮추어서 영상정보를 직접적으로 줄였다.^[6] 이러한 정보의 감소는 짧은 시간 내에 복잡한 계산을 가능하게 하여 효율적이며, 실시간 처리를 가능하게 할 것이다.

II. 이 론

2.1 국소 광적응 시각칩의 원리

망막은 외과립층, 내과립층 및 신경절세포층

으로 구성된 세개의 세포층상에 윤곽검출을 위한 세개의 세포 외에 아마크린세포, 신경절세포 및 망상층간세포가 나누어져 분포하고 있다. 망막에서 윤곽을 검출하기 위한 주요세포는 시세포, 수평세포 및 쌍극세포가 있다. 신호의 경로 순으로 기능을 알아보면, 빛은 다른 세포들을 통과하여 가장 아래쪽의 시세포에서 전기신호로 변환된다. 수평세포는 시세포의 출력을 공간적으로 평활화하는 기능을 한다. 그리고 쌍극세포는 시세포와 수평세포의 차이를 출력한다. 이런 방법으로 윤곽부분에서 큰 출력으로 윤곽을 알아낼 수 있다. 망막내의 신호흐름은 그림1과 같다.

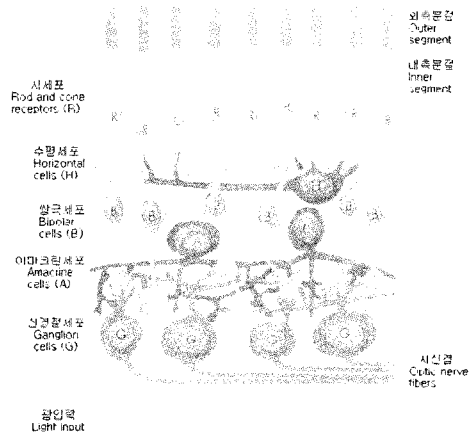


그림 1. 간략화된 망막의 구조.
Fig. 1. Simplified structure of the retina.

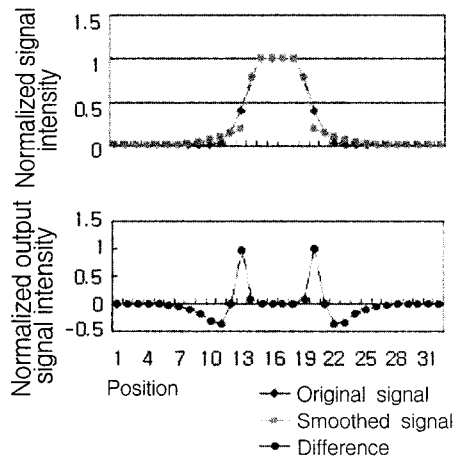


그림 2. 윤곽검출의 원리.
Fig. 2. Principle of edge extraction.

신호를 공간적으로 평활화시키는 수평세포와 차이를 출력하는 쌍극세포의 기능을 모델링하는 것이 국소 광적응을 위해서 중요하다. 이런 메커니즘에 의한 윤곽검출의 원리를 그림 2에 나타내었다.^[4]

2.2 국소 광적응을 위한 저항성 네트워크

전자회로를 이용하여 윤곽을 검출하기 위해서는 시세포, 수평세포 및 쌍극세포의 기능을 회로로 구현하여야 한다. 시세포는 photo-transistor 또는 photo-diode로 모델링 할 수 있다. 본 연구에서는 photo-diode에 비해서 암전류가 작고 큰 출력 전류를 얻을 수 있는 photo-transistor를 채택하였다. 수평세포로는 전기신호의 공간평활화를 위해 한 개의 MOSFET을 이용하였다.^[4] distributed-MOSFET의 소스 전압과 드레인 전압이 광입력에 따라 자동적으로 바뀌어서 저항 값이 부분적으로 변화되는 결과를 얻을 수 있었다. 마지막으로, 쌍극세포 역할은 전류미러를 이용하여 실현시켰다. 공간평활화를 위해 하나의 distributed-MOSFET을 사용하는 저항성 네트워크를 그림 3에 나타내었다.

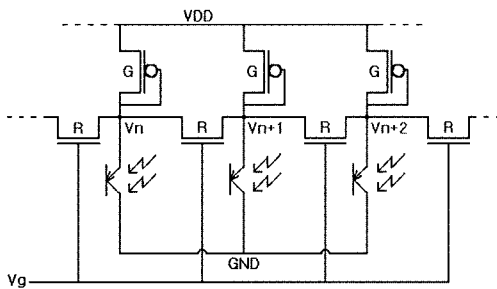


그림 3. 저항성 네트워크.
Fig. 3. Resistive network.

광입력이 들어오면 시세포의 역할을 하는 Vn의 전압은 입력 광강도에 따라 변화한다. Vg의 전압이 모든 칩내부의 단위픽셀에 대해 고정된 값이고, distributed-MOSFET의 소스 및 드레인 전압은 입력 광강도에 따라 결정이 된다. 동일한 레벨의 광입력이 존재하는 곳에는 distributed-MOSFET의 소스와 드레인 전압의 차이가 거의 없으므로 선형영역에서 동작하며 그 결과 일정한 저항값을 가지게 된다. 광입력이 크게 차이나는 부분에서는 distributed-MOSFET의 소스와 드레인의 전압차가 증가하여 포

화영역에서 동작을 하게 되므로써 일정한 전류를 공급하게되고 결국 출력단에는 큰 전류차이를 보여주게 된다. 이와같이, distributed-MOSFET는 입력 광강도에 따라 일정한 값을 갖는 R성분의 역할을 하게 되고, 이를 통해 흐르는 전류의 양이 결정될 수 있다.

G로 표현된 MOSFET은 R성분과 함께 수용야의 크기(receptive field width)를 결정한다.^[3,7] 수용야의 크기는 확산거리 L에 의해 정의되고 식 (1)과 같이 주어진다.

$$L = \frac{1}{\sqrt{RG}} \quad (1)$$

2.3 방사형 구조

단위픽셀을 방사형으로 배치하여서 해상도가 중심에서는 높고, 외곽으로 갈수록 상대적으로 해상도가 저하되는 구조를 가지고 있다. 비전시스템의 경우에 실시간 처리를 위해서 처리해야 하는 영상의 데이터를 감소시키면 유용하지 않은 정보로 인한 과부하를 피할 수 있고 시스템의 효율을 높일 수 있다.^[6] 비록 외곽으로 갈수록 해상도가 떨어져 거친 영상이 얻어지지만 중심에서는 유용한 영상정보를 얻으면서도, 넓은 시야를 유지할 수 있다. 이러한 정보의 선택적 감소는 짧은 시간 내에 복잡한 계산수행을 가능하게 하고 실시간 비전시스템을 수행할 수 있어서 데이터의 처리시간이 중요한 산업용이나 군사용 등에서 적합한 시스템을 구성할 수 있다. 방사형 구조는 해상도가 높은 중앙부분을 이미지 처리용으로, 해상도가 낮은 외각부분을 움직임 감지하는 용도로도 사용할 수 있다.

III. 시각칩의 설계

3.1 국소 광적응 방사형 시각칩의 시뮬레이션

밝은 광에 적응하여 여러 단계의 어두운 광정보의 윤곽을 검출 할 수 있는 국소 광적응 기능을 가진 시각칩의 단위픽셀을 간단한 구조로 구성하였으며 영상정보의 양을 감소시키기 위해 단위픽셀의 배치를 방사형으로 하였다. 그림 4에 단위픽셀의 등가모델을 보였다.

시세포의 역할을 하는 PT1과 PT2는 동일한 수광면적을 가지고 있으며 광입력에 따라 동일한 전류 IR을 흘리는 photo-transistor이다. 수평

세포는 국소 광적응 기능으로부터 고안된 N-MOSFET을 이용하였다.

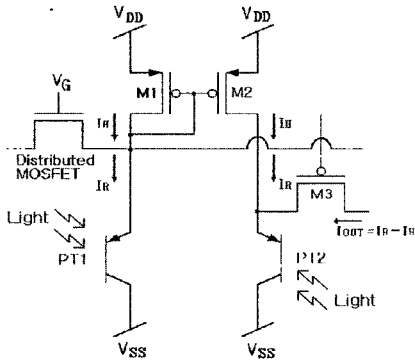


그림 4. 단위픽셀의 등가회로.
Fig. 4. Equivalent circuit of unit pixel.

광입력에 따라 운곽이 발생되면 distributed-MOSFET을 통해 평활작용이 일어나고 평활화된 전류 I_H 는 M1을 통해 흐른다. 그리고 M1을 통해 흐르는 전류 I_H 는 전류미러에 의해서 M2로 전사된다. 출력전류를 제어하는 스위치 MOSFET인 M3가 ON일 경우, 쌍극세포의 출력에 대응하는 단위픽셀의 출력전류 $I_{OUT} = I_R - I_H$ 가 출력라인을 통해 흐르게 된다. 운곽부분에서 distributed-MOSFET을 통해 포화전류가 흐르므로 운곽의 위치를 검출할 수 있다. 단위픽셀의 1차원 배열에 대한 HSPICE 시뮬레이션을 하였다. $0.6 \mu\text{m}$ 표준 CMOS공정 파라미터를 사용하여 MOSFET의 W/L를 최적화시켰다. 입력광의 분포로 스텝입력을 사용하지 않고 식 (2)와 같은 가우시안 분포를 이용하였다.

$$n(x) = n(R_p) \exp\left[-\frac{(x - R_p)^2}{2\sigma^2}\right] \quad (2)$$

- $n(x)$: 위치 x 에서의 광입력 크기
- R_p : 최대입력광의 크기
- x : 단위픽셀의 위치
- σ_p : Gaussian의 폭

가우시안 분포의 입력광 분포를 그림 5에 나타내었다. 수평세포의 역할을 하는 distributed-MOSFET의 게이트전압(V_g)을 바꾸면서 수용야의 크기가 변화하는 정도를 나타낸 것이 그림 6에 나와있다. 입력전류로는 1 nA를 배경광으로,

10 μA 를 입력 광으로 하였으며 시뮬레이션 결과는 출력단자의 전압인가에 대한 short channel effect를 고려하지 않았다. 시뮬레이션 결과로부터 V_g 의 전압이 높아질수록 큰 출력을 얻을 수 있지만 수용야의 크기도 같이 넓어지므로 공간분해능이 떨어진다는 것을 알 수 있다.

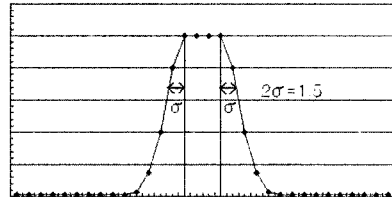


그림 5. 가우시안 입력분포.
Fig. 5. Gaussian input distribution.

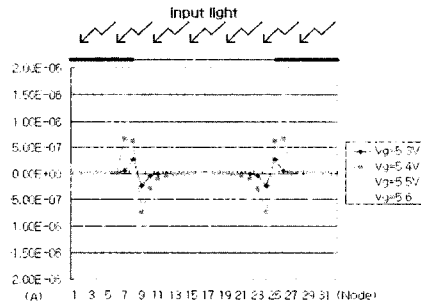


그림 6. V_g 의 변화에 따른 시뮬레이션 결과.
Fig. 6. HSPICE results of output current versus gate bias.

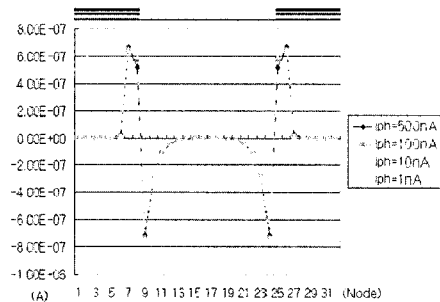


그림 7. 광입력 변화에 따른 시뮬레이션 결과.
Fig. 7. Simulation results of output current with various light input($V_g=5.4V$).

그림 7은 입력광을 바꾸면서 국소 광적응 기능에 대한 결과를 알아본 것이다. distributed-

MOSFET의 게이트 전압은 5.4 V로 고정시킨 다음, 가운데 부분인 9 번부터 24 번까지의 단위 픽셀에는 10 μA 의 광전류를 입력하고, 양쪽 가장자리 부분에는 1 nA에서 500 nA까지의 전류를 입력하였다. 시뮬레이션 결과로부터 국소 광적응의 기능을 확인하였다.

3.2 국소 광적응 방사형 시각칩의 설계

본 연구에서 제안된 국소 광적응 기능을 가지는 방사형 시각칩은 0.6 μm DPTM 표준 CMOS 공정기술로 Cadence tool을 이용하여 설계하였으며 DRC, ERC를 거쳐 MPW로 칩이 제작되었다. 단위픽셀의 개구율은 약 40 %정도이고 빛이 들어가는 photo-transistor 부분을 제외하고는 메탈 마스크를 이용하여 빛이 들어가지 않도록 하였다. 시세포의 기능을 하는 포토트랜지스터는 표준 CMOS공정에서 기생적으로 만들 수 있는 수직형을 이용하였고 이로 인하여 큰 광전류를 얻을 수 있었다. 수직형 포토트랜지스터의 측단면도를 그림 8에 나타내었다.

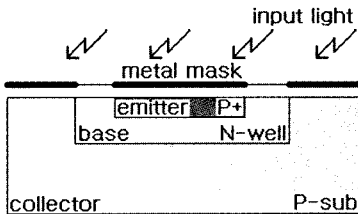


그림 8. 포토트랜지스터의 측단면도.
Fig. 8. Cross-section of photo-BJT.

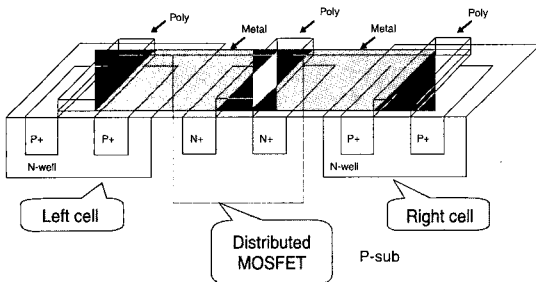


그림 9. Distributed-MOSFET의 구조.
Fig. 9. Structure of distributed-MOSFET.

수평세포의 역할은 작은 면적으로 배선을 간단히 할 수 있으며 전체적인 출력의 크기를 바꿀 수 있는 그림 9와 같은 구조를 가지는 distributed-MOSFET를 이용하여 실현하였다. 그림

10은 설계된 단위픽셀의 레이아웃을 보여준다. 전체 레이아웃은 중심을 기준으로 32 개의 링을 반지름이 선형적으로 증가하도록 배치하였고 각 링에 32 개의 단위픽셀을 연결하였다. 그림 11은 방사형 시각칩의 구조로서 픽셀의 배치도를 나타내고 있다.

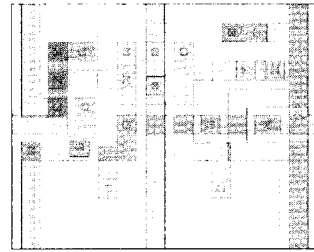


그림 10. 단위픽셀의 레이아웃.
Fig. 10. Layout of unit pixel.

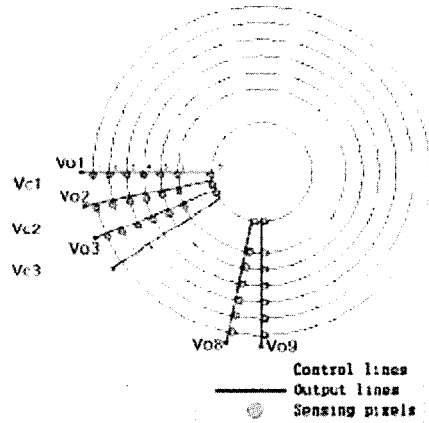


그림 11. 방사형 시각칩의 구조.
Fig. 11. Structure of foveated retina chip.

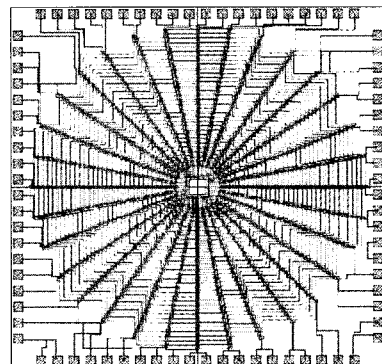


그림 12. 시각칩의 전체 레이아웃.
Fig. 12. Layout of entire retina chip.

V_c 는 출력을 제어하는 신호이며 각각의 링을 제어할 수 있다. V_o 는 출력라인이며 하나의 링이 ON되어 있을 때 단위픽셀 하나의 출력을 얻을 수 있기 때문에 데이터의 임의적 접근이 가능하다. 설계한 방사형 시각칩의 전체 면적은 $4\text{ mm} \times 4\text{ mm}$ 이고 중심에서 밖으로 갈수록 단위픽셀 사이의 거리가 등차적으로 커지게 설계하였다. 그림 12는 전체 시각칩의 레이아웃을 보여주고 있다.

IV. 시각칩의 제조 및 측정결과

방사형 시각칩은 $0.6\mu\text{m}$ DPTM 표준 CMOS 공정을 통해 제조하였다. 제조된 칩의 사진을 그림 13에 나타내었다. 시각칩의 코어부분이 직접 빛을 받아야 하므로 제조된 칩에서 광신호를 받아들이는 부분은 그림 13과 같이 개방되게 제작하였다.

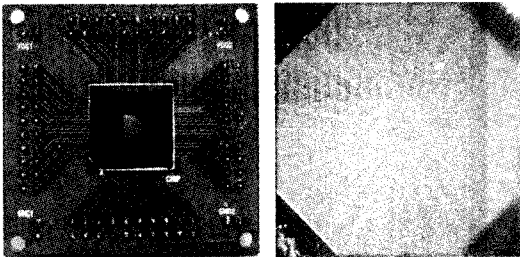


그림 13. 제조된 시각칩의 사진.
Fig. 13. Photographs of fabricated retina chip.

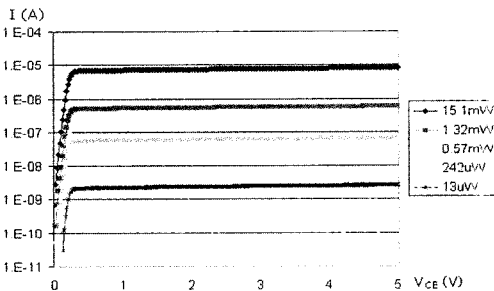


그림 14. 광입력에 따른 포토트랜지스터의 광전류.
Fig. 14. Output currents of photo-BJT for light input.

다양한 광입력에 대하여 포토트랜지스터에서 발생하는 광전류의 크기를 측정하기 위해 테스트 패턴을 사용하였으며 그 결과를 그림 14에 나타

내었다. 광 파워측정은 555 nm 의 파장을 측정하는 광 파워미터로 측정하였다. 그림 14에서 출력 전류의 축은 측정된 전류의 차이가 커서 로그스케일(log scale)로 표현하였다. 그리고 포토트랜지스터의 전류이득인 β 값은 대략 60정도의 값을 나타내었다.

제조된 시각칩의 국소 광적용 기능을 확인하고 윤곽검출을 수행하기 위한 블록 다이어그램을 그림 15에 나타내었다. 단위픽셀의 정상적인 동작과 제조된 시각칩의 보호를 위해 5 V용 레귤레이터와 제너다이오드를 사용하였고 가변저항을 이용해서 distributed-MOSFET의 게이트 전압을 조정할 수 있게 하였다. 그리고 출력단자의 전압에 따른 short channel effect를 줄이기 위해 출력단자의 전압을 조정할 수 있게 구성하였다. 입력광은 Illuminator KLS-100H 화이트 광원을 사용하였다.

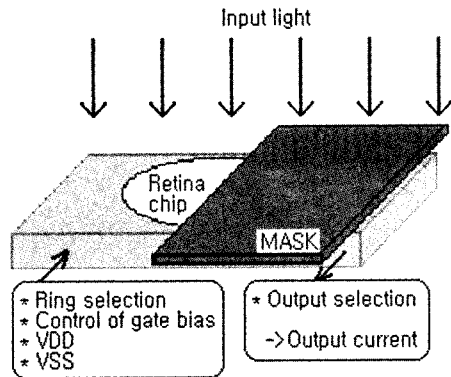


그림 15. 측정장치의 블록다이어그램.
Fig. 15. Block diagram of measurement system.

첫 번째 실험은 시각칩의 절반을 가리고 V_c 를 이용하여 하나의 링만을 동작시킨 다음, distributed-MOSFET의 게이트 전압을 조절하면서 V_o 를 순차적으로 선택하여 출력을 선택하며 수용야의 크기 변화를 측정하였다.

그림 16의 결과로부터 게이트전압이 높아질수록 V_{gs} 가 커져서 R의 역할을 하는 MOSFET을 통한 전류 흐름이 많아진다는 것을 알 수 있었다. 그리고 V_g 의 전압이 낮아지면 출력은 줄어들지만 수용야의 크기가 줄어들어 공간분해능을 높일 수 있다는 것을 알 수 있다.

두 번째 실험은 앞의 실험과 같은 조건에서 게이트전압을 5.4V 로 고정하고 절반부분을 여러 단계의 광 차단 막을 사용해서 가린 후 국소 광

적응기능을 확인해 보았다. 가리지 않은 부분의 광 파워는 15.1 mW이고 여러 단계의 광 차단 막을 사용할 경우 광 파워는 각각 1.32 mW, 0.57 mW, 242 μW, 13 μW를 나타내었다. 실험으로부터 밝은 광신호에 적응하여 수 order의 입력광 차이에도 불구하고 비슷한 출력값을 가지는 국소 광적응 기능을 확인 할 수 있었다. 이러한 결과를 그림 17에 나타내었다.

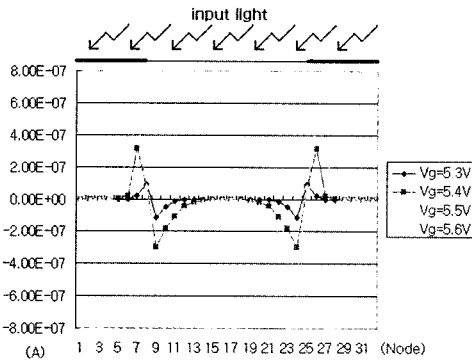


그림 16. 게이트 바이어스에 따른 측정 결과.
Fig. 16. Measured output versus gate bias.

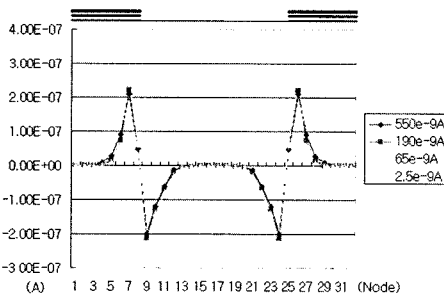


그림 17. 다양한 입력광에 따른 측정 결과.
Fig. 17. Measured output with various light input.

세 번째 실험은 임의의 원형 모양을 가진 광 신호를 렌즈를 통해 입력하며 V_C 와 V_O 를 순차적으로 하나씩 선택하면서 2차원에 대한 윤곽검출 기능을 살펴보았다. 광원으로는 일반적인 백열등을 사용하였으며 원형 모양을 제외한 나머지 부분은 가리고 시각칩의 정면에서 광을 입력하였다. 그림 18의 결과로부터 2차원의 윤곽검출 기능을 확인할 수 있었다.

V. 결과에 대한 고찰

제조된 시각칩의 실험으로부터 밝은 광신호에

적응하여 수 nA에서 수 백 nA 정도의 다른 입력 광에서도 윤곽을 검출 할 수 있고 출력값이 비슷한 레벨로 나온다. 단위픽셀의 수가 작아 단순한 패턴에 대한 실험만을 행하였지만 단위픽셀의 수가 많아진다면 영상신호 처리의 속도에서나 효율에서 방사형 구조의 장점을 확인할 수 있을 것이다. 설계한 칩의 문제점은 출력을 측정하는 출력 단자의 전압에 따라서 결과가 변할 수 있다는 사실이다.

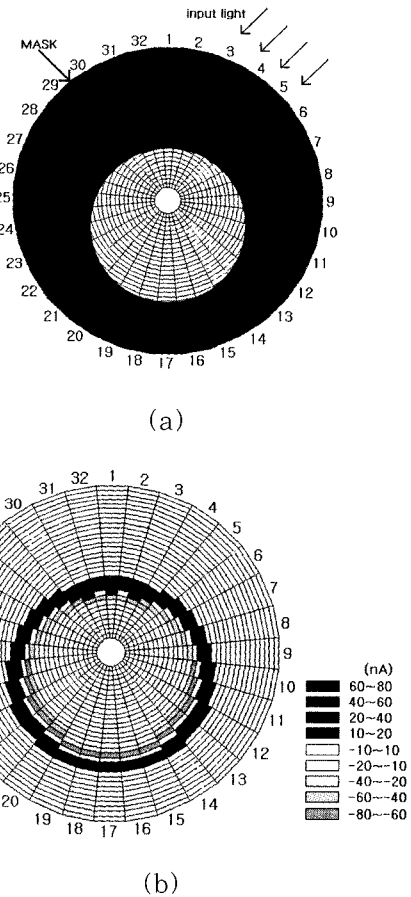


그림 18. 2차원 입력패턴에 대한 측정 결과.
Fig. 18. Measured output for 2-dimensional input image.
(a) 2-dimensional input image.
(b) measured output current.

이런 결과의 원인은 MOSFET의 mismatch를 생각할 수 있다. 다른 원인으로는 단위픽셀의 동작이 작은 전류를 흘리는 subthreshold영역을 이용하므로 0.1V 이상의 V_{ds} 에서 이론적으로는 포화가 되지만 실제 제작된 칩에서는 포화가

완전히 되지 않고 V_{ds} 의 변화에 따라 전류의 양이 변화하였다. 시각칩의 측정에서는 출력단자의 전압을 조정하여 이런 영향을 무시할 수 있었지만 응용을 위해서는 문제점이 될 수 있을 것으로 생각된다.

VI. 결 론

본 연구에서는 국소 광적응기능을 가지는 윤곽검출용 방사형 시각칩을 설계 및 제조하였다. 망막에서 행해지는 윤곽검출 원리를 모델링하여 시세포, 수평세포 그리고 쌍극세포의 역할을 전자회로적으로 구현하였다. 기존에는 광신호의 차이가 작을 때, 윤곽을 검출하는데 어려움이 있었다. 국소 광적응 기능을 가진 시각칩은 배경광과 입력광의 차이가 작을 경우와 다양한 입력광이 들어올 때에도 윤곽을 검출할 수 있다. 이러한 결과는 공정 파라미터를 사용한 HSPICE 시뮬레이션으로 1 nA에서 500 nA까지 500배의 입력광 강도차이에도 불구하고 출력에서는 비슷한 값을 보이는 것을 확인하였으며 실험을 통해서 실제 제작된 시각칩이 국소 광적응 기능을 가지고 1차원뿐만 아니라 2차원에서도 윤곽검출을 수행한다는 것을 확인하였다.

V_g 의 전압에 따라서 출력값을 다양하게 변화시킬 수 있기 때문에 입력광에 따라 V_g 의 전압을 자동으로 조정할 수 있는 회로를 추가한다면 원하는 출력을 얻으면서도 출력레벨을 더욱 동일한 값으로 만들 수 있을 것이다.

방사형 구조의 단위픽셀 배치를 통해서 선택적인 영상데이터의 감소를 가능하게 하여 영상처리의 속도를 빠르게 할 수 있다. 그러나 방사형 구조로 설계할 경우, 배선과 같은 공정상의 제약으로 중심영역에 공백이 발생한다. 앞으로의 연구에서는 이런 중심에 공백이 발생하지 않는 새로운 구조에 관한 연구가 필요하다. 또한 효율적인 photo-transistor의 설계와 주변회로와의 인터페이스가 이루어진다면 실용적인 응용이 가능할 것이다.^[7]

본 연구는 한·일 국제공동연구사업(KISTEP)과 뇌과학연구개발사업(과학기술부)의 지원에 의해 수행되었음.

참 고 문 헌

- [1] T. Delbrück and C. Mead, "Analog LSI photo-transduction by continuous, adaptive, logarithmic photo-receptor circuits", *Computation and Neural Systems Program*, vol. 30, pp.1-23, 1994.
- [2] C. A. Mead, *Analog VLSI and Neural Systems*, Addison-Wesley, 1989.
- [3] C. Y. Wu and C. F. Chiu, "A new structure of the 2-D silicon retina", *IEEE J. Solid-State Circuits*, vol. 30, pp. 890~897, 1995.
- [4] H. Ikeda, K. Tsuji, T. Asai, H. Yonezu, J. K. Shin, "A Novel Retina Chip with Simple Wiring for Edge Extraction", *IEEE Photonics Technology Letters*, vol. 10, NO. 2, pp. 261~263, 1998.
- [5] T. Miyashita, K. Nishio, M. Ohtani, H. Yonezu "Analog integrated circuits for edge detection with local adaptation", *The 1999 Annual Conference of Japanese Neural Network Society*, pp.65-66, 1999.
- [6] F. Pardo, B. Dierickx, D. Scheffer, "CMOS Foveated Image Sensor: Signal Scaling and Small Geometry Effects", *IEEE Transactions on Electron Devices*, vol. 44, NO. 10, October, pp. 1731~1737, 1997.
- [7] C. Y. Wu and H. C. Jiang, "An Improved BJT-Based Silicon Retina with Tunable Image Smoothing Capability", *IEEE Transactions on Very Large Scale Integration(VLSI) Systems*, vol. 7, NO. 2, June, pp. 241~248, 1999.

著 者 紹 介

박 대 식

1974년 12월 17일생.
2000년 경북대학교 전자전기공학부 졸업(공학사).
현 경북대학교 대학원 전자공학과 석사과정
주관심 분야 : CMOS retina chip, 아날로그 회로설계



박 중 호

1975년 11월 9일생
2001년 금오공과대학 전자공학과 졸업(공학사)
현 경북대학교 대학원 전자공학과 석사과정
주관심 분야 : CMOS retina chip, analog circuit design, process variation cancellation



김 경 문

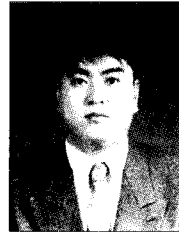
1975년 10월 21일생
2001년 경상대학교 전자재료학과 졸업(공학사)
현 경북대학교 대학원 전자공학과 석사과정
주관심 분야 : silicon retina chip, analog circuit design

김 현 수

1976년 5월 14일생.
1999년 경북대학교 전자전기공학부 졸업(공학사).
2001년 경북대학교 대학원 전자공학과 졸업(공학석사)
현 경북대학교 대학원 전자공학과 박사과정
주관심 분야 : CMOS retina chip, analog circuit design

이 수 경

1976년 5월 7일생
2000년 경북대학교 전자전기공학부 졸업(공학사).
2002년 경북대학교 대학원 전자공학과 졸업(공학석사)
현 삼성전자 근무
주관심 분야 : CMOS retina chip, 디지털 회로 설계



김 정 환

1970년 11월 18일생
1999년 경북대학교 대학원 전자공학과 졸업(공학석사)
현 경북대학교 대학원 전자공학과 박사과정
주관심 분야 : CMOS retina chip, analog circuit design

이 민 호

1965년 12월 19일생
1988년 2월 경북대학교 공과대학 전자공학과(학사).
1995년 8월 한국과학기술원 전기 및 전자공학과(석사, 박사).
1995년 9월 ~ 1998년 2월 한국해양대학교 전기공학과 (전임강사, 조교수).
1998년 3월 ~ 현재 경북대학교 전자전기공학부 전임강사, 조교수
1998년 3월 ~ 현재 경북대학교 전자전기컴퓨터학부/센서기술연구소(전임강사, 조교수)
주관심 분야 : 신경망, 지능정보처리시스템

신 장 규

1978년 서울대학교 전자공학과 졸업(공학사).
1980년 한국과학기술원 전기 및 전자공학과 졸업(공학석사).
1991년 미국 콜로라도 주립대학교 전기공학과 졸업(공학박사).
1995년~1997년 일본 토요하시 기술과학대학교 교환교수.
1980년~현재 경북대학교 전자전기공학부 교수.
주관심 분야 : 반도체센서, 시각칩