

논문 2002-11-5-01

MOSFET의 부정합에 의한 출력오프셋 제거기능을 가진 윤곽검출용 시각칩의 설계

박종호*, 김정환*, 이민호*, 신장규*

Design of a Vision Chip for Edge Detection with an Elimination Function of Output Offset due to MOSFET Mismatch

Jong-Ho Park*, Jung-Hwan Kim*, Minho Lee*, and Jang-Kyoo Shin*

요 약

인간의 망막은 효율적으로 주어진 물체의 윤곽을 검출할 수 있다. 본 연구에서는 윤곽검출에 관여하는 망막 세포의 기능을 전자회로로 모델링하여 윤곽검출기능을 가지는 CMOS 시각칩을 설계하였다. CMOS 제조공정 중에는 여러 가지 요인에 의해 MOSFET의 특성이 변화할 수 있으며, 특히 어레이로 구성되어 각 픽셀의 신호를 출력하는 readout 회로에서의 특성변화는 출력오프셋으로 나타난다. 하드웨어로 입력영상의 윤곽을 검출하는 시각칩은 다른 응용시스템의 입력단에 사용되므로 이러한 오프셋은 전체 시스템의 성능을 결정하는 중요한 요소이다. 본 연구에서는 이와 같은 출력단의 오프셋을 제거하기 위해 CDS(Correlated Double Sampling) 회로를 이용한 윤곽 검출용 시각칩을 설계하였다. 설계된 시각칩은 CMOS 표준공정을 이용하여 다른 회로와 집적화가 가능하며, 기존의 시각칩보다 신뢰성 있는 출력특성을 나타냄으로써, 물체의 윤곽을 이용하는 물체추적, 지문인식, 인간 친화적 로봇시스템등의 다양한 응용 시스템의 입력단으로 적용될 수 있을 것이다.

Abstract

Human retina is able to detect the edge of an object effectively. We designed a CMOS vision chip by modeling cells of the retina as hardwares involved in edge detection. There are several fluctuation factors which affect characteristics of MOSFETs during CMOS fabrication process and this effect appears as output offset of the vision chip which is composed of pixel arrays and readout circuits. The vision chip detecting edge information from input image is used for input stage of other systems. Therefore, the output offset of a vision chip determine the efficiency of the entire performance of a system. In order to eliminate the offset at the output stage, we designed a vision chip by using CDS(Correlated Double Sampling) technique. Using standard CMOS process, it is possible to integrate with other circuits. Having reliable output characteristics, this chip can be used at the input stage for many applications, like target tracking system, fingerprint recognition system, human-friendly robot system and etc.

1. 서 론

최근 CMOS 공정기술이 발전하고 다양한 기

능의 회로와 집적할 수 있는 시각센서의 제작이 용이해짐에 따라 단순히 광신호를 전기신호로 변환하는 영상센서의 개념에서 벗어나 기능적인 측면이 강조된 영상센서를 개발하려는 연구들이 활발하게 진행되고 있다.^[1] 특히 인간의 망막에서의 신호처리 원리가 점차 밝혀지면서 이를 모방하여 실리콘 위에 집적회로로 구현한 여러 가지 시각칩이 발표되고 있다.^[2,3]

* 경북대학교 전자전기공학부 (School of Electronic & Electrical Engineering, Kyungpook National Univ.)

<접수일자 : 2002년 6월 17일>

인간망막의 신호전달 체계를 전자회로로 모델링하여 시각칩을 구현하였을 때 그 성능을 제한하는 가장 큰 요인 중의 하나는 CMOS 제조공정 중에 발생하는 MOSFET의 부정합이다. 이것은 시간과 위치에 독립적으로 랜덤하게 발생하며, 현재 공정기술의 발달로 MOSFET의 면적과 회로의 전원 전압이 감소함에 따라 더욱 그 중요성이 대두되고 있다.⁽⁴⁾ 아날로그 신호처리 회로, 디지털-아날로그 변환기, 기준전압회로 등의 아날로그회로 뿐만 아니라 읽기, 쓰기를 수행하는 메모리와 같은 디지털회로에서도 이러한 부정합 특성에 의해 시스템의 성능이 결정되므로 MOSFET의 매칭(matching) 특성은 매우 중요한 요소이다.

일반적으로 MOSFET의 부정합 특성을 좌우하는 모델 파라미터에는 문턱전압(V_T), current factor(β), subthreshold factor(k)로 기술할 수 있으며, 이들은 공정상의 물리적인 요인들, 예를 들면 depletion charge, implantation, fixed oxide charge, oxide granularity의 차이에 의해 변화할 수 있다. 이 요인들 중 fixed oxide charge의 변화에 따른 문턱전압의 변화가 MOSFET의 부정합 특성에 가장 큰 영향을 초래한다고 알려져 있다.⁽⁴⁾

본 연구에서는 망막에서의 윤곽검출 알고리즘을 모방하여 윤곽검출용 시각칩을 설계하였으며, 특히 MOSFET의 부정합으로 발생하는 출력단의 오프셋을 CDS(Correlated Double Sampling)회로를 이용하여 제거할 수 있도록 하였다.⁽⁵⁾

2. 이 론

2.1 망막의 구조 및 윤곽검출의 원리

인체의 망막구조는 그림 1과 같다. 망막에는 외과립층(outer nuclear layer), 내과립층(inner nuclear layer), 신경절 세포층(ganglion cell layer)의 3개의 세포층상에 시세포(photo-receptor), 수평세포(horizontal cell), 쌍극세포(bipolar cell), 아마크린 세포(amacrine cell), 신경절 세포(ganglion cell) 및 망상층간 세포(interplexiform cell)로 구성된 6종류의 세포가 존재하며, 이들은 외망상층(outer plexiform layer)과 내망상층(inner plexiform layer)의 두 개의 시냅스 결합층에서 시냅스 결합을 이루고 있다.

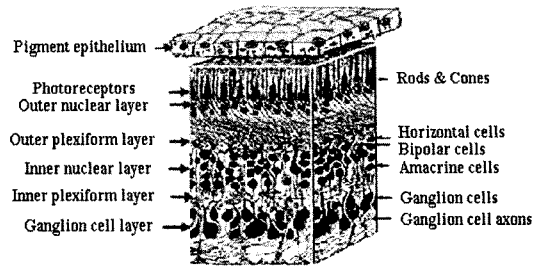


그림 1. 간략화된 망막의 구조.
Fig. 1. Simplified structure of the retina.

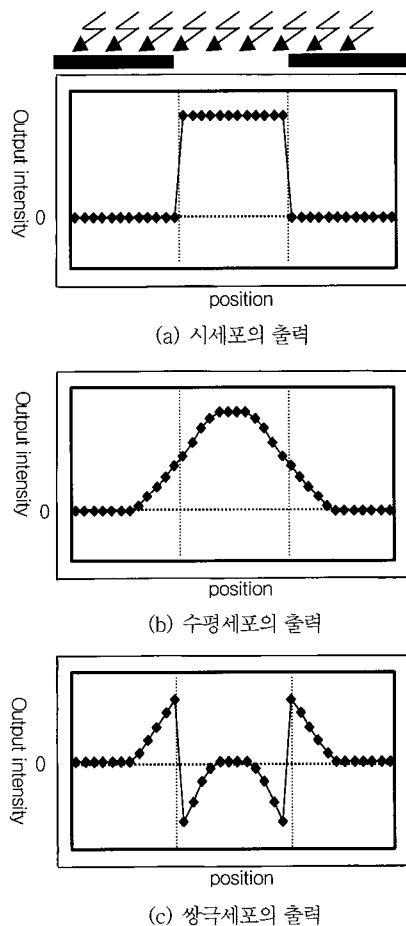


그림 2. 윤곽검출의 원리.
Fig. 2. Principle of edge detection.

이 세포들 중 윤곽검출에 관여하는 세포는 시세포, 수평세포, 그리고 쌍극세포로 알려져 있다. 망막에서의 신호 흐름을 보면 입사된 광신호는 모든 다른 세포를 통과하여 가장 안쪽에 위치한 시세포에서 흡수되고, 시세포는 입사된 광

신호를 전기적 신호로 변환한다. 수평세포는 인접셀과 연계하여 시세포의 출력을 공간적으로 평활화 한다. 이렇게 광강도에 대응하는 시세포의 출력과 평활화된 출력의 차가 쌍극세포에서 얻어져 윤곽부근에서만 큰 출력을 얻게된다. 그림 2에 망막에서의 윤곽검출 원리와 각 세포에서의 출력을 나타내었다.^[6]

2.2 CDS(Correlated Double Sampling) 회로

생체의 망막이 윤곽을 검출하는 효율적인 메커니즘을 전자회로로 구현하기 위해서는 망막자체의 시세포, 수평세포, 쌍극세포의 모델링 뿐만 아니라, 픽셀의 출력을 내보내기 위한 readout 회로, 원하는 픽셀을 선택하는 디코더, 그리고 작은 신호를 증폭하기 위한 증폭기등 부가적인 회로들이 필요하다. 이 회로들을 구성하는 개개 소자들의 특성을 결정하는 요인들은 CMOS 제조공정 중에 변화할 수 있으며, 특히 각 픽셀 출력단의 readout회로에서의 변화는 시각칩의 최종 출력에 오프셋을 유발하고, 이 시각칩이 다른 응용시스템의 입력으로 사용될 경우 시스템의 신뢰성을 제한하게 된다. 오프셋을 제거하여 출력특성을 개선하기 위해 시각칩에 사용된 특정 픽셀의 readout회로와 한 column을 공유한 CDS 회로를 그림 3에 나타내었다.

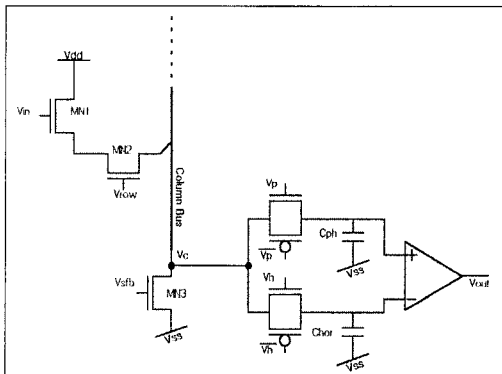


그림 3. Readout 회로와 CDS 회로.

Fig. 3. Readout and CDS circuit.

트랜지스터 MN1과 MN3의 소스폴로워 출력버퍼와 픽셀 어레이중 하나의 row를 선택하기 위해 스위치로 사용된 MN2가 선택된 row의 출력을 읽기 위한 readout회로이다. MN1이 포화영역에서 동작하고, 공정변화에 의한 문턱전압

의 변화가 ΔV_{T1} 이며, 입력 V_{in} 에 V_{i1} 과 V_{i2} 가 각각 인가된다고 가정하면 MN3의 드레인 노드 전압 V_c 와 V'_c 는 식(1), (2)와 같이 계산된다.

$$V_c = V_{i1} - V_{sfb} - (V_{T1} + \Delta V_{T1})^2 - V_{T2}^2 \quad (1)$$

$$V'_c = V_{i2} - V_{sfb} - (V_{T1} + \Delta V_{T1})^2 - V_{T2}^2 \quad (2)$$

$$V_c - V'_c = V_{i1} - V_{i2} \quad (3)$$

여기서 V_{T1} 과 V_{T2} 는 MN1과 MN2의 문턱전압이고, V_{sfb} 는 MN3의 게이트 전압이며, body effect는 무시하였다. V_c 는 ΔV_{T1} 의 제곱에 비례하여 변화하게 되고 이 전압이 C_{ph} 에 저장된다. 또한 두 번째 입력전압 V_{i2} 에 의한 전압 V'_c 도 동일한 문턱전압의 변화성분을 포함한 전압이며 C_{hor} 에 저장된다. 문턱전압의 변화에 의한 동일한 변화량을 가진 두 전압의 차는 식(3)과 같이 오프셋이 제거된 순수한 두 전압의 차를 출력한다. 다시 말해 부정합에 의한 출력단의 오프셋을 제거하기 위해 동일한 오프셋 성분을 포함하고 있는 두 신호의 차를 구함으로써 공통성분인 오프셋은 제거되고 원하는 두 신호의 차이만이 출력된다. 이 원리를 시각칩에 적용하면 시세포의 출력, 즉 광강도에 해당하는 출력과, 평활화된 신호의 출력을 하나의 readout회로를 통해 각각 저장하고, 두 신호의 차이를 구함으로써 오프셋이 제거된 윤곽신호를 얻을 수 있을 것이다.

3. 시각칩의 설계

3.1 CDS회로를 가진 시각칩의 동작 원리

인간의 망막이 물체의 윤곽을 검출하는 메커니즘을 회로로 모델링하고, CMOS 제조공정에서의 파라미터 변화 때문에 발생하는 출력오프셋을 제거하기 위해 설계한 CDS회로를 가진 윤곽검출용 시각칩의 블록다이어그램을 그림 4에 나타내었다. 입사된 광입력의 크기에 비례하는 전압을 출력하는 photodetector, 인접셀과 연계하여 그 신호를 공간적으로 평활화하는 MOSFET를 이용한 저항회로망, 그리고 단위셀의 출력을 읽기 위한 소스폴로워 형태의 readout회로가 하나의 단위셀을 구성하고, 이 단위셀들이 2-D 어레이로 배치되어 있다. 저항회로망은 P-MOSFET를 사용하여 subthreshold영역에서 동작하게 되고, P-MOSFET에 인가되는 게이트 바이어스에 의해 결과적으로는 R성분이 조절되어

평활화되는 정도가 제어된다. 이때 MOSFET의 적절한 게이트 전압을 공급하기 위한 바이어스 회로가 내장되어 그 역할을 담당한다. 입사된 광에 비례하는 전압과 공간적으로 평활화된 신호가 각각 하나의 column을 공유하고 있는 sample-and-holder에 저장되고 이 두 전압의 차가 차동증폭기에서 증폭되어 출력버퍼를 통해 최종 출력된다.

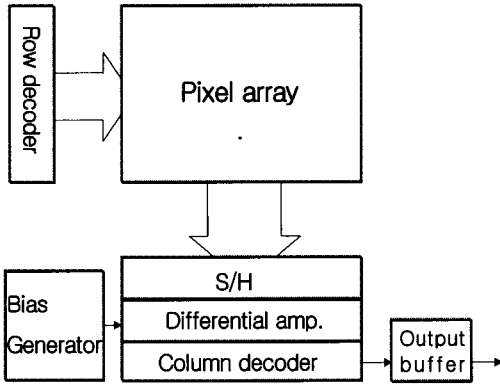


그림 4. CDS회로를 가진 시각칩의 블록다이어그램.
Fig. 4. Block diagram of a vision chip with CDS circuit.

sample-and-holder에 저장된 두 신호는 각 픽셀의 동일한 MOSFET을 통한 출력이므로 같은 옙셋성분을 포함하게 되어 차를 구하는 과정에서 옙셋은 제거된다. 또한 디코더를 사용하여 원하는 픽셀출력을 임의로 선택 가능하게 하였다. 그림 5는 시각칩의 픽셀 신호중 광강도에 비례하는 출력을 읽어서 저장하고, 평활화를 수행하여 공간적으로 평활된 신호를 저장하기 위한 제어신호이다. 특정픽셀의 출력을 얻기위해 row 디코더에 읽고자 하는 픽셀의 주소를 입력하면 디코더의 출력이 row단자에 선택적으로 인가된다. V_{ph_sample} 전압이 각 column에 공통으로 연결되어있는 첫번째 sample-and-holder에 인가되어 선택된 픽셀의 출력을 저장하며, 이때 저장된 신호는 픽셀에서 광입력 신호에 비례하여 변환된 전기적신호와 readout회로의 옙셋성분을 포함한 출력에 해당한다. V_{hor_enable} 신호가 인가되면 인접셀과 연결되어 있는 평활 MOSFET의 게이트에 바이어스를 공급하여 변환된 전기적 신호를 공간적으로 평활화하게 되며, 평활화된 두번째 전압이 V_{hor_sample} 신호에 의해 두

번째 sample-and-holder에 저장된다. 이 두 신호가 차동증폭기의 입력으로 주어져 두 입력의 차이가 증폭되어 출력되며, 물체의 윤곽부근에서 가장 큰 전압을 나타낸다.

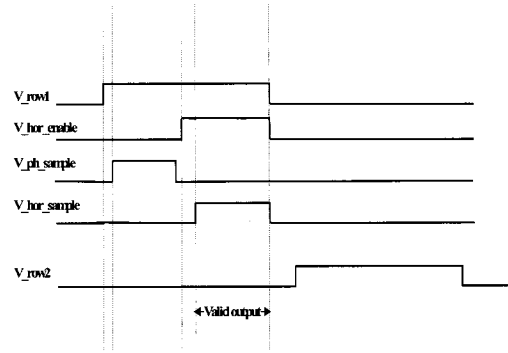


그림 5. 시각칩의 제어 신호.

Fig. 5. Control signals of a vision chip.

픽셀 어레이를 구성하고 있는 단위픽셀의 등가회로를 그림 6에 나타내었다. MP1과 포토다이오드는 생체 망막에서의 시세포에 해당하는 역할을 수행한다. 포토 다이오드에 입사된 광에 의한 전류는 수 pA에서 수백 nA 정도로 작기 때문에 MP1은 subthreshold영역에서 동작한다. 이때 MP1으로 흐르는 전류는 식(4)와 같으므로 출력전압 V_{ph} 는 광전류를 로그형태로 압축한 형태가 되어 100dB 이상의 넓은 다이내믹 range를 가진다.^(7,8)

$$I_{photo} = \frac{W}{L} I_{D0} e^{\left(\frac{V_{ph}}{U_i} k\right)} \quad (4)$$

여기서 I_{D0} 는 광입력이 없는 상태에서 다이오드의 역방향 누설전류이다.

MP2와 MP3은 인접픽셀과 연결되어 저항회로망을 구성하며 시세포의 출력신호를 공간적으로 평활화하는 수평세포의 역할을 담당한다. 평활 역할을 수행하는 MOSFET는 R-G 저항회로망의 등가 R성분으로, 광강도를 전기적 신호로 변환하는 MOSFET는 등가 G성분으로 각각 모델링할 수 있으며, 저항회로망에서의 평활 되는 정도, 즉 확산거리 L 은 식(5)와 같이 계산되어진다.^(8,9) 따라서 평활 MOSFET의 게이트 바이어스에 의해 R성분을 제어할 수 있고, 확산거리 즉 평활되는 정도와 공간분해능이 결정됨으로 다양한 입력광 세기의 변화에 대해 최적의 출력을 얻기 위해서는 정확한 바이어스의 공급이 필요하다.

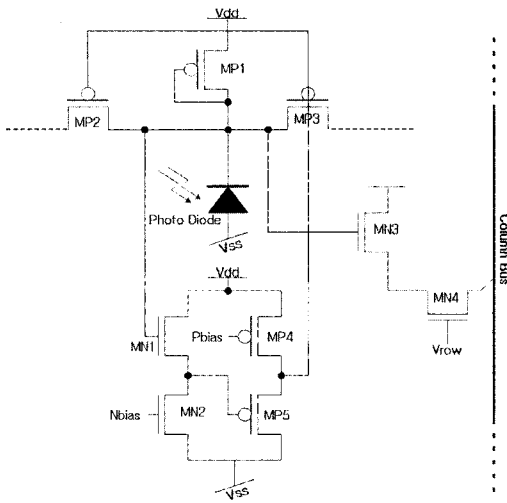


그림 6. 단위픽셀의 등가회로.
Fig. 6. Equivalent circuit of unit pixel.

$$L = \frac{1}{\sqrt{RG}} \quad (5)$$

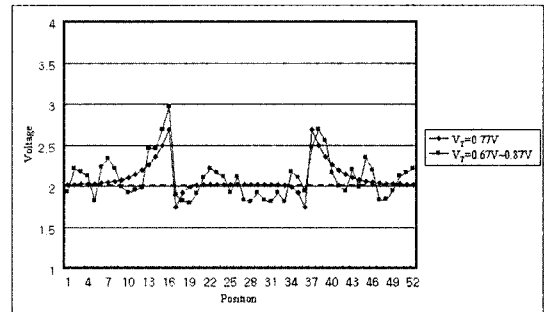
MN1과 MN2의 소스폴로워와 MP4와 MP5의 level shifter 회로가 현재 픽셀에 조사되는 광강도에 따라 적절한 평활 MOSFET의 게이트 바이어스를 공급하여 다양한 입력에 대한 윤곽검출이 가능하다. MN3와 MN4는 픽셀의 출력을 읽기위한 readout회로이다.

3.2 오프셋 제거기능을 가진 시각칩의 시뮬레이션

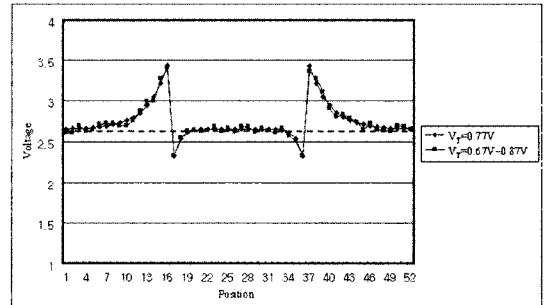
CDS회로를 가진 시각칩의 윤곽검출 성능과 오프셋 제거기능을 확인하기 위한 시뮬레이션을 수행하였다. 기존의 시각칩과 제안한 CDS회로를 가진 시각칩의 MOSFET의 모델 파라미터 중에서 문턱전압을 임의로 변화시켜 검증하였다. 52개의 픽셀을 가지는 1차원 어레이를 구성하여 16번째 픽셀까지는 광전류를 100 pA, 36번째 픽셀까지는 1 nA를, 52번째 픽셀까지는 다시 100 pA의 입력으로 두 위치에서 윤곽이 존재하게 하였다.

그림 7(a)는 출력단에 CDS회로를 적용하지 않은 기존의 시각칩에서 readout회로의 문턱전압을 0.77V를 기준으로 하여 최소 0.67V에서 최대 0.87V 사이에서 랜덤하게 변화시켜 구한 시각칩의 각 위치에서의 전압 출력결과이다. 이

때 사용한 최대, 최소의 문턱전압은 공정회사에서 제공하는 설계 자료를 참조하였다. 각 픽셀의 readout회로의 문턱전압이 랜덤하게 변화하는 경우, 기존의 시각칩에서는 MOSFET의 문턱전압 변화가 출력의 많은 변화를 수반함을 확인할 수 있다.



(a) 오프셋 제거 기능이 없는 기존의 시각칩.
(a) Vision chip without an elimination function of offset.



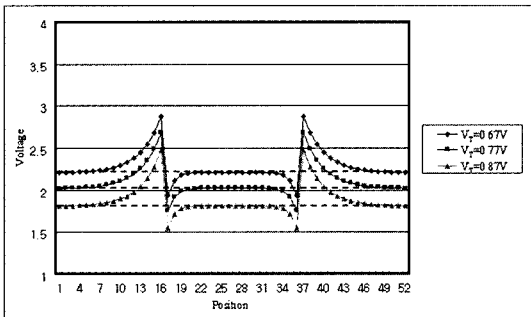
(b) CDS회로를 가진 시각칩.
(b) Vision chip with CDS circuit.

그림 7. 출력단을 구성하는 MOSFET의 문턱전압이 랜덤하게 변화하는 경우의 시뮬레이션 결과.
Fig. 7. Simulation result when the threshold voltage of output MOSFETs is varied randomly.

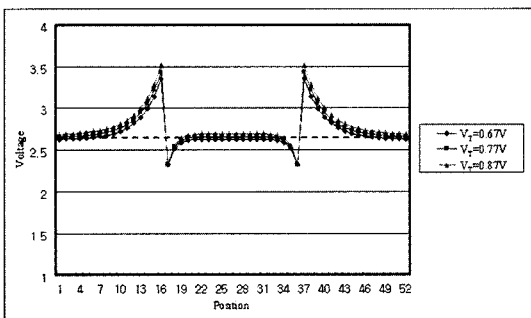
그림 7(b)는 이번 설계에 사용된 CDS회로를 가진 시각칩을 기존의 시각칩과 동일한 문턱전압의 변화를 주어 시뮬레이션을 수행한 결과이다. 주어진 입력에 대해 윤곽부근에서 큰 전압이 출력되어 윤곽검출기능이 수행됨을 확인할 수 있고, 기존의 시각칩과 동일한 MOSFET의 문턱전압 변화에도 불구하고 출력오프셋이 제거되어 문턱전압의 변화가 없는 조건에서 얻은 결과와 거의 비슷한 출력특성을 가진다.

그림 8은 출력단을 구성하는 MOSFET의 문

턱전압을 기준값으로 부터 일정하게 변화시켜 시뮬레이션을 수행한 결과로써, 제조된 여러개의 칩이 가질 수 있는 문턱전압의 일정한 변화가 출력에 미치는 영향을 확인하였다. 시뮬레이션에 이용한 MOSFET의 문턱 전압은 각각 0.77V일 때를 기준으로 0.87V로 증가하였을 경우와 0.67V로 감소하였을 경우의 출력특성을 나타내었다. 기존 시각칩의 경우 readout 회로를 구성하는 MOSFET의 문턱전압 변화로 인해 출력전압에 오프셋이 포함되어 윤곽검출을 위해서는 오프셋의 보상이 필요함을 알 수 있다. CDS회로를 가진 제안된 시각칩에서는 오프셋이 제거되어 거의 일정한 출력을 보인다.



(a) 오프셋제거 기능이 없는 기존의 시각칩.
(a) Vision chip without an elimination function of offset.



(b) CDS회로를 가진 시각칩.
(b) Vision chip with CDS circuit.

그림 8. 출력단을 구성하는 MOSFET의 문턱전압 변화가 모든 픽셀에서 일정할 때의 시뮬레이션 결과.

Fig. 8. Simulation result when the variation of threshold voltage of output MOSFETs is constant at entire pixels.

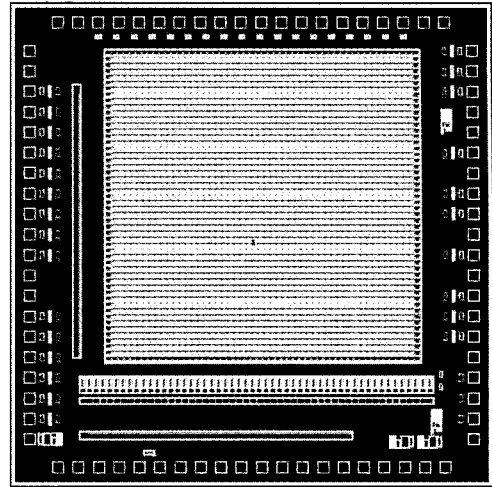


그림 9. 시각칩의 레이아웃.
Fig. 9. Layout of a vision chip.

그림 9에 오프셋 제거기능을 가진 윤곽검출용 시각칩의 레이아웃을 나타내었다. 전체 $4 \times 4 \text{ mm}^2$ 의 크기에 단위픽셀의 면적은 $52 \times 50 \mu\text{m}^2$ 이고 52×52 정방형 어레이로 구성되어 있으며, fill factor는 45% 정도이다.

4. 결 론

인간의 망막이 행하는 시각 정보처리의 효율성을 모방하여 실시간으로 정보처리가 가능한 윤곽검출용 시각칩을 설계하였다. CMOS공정 중에는 oxide charge, oxide 두께, 그리고 불순물의 농도 등이 시간과 공간에 대해 무관하게 변화하기 때문에 소자의 특성 또한 다양하게 변화할 수 있으며, MOS소자의 문턱전압의 변화는 아날로그 회로 뿐만 아니라 디지털회로에서도 시스템의 성능을 결정하는 중요한 요소가 된다.

본 연구에서는 CDS기법을 이용하여 CMOS 제조공정중에 발생할 수 있는 MOSFET의 특성 변화에 따른 출력의 변화를 최소화할 수 있는 윤곽검출용 시각칩을 설계하였다. 이는 물체의 영상으로부터 특징을 추출하여 사용하는 다양한 응용시스템의 입력단에 위치하여 하드웨어적인 윤곽선추출을 통해 전체 시스템의 속도와 성능향상을 기대할 수 있으며, 기존의 CCD와 프로세서로 대체하여 보다 저렴한 비용으로 다양한 시스템의 설계가 가능할 것이다. 설계된 회로는

HSPICE 시뮬레이션을 통해 검증되었고, 0.6 μ m CMOS process를 이용하여 현재 제작중에 있다.

참 고 문 헌

- [1] T. Miyashita, K. Nishio, M. Ohtani, and H. Yonezu, "Analog integrated circuits for edge detection with local adaptation," The 1999 Annual Conference of Japanese Neural Network Society, pp. 65-66, 1999.
- [2] H. S. Kim, D. S. Park, B. W. Ryu, S. K. Lee, M. H. Lee, and J. K. Shin, "Design and Fabrication of 8 \times 8 Foveated CMOS Retina Chip for Edge Detection," The Korean Sensors Society, vol. 10, pp.91-100, 2001.
- [3] D. S. Park, K. M. Kim, S. K. Lee, H. S. Kim, J. H. Kim, M. H. Lee, and J. K. shin, "Design and Fabrication of 32 \times 32 Foveated CMOS Retina Chip for Edge Detection with Local-Light Adaptation," The Korean Sensors Society, vol. 11, pp. 84-92, 2002.
- [4] Marcel J. M. Pelgrom, Aad C. J. Duinmaijer, and Anton P. G. Welbers, "Matching Properties of MOS Transistors," IEEE Journal of Solid-State Circuits, vol. 24, NO. 5, pp. 1433-1440, 1989.
- [5] S. K. Mendis, S. E. Kemeny, R. C. Gee, B. Pain, C. O. Staller, Q. Kim, and E. R. Fossum, "CMOS active pixel image sensors for highly integrated imaging systems," IEEE Journal of Solid-State Circuits, vol. 32, pp. 187-197, Feb. 1997.
- [6] H. Ikeda, K. Tsuji, T. Asai, H. Yonezu, and J. K. Shin, "A Novel Retina Chip with Simple Wiring for Edge Extraction," IEEE Photonics Technology Letters, vol. 10, NO. 2, pp. 261-263, 1998.
- [7] T. Delbrück and C. Mead, "Analog VLSI photo - transduction by continuous, adaptive, logarithmic photoreceptor circuits," Computation and Neural Systems Program, vol. 30, pp. 1-23, 1994.
- [8] C. A. Mead, *Analog VLSI and Neural Systems*, Addison-Wesley, 1989.
- [9] Alireza Moini, *Vision Chips or Seeing Silicon*, CHiPTec, 1997.

著 者 紹 介

박 중 호

1975년 11월 9일생
 2001년 금오공과대학교 전자공학과 졸업
 (공학사)
 현 경북대학교 대학원 전자공학과 석사과정.
 주관심 분야 : CMOS retina chip, analog circuit design process variation cancellation

김 정 환

1970년 11월 18일생
 1999년 경북대학교 대학원 전자공학과 졸업
 (공학석사)
 현 경북대학교 대학원 전자공학과 박사과정
 주관심 분야 : CMOS retina chip, analog circuit design

이민호

1965년 12월 19일생

1988년 2월 경북대학교 공과대학 전자공학과 졸업(공학사)

1995년 8월 한국과학기술원 전기 및 전자공학과 졸업(석사, 박사)

1995년 9월 ~ 1998년 2월 1998년 2월 한국해양대학교 전기공학과 (전임강사, 조교수)

1998년 3월 ~ 현재 경북대학교 전자전기공학부 전임강사, 조교수

1998년 3월 ~ 현재 경북대학교 전자전기컴퓨터학부/센서기술연구소(전임강사, 조교수)

주관심 분야 : 신경망, 지능정보처리시스템

신장규

1978년 서울대학교 전자공학과 졸업(공학사)

1980년 한국과학기술원 전기 및 전자공학과 졸업(공학석사)

1991년 미국 콜로라도 주립대학교 전기공학과 졸업(공학박사)

1995년 ~ 1997년 일본 토요하시 기술과학대학교 교환교수

1980년 ~ 현재 경북대학교 전자전기공학부 교수

주관심 분야 : 반도체센서, 시각칩