

論文 2001-38TC-12-6

RF 회로 설계를 위한 실리콘 기판 커플링 모델링, 해석 및 기판 파라미터 추출

(Silicon Substrate Coupling Modeling, Analysis, and Substrate Parameter Extraction Method for RF Circuit Design)

秦佑鎮*, 魚瀛善*, 沈鍾寅*

(Woo-Jin Jin, Yung-Seon Eo, and Jong-In Shim)

요약

이 논문에서는 실리콘 기판 등가 회로 모델과 새로운 모델 파라미터 추출 방법을 보인다. 등가 회로 모델을 해석함으로써 회로 블록 사이의 기판 커플링 특성을 고찰하고, 커플링의 크기를 회로 동작 주파수와 특성 주파수(시스템의 폴과 제로 주파수)를 사용하여 분석함으로써 기판 커플링의 물리적 특성을 정량적으로 해석하였다. 제안된 등가회로 모델과 모델 파라미터 추출 방법의 정확성과 타당성을 실험적으로 검증하기 위하여 표준 CMOS 공정을 사용하여 다양한 거리와 기판 저항, 그리고 가드링 구조를 갖는 테스트 패턴을 설계, 제작하고 100 MHz~20 GHz 주파수 영역에서 측정하였다. 그리고 실리콘 기판 등가 회로 모델을 사용하여 HSPICE를 사용하여 시뮬레이션하고 그 결과를 측정 결과와 비교함으로써 제안된 회로 모델과 파라미터 추출 방법의 정확성을 보였다. 따라서 등가 회로 모델과 파라미터 추출 방법은 정확한 혼성 신호 회로 디자인과 효과적인 시스템의 성능 검증에 유용하게 사용될 수 있다.

Abstract

In this paper, equivalent circuit model and novel model parameter extraction method of a silicon(Si) substrate are presented. Substrate coupling through Si-substrate is quantitatively investigated by analyzing equivalent circuit with operating frequency and characteristic frequencies (i.e., pole and zero frequency) of a system. For the experimental verification of the equivalent circuit and parameter extraction method, test patterns are designed and fabricated in standard CMOS technology with various isolation distances, substrate resistivity, and guard-ring structures. Then, these are measured in 100MHz~20GHz frequency range by using vector network analyzer. It is shown that the equivalent-circuit-based HSPICE simulation results using extracted parameters have excellent agreement with the experimental results. Thus, the proposed equivalent circuit and parameter extraction methodology can be usefully employed in mixed-signal circuit design and verification of a circuit performance.

* 正會員, 漢陽大學校 電子컴퓨터工學部

(Dept. of Electrical and Computer Engineering,
Hanyang University, Ansan)

※ 본 논문은 2001년 한양대학교 교내연구비 지원에

의하여 연구되었으며 연구에 필요한 CAD 틀은
IDEC의 지원을 받았음.

接受日字:2001年10月15日, 수정완료일:2001年11月9日

I. Introduction

CMOS 공정의 끊임없는 발전에 따라 실리콘을 기반으로 한 CMOS RF 회로 설계가 가능하게 되었으며, 고속으로 동작하는 디지털 회로와 아날로그/RF 회로를 하나의 칩으로 집적함으로써 시스템의 성능을 향상시키는 동시에 비용을 크게 절감할 수 있다^{[1]-[4]}. 그러나 SoC(System-on-a-Chip) 또는 혼성 신호 회로에서는 디지털 회로에서 발생한 노이즈가 전도성을 띤 실리콘 기판을 통해 동일한 기판에 있는 노이즈에 민감한 아날로그/RF 회로에 전달됨으로써 시스템의 성능에 악영향을 미친다. 따라서 디지털 회로 부분과 민감한 회로 부분 사이의 효과적인 격리가 매우 중요한 설계상의 문제로 대두되었다^{[5]-[8]}. 실리콘 기판을 통한 커플링을 감소시키기 위하여 단순히 회로 블록(block) 사이의 거리를 증가시키는 것은 필요 이상의 칩 면적을 소비하여 결과적으로 칩 제작 비용의 상승을 유발한다. 따라서 기판 커플링에 대한 물리적인 특성을 정확히 분석함으로써 기판 커플링을 효과적으로 줄일 뿐만 아니라 칩의 소비 면적을 감소시키며 동시에 시스템의 성능을 보장할 수 있다.

이제까지 커플링 노이즈의 특성을 분석하기 위한 많은 연구가 수행되었다^{[9]-[17]}. 그러나 기존의 연구들은 계산 시간이나 모델의 정확성 또는 물리적인 해석면에서 개선될 여지가 있다. MEDICI 또는 DAVINCI와 같은 일반적인 2차원적인 또는 3차원적인 시뮬레이션에 기반한 특성 분석은 많은 계산 시간을 요구하거나 정확한 기판 정보를 알 수 없으므로 정확성을 보장할 수 없다^[9]. 또한 저주파 영역에서의 커플링 특성에 초점을 맞춘 기존의 저항 회로(resistive circuit) 모델^{[9]-[12]}이나 RC 모델^{[13]-[17]}은 본질적으로 주파수 의존적인 특성을 갖는 기판 커플링의 해석에 충분치 않으며 따라서 오늘날의 고주파 혼성 회로 설계에 적용할 수 없다. 따라서 실리콘 기판의 고주파 특성이 회로 설계 파라미터와 관련해서 정성적으로 분석되었다^{[16][17]}. 그러나 그러한 정성적인 방법은 설계 초기 단계에서 정확한 설계자에게 정확한 커플링 값을 예측할 수 있도록 정량적으로 분석되어야 한다.

이 논문에서는 실리콘 기판에 대한 물리적 해석을 통하여 실리콘 기판 커플링 효과를 감안할 수 있는 정확하면서도 간결한 모델을 제시한다. 또한 등가 회로

모델을 사용하여 기판 커플링의 물리적인 특성을 회로의 동작 주파수와 시스템의 전달함수에 대한 특성 주파수(폴과 제로 주파수)를 사용하여 해석적으로 분석하고, 새로운 기판 모델 파라미터 추출 방법을 제안한다. 그리고 제안된 회로 모델과 파라미터 추출 방법의 타당성을 설계된 테스트 패턴의 측정값과 비교함으로써 검증한다.

II. 실리콘 기판의 물리적 특성 및 회로 모델링

실리콘 기판은 저주파에서는 전도성이 낮은 도체로서 작용을 하며 고주파에서는 유전체로서 작용한다^[18]. 실리콘 기판의 물리적인 특성은 실리콘 기판의 이완주파수(relaxation frequency) $1/\rho_{si}\epsilon_{si}$ (여기서 ρ_{si} 와 ϵ_{si} 는 각각 실리콘 기판의 저항과 유전율이다)를 사용하여 정성적으로 고찰할 수 있다. 즉, 이완주파수보다 낮은 주파수 영역에서는 실리콘 내의 운동입자(mobile carrier)가 입사되는 신호에 모두 반응하므로 실리콘 기판은 전도성을 갖는 도체의 성질을 나타내고 따라서 저항적인 특성이 기판의 성질을 좌우한다. 반면에 이완주파수보다 높은 주파수 영역에서는 기판 내의 입자들이 충분히 반응하지 못하므로 기판은 유전체적인 물질의 성질을 나타내며 이 경우 용량성 영향(capacitive effect)이 기판내의 전기적 현상을 좌우한다. 따라서 기판 내의 큰 저항으로 인해 인덕턴스로 인한 영향은 거의 나타나지 않으므로 실리콘 기판은 RC 회로를 사용하여 모델링 할 수 있다. 이 경우 RC 회로는 저주파 영역에서의 도체로서의 특성과 고주파 영역에서의 유전체로서의 특성을 잘 반영한다. 실리콘 기판을 통한 커플링은 노이즈를 유발하는 회로와 노이즈에 민감한 회로 사이의 거리, 동작 주파수, 그리고 커플링의 감소를 위한 구조에 따라 그 크기가 변한다. 실리콘 기판을 통한 커플링을 감소시키기 위한 방법으로는 회로의 주위를 제거하고(trench) 유전물질을 채워 기판을 통한 커플링의 크기를 줄이거나 가드링을 사용하여 기판 노이즈를 시스템 그라운드를 통해 제거하는 방법이 있으나 주로 가드링 구조가 일반적이다. 따라서 기판 커플링을 해석하기 위하여 그림 1과 같이 다양한 구조에 대하여(즉, 가드링이 없는 구조, 가드링이 하나인 구조, 가드링이 두 개인 구조) RC 회로를 사용하여 모델링 하였다. 이 경우 해석을 간단히 하기 위하여 가드링과 그라운드

사이의 인덕턴스는 무시하였다.

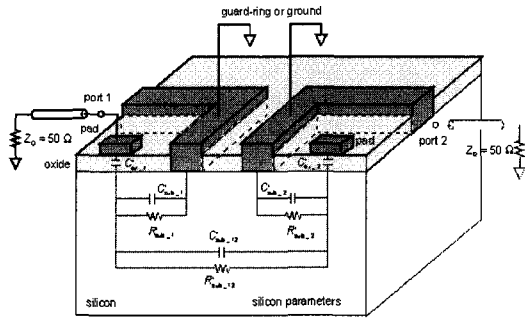


그림 1. 가드링을 가지는 실리콘 기판의 등가회로 모델
Fig. 1. The equivalent circuit model of Si-substrate with guard-rings.

III. 등가회로 해석

실리콘 기판의 특성은 공정 변수, 레이아웃, 그리고 동작주파수와 복잡하게 관련되어 있으므로 정확한 모델링과 해석을 통하지 않은 막연한 회로 설계는 기판 커플링을 줄이기 위해 필요 이상의 많은 면적을 소비하므로 비용면에서 문제를 발생시킨다. 따라서 설계 초기 단계에서 회로 설계자가 실리콘 기판 커플링의 크기를 예측할 수 있는 해석식은 효과적인 회로 설계를 위해 매우 필요하다. 이러한 해석식은 그림 1의 등가회로에 대한 해석을 통해 구할 수 있다.

고주파 영역에서의 회로의 성능 분석은 일반적으로 s-parameter 측정을 통해 검증되므로 해석식 역시 s-parameter로 나타냄으로써 측정 결과와 직접 비교될 수 있으며 RF 회로 설계를 위한 커플링 예측에 신속하게 적용될 수 있다. 그림 1의 등가 회로에 대한 기판 커플링 노이즈 은 다음 식을 통하여 쉽게 구할 수 있다. 즉,

$$S_{21}^i = \frac{-2 Z_o y_{21}^i}{(1 + Z_o y_{11}^i)(1 + Z_o y_{22}^i) - Z_o^2 y_{12}^i y_{21}^i} \quad (1)$$

여기서 Z_o 는 측정 장비의 내부 특성 임피던스(characteristic impedance)로서 일반적으로 50Ω 이다. 또한 위첨자는 레이아웃 구조를 나타내며 가드링이 없는 구조는 $i=0$, 가드링이 한 개인 구조는 $i=1$, 그리고 가드링이 두 개인 구조는 $i=2$ 이다. 또한 y_{ij} 는 등가회로의 y-parameter를 나타낸다. 식 (1)에서 $2y_{11}/Z_o$, y_{11}^2 , 그리고 y_{12}^2 는 $1/Z_o^2$ 보다 매우 작은 값을

가지므로 식 (1)은 다음과 같은 간단한 식으로 다시 나타낼 수 있다. 즉,

$$S_{21}^i \approx -2 Z_o y_{21}^i \quad (2)$$

그림 2에서 보듯이 식 (1)과 식 (2)는 매우 잘 일치함을 알 수 있다.

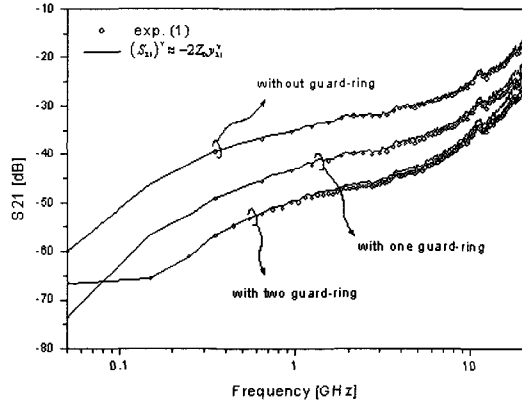


그림 2. y-parameters와 s-parameters의 비교
Fig. 2. Comparison of the y-parameters to s-parameters.

따라서 각 구조의 등가회로에 대한 y_{21}^i 를 구한다면 식 (2)를 사용하여 기판 커플링 S_{21} 역시 쉽게 구할 수 있으며 각각의 구조에 대한 S_{21} 은 다음과 같이 나타낼 수 있다.

$$S_{21}^i \approx \frac{-2 \cdot Z_o \cdot s^2 \cdot C_{ox,12}^i \cdot G_1 \cdot G_2 \cdot \left[s + \frac{1}{R_{sub,12}^i \cdot C_{sub,12}^i} \right]}{\left\{ s + G_1 \cdot \frac{1}{C_{ox,1}^i} \cdot \left[\frac{1}{R_{sub,12}^i} + \frac{1}{R_{sub,1}^i} \right] \right\} \left\{ s + G_2 \cdot \frac{1}{C_{ox,2}^i} \cdot \left[\frac{1}{R_{sub,12}^i} + \frac{1}{R_{sub,2}^i} \right] \right\}} \quad (3)$$

여기서 s 는 Laplace 변수이고, $C_{ox,j}^i$ 는 j 단자에서의 절연체의 커패시턴스이다. 그리고 $R_{sub,j}^i$ 와 $C_{sub,j}^i$ 는 j 단자와 그라운드 사이의 기판 저항과 커패시턴스, 그리고 $R_{sub,12}^i$ 와 $C_{sub,12}^i$ 는 각각 단자 1과 2사이의 기판 저항과 커패시턴스를 나타낸다. 또한 G_j 는 용량성 가드링 효과(capacitive guard-ring effect)를 나타내며 다음과 같이 정의된다. 즉,

$$G_j \equiv C_{ox,j}^i / (C_{ox,j}^i + C_{sub,j}^i) \text{ for } j=1, 2. \quad (4)$$

여기서 가드링이 없는 구조의 경우 $G_j=1$ 로서 가드링 효과는 없다. 또한 식 (3)은 다음과 같이 다시 나타낼 수 있다.

$$S_{21}^i = \frac{As^2(s+Z_3^i)}{(s+P_1^i)(s+P_2^i)} \quad (5)$$

여기서

$$A \equiv -2 \cdot Z_0 \cdot C_{\alpha_{sub_12}}^i \cdot G_1 \cdot G_2 \quad (6)$$

$$P_1^i = \frac{1}{2\pi \cdot C_{\alpha_{\alpha_1}}^i} \cdot G_1 \cdot \left[\frac{1}{R_{sub_12}^i} + \frac{1}{R_{sub_1}^i} \right] \quad (7)$$

$$P_2^i = \frac{1}{2\pi \cdot C_{\alpha_{\alpha_2}}^i} \cdot G_2 \cdot \left[\frac{1}{R_{sub_12}^i} + \frac{1}{R_{sub_2}^i} \right] \quad (8)$$

$$Z_1^i = Z_2^i = 0 \quad (9)$$

$$Z_3^i = \frac{1}{2\pi \cdot R_{sub_12}^i \cdot C_{sub_12}^i} \quad (10)$$

식 (7)~(10)은 각각 등가회로의 폴과 제로 주파수를 나타내며 j 단자에 가드링이 없다면 $C_{sub_j}^i$ 가 0이 되므로 결과적으로 G_j 는 1이 된다. P_1^i , P_2^i , 그리고 Z_3^i 는 시스템의 특성 주파수로서 기판을 통한 커플링 노이즈는 이것을 이용하여 정확하게 해석될 수 있다. 즉, 실리콘 기판을 통한 커플링은 기판의 파라미터들이 정확하게 결정된다면 식 (3)을 이용하여 해석적으로 분석할 수 있다. 그림 3에서 보듯이 기판 커플링은 시스템의 특성 주파수와 동작 주파수에 따라 그 크기가 변하므로 특성 주파수에 따라 구간을 나누고 각각의 구간에서의 커플링의 특성을 쉽게 해석할 수 있다. 그림 3에서 보듯이 기판 커플링은 특성 주파수에 따라 근사적으로 3개의 구간으로 나눌 수 있으며 각각의 구간에

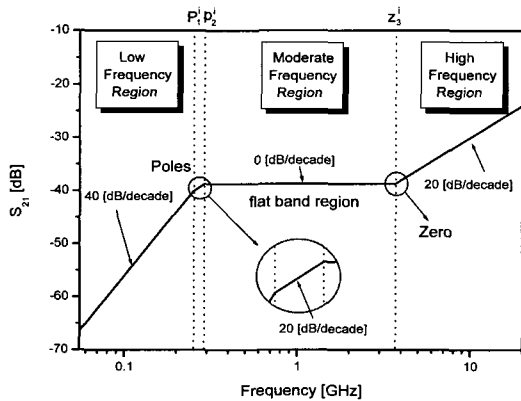


그림 3. 그림 1의 등가회로 모델에 대한 기판 커플링 (S_{21})의 도식적 표현

Fig. 3. Schematic representation of the signal coupling (S_{21}) for the equivalent circuit of Fig. 1.

서 커플링은 서로 상이한 물리적 특성을 갖는다. 그림 3에서 보듯이 기판 커플링 S_{21} 은 저주파 영역에서는 40 dB의 기울기를 가지고 증가하며, 고주파 영역에서는 20 dB의 기울기를 가지고 증가한다. 반면에 중간 주파수 영역에서는 주파수에 무관하게 거의 일정한 값을 갖는다. 따라서 나누어진 각 주파수 영역에서 특정한 특성을 갖는 기판 커플링 S_{21} 을 고찰함으로써 기판 커플링에 대한 물리적 특성을 심도있게 고찰 할 수 있으며, 더불어 정확한 기판 파라미터를 추출할 수 있다. 따라서 이어지는 장에서 각각의 구간에서의 커플링의 물리적 특성을 해석적인 방법을 통해 자세히 고찰한다

1. 저주파 영역 ($0 < f < P_1^i$)에서의 커플링의 특성

이 주파수 영역에서는 동작주파수(f)가 특성 주파수 (P_1^i , P_2^i , 그리고 Z_3^i)보다 작은 값을 가지므로 실리콘 기판 커플링은 다음과 같이 근사적으로 나타낼 수 있다. 즉,

$$|S_{21}^i| \approx \left| \frac{2 \cdot Z_0 \cdot C_{\alpha_{\alpha_1}}^i \cdot C_{\alpha_{\alpha_2}}^i \cdot R_{sub_1}^i \cdot R_{sub_2}^i}{(R_{sub_12}^i + R_{sub_1}^i)(R_{sub_12}^i + R_{sub_2}^i)} S^2 \right| \quad (11)$$

식 (11)에서 보듯이 저주파 영역에서는 실리콘 기판의 저항 성분이 기판 커플링에 주된 역할을 한다는 것을 수식적으로 잘 알 수 있으며 이것은 저주파에서는 도체적인 성질에 의해 실리콘 기판의 전기적 특성이 좌우된다는 정성적인 물리적 특성과 정확하게 일치한다. 또한 실리콘 기판 커플링은 40 dB의 기울기로 증가함을 알 수 있으며 설계변수인 $C_{\alpha_{\alpha_j}}^i$ 과 기판의 도판 농도와 관련된 공정변수인 $R_{sub_jj}^i$ 와 $R_{sub_j}^i$ 에 의해 커플링의 크기가 결정된다는 것을 알 수 있다. 그러나 커플링의 크기에 미치는 영향은 $R_{sub_j}^i$ 보다는 $R_{sub_jj}^i$ 이 더욱 현저하다. 특히 $R_{sub_jj}^i$ 는 가드링을 갖는 구조에서 더욱 큰 값을 가지므로 가드링에 의해 기판 커플링의 크기는 감소한다.

2. 중간 주파수영역 ($P_2^i < f < Z_3^i$)에서의 커플링 특성

중간 주파수 영역에서의 실리콘 기판 커플링은 다음과 같이 근사적으로 나타낼 수 있다. 즉,

$$|S_{21}^i| \approx \left| \frac{2 \cdot Z_0}{R_{sub_12}^i} \cdot G_1 \cdot G_2 \right| \quad (12)$$

식 (12)에서 보듯이 동작주파수가 $P_2^i < f < Z_3^i$ 인 영역에서는 주파수와 무관하게 커플링의 크기가 결정된다는

것을 알 수 있으며 그 크기는 $R_{sub_12}^i$ 에 반비례한다. 만약 가드링이 없는 경우 용량성 가드링 효과는 없으며 가드링의 효과에 의해 그 값이 변하는 $R_{sub_12}^i$ 에 의해 커플링의 크기가 결정된다. 그러나 저주파 영역에서의 커플링 특성과 달리 중간 주파수 영역에서는 용량성 가드링 효과에 의해 커플링의 크기는 변하게 된다. 즉, 이 주파수 영역에서는 기판의 도체적인 특성과 유전체적인 특성이 혼재한다. 식 (12)에서 보듯이 G_1 과 G_2 는 본질적으로 1보다 작은 값을 갖으므로 가드링이 한 개인 구조의 경우 G_1 에 의해, 가드링이 두 개인 경우 $G_1 \cdot G_2$ 에 의해 커플링의 크기가 감소한다는 것을 알 수 있다. 또한 G_j 는 $R_{sub_j}^i$ 의 함수이므로 $R_{sub_j}^i$ 의 값이 클수록 가드링에 의한 커플링 감소는 더욱 커진다. 따라서 가드링을 가능한 한 회로와 근접시킴으로써 기판 커플링을 효과적으로 감소시킬 수 있다. 그러나 RF 회로에 사용되는 나선꼴 인덕턴스(spiral inductance)의 경우 커플링의 감소를 위해 가드링을 인덕턴스에 가까이 위치시키는 것은 커패시턴스의 크기를 증가시키며 결과적으로 인덕턴스의 공진주파수는 감소하게 된다. 따라서 이를 고려한 가드링 설계가 요구되어진다.

3. 고주파 영역($Z_3 < f$)에서의 커플링 특성

이 주파수 영역에서의 실리콘 기판으로 인한 커플링은 다음과 같이 근사적으로 나타낼 수 있다.

$$|S_{21}^i| \approx |2 \cdot Z_0 \cdot C_{sub_12} \cdot G_1 \cdot G_2 \cdot s| \quad (13)$$

실리콘 기판의 정성적인 물리적 특성에서 살펴보았듯이 이 주파수 영역에서는 기판의 유전체적인 영향(즉, $C_{ax_j}^i$, $C_{sub_12}^i$, 그리고 $C_{sub_j}^i$)에 의해서 기판의 커플링 크기가 좌우되며 주파수에 선형적으로 비례한다. 중간 주파수 영역과 마찬가지로 가드링이 없는 경우 가드링 효과(G_j)는 나타나지 않으며 가드링이 있는 구조의 경우 가드링 효과(G_j)는 커플링의 크기를 감소시킨다. 반면에 식을 통해 명확히 알 수 있듯이 이 주파수 영역에서는 기판의 전도체적인 영향은 나타나지 않는다. 따라서 커플링의 크기를 효과적으로 줄이기 위해서는 $C_{sub_12}^i$ 는 감소시키고 $C_{sub_j}^i$ 는 증가시켜야 한다. 즉, 중간 주파수 영역에서와 마찬가지로 가능한 한 가드링을 회로 가까이에 설계하는 것이 필요하다.

IV. 모델 파라미터 추출

실리콘 기판의 회로 모델 파라미터는 기판의 저항, 회로의 동작 주파수, 그리고 설계된 회로의 크기에 따라 그 크기가 변한다. 따라서 정확한 기판 커플링의 특성을 분석하기 위해서는 모델 파라미터의 정확한 추출이 필수적이다. 절연층과 관련된 파라미터인 $C_{ax_j}^i$ 는 절연체 내에 도체 입자를 포함하고 있지 않으므로 저주파 측정이나 일반적인 field-solver를 사용하여 쉽게 추출할 수 있으나 기판 모델 파라미터는 정확한 도핑 농도를 알 수 없으므로 쉽게 구할 수 없다. 따라서 측정된 s-parameter 결과로부터 기판 모델 파라미터를 추출하는 방법을 그림 4에서 도식적으로 나타내었다. 그림 4에서 보듯이, 먼저 세번째 제로 주파수보다 큰 주파수 영역에서 측정된 가드링이 없는 구조에 대한 S_{21} 을 사용하여 단자 1과 단자 2사이의 기판 커패시턴스 $C_{sub_12}^0$ 를 구할 수 있다. 그리고 이것을 이용하여 각 단자와 그라운드 사이의 기판 커패시턴스 $C_{sub_j}^0$ 또한 구할 수 있다. 두번째로 중간 주파수 영역에서의 측정값 S_{21} 을 사용하여 가드링이 없는 구조의 단자 1과 단자 2 사이의 기판 저항 $R_{sub_12}^0$ 를 구할 수 있으며 세

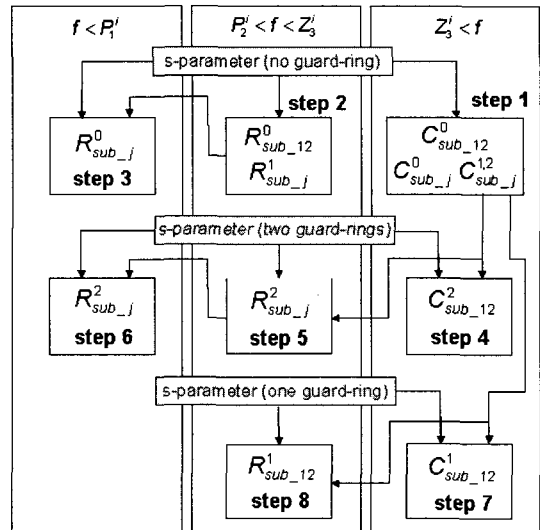


그림 4. 측정된 s-parameter를 사용하여 기판 파라미터를 추출하기 위한 도식적 표현

Fig. 4. Schematic description for the extraction of substrate parameters from measured s-parameters.

번째로 역시 저주파 영역에서의 측정값 S_{21} 과 두 번째 단계에서 구한 $R_{sub_12}^0$ 를 이용하여 각 단자와 그라운드 사이의 기판 저항 R_g^i 를 구할 수 있다. 가드링이 있는 구조에 대한 모델 파라미터는 가드링이 없는 구조와 같은 방법을 사용하여 단계 4로부터 단계 7까지 순차적으로 모든 기판 모델 파라미터를 쉽게 구할 수 있다. 그림 4의 방법에 의해 추출된 기판 파라미터를 표 1에서 나타내었다.

표 1. 테스트 패턴으로부터 추출된 파라미터.
(여기서 'NR'은 해당사항 없음을 나타낸다)

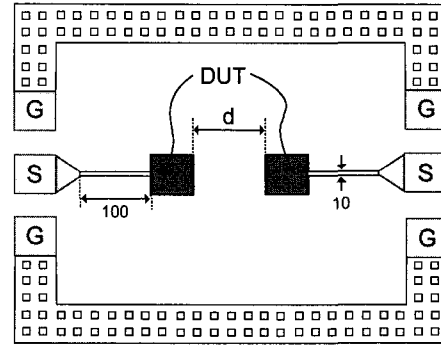
Table 1. Extracted parameters for the test patterns ('NR' means 'not required').

$\rho[\Omega \cdot \text{cm}]$	i	$d[\mu\text{m}]$	$R_{sub_12}^i$ [Ω]	$C_{sub_12}^i$ [F]	$R_{sub_1}^0$ [Ω]	$C_{sub_1}^0$ [F]	$R_{sub_1}^2$ [Ω]	$C_{sub_1}^2$ [F]
5~8	0	35	8.923E+2	1.017E-14	4.700E+2	7.884E-15	NR	NR
	0	110	1.637E+3	5.481E-15	4.700E+2	7.884E-15	NR	NR
	2	110	3.950E+3	2.368E-15	NR	NR	1.984E+2	5.209E-14
25~50	0	110	8.630E+3	5.012E-15	1.838E+3	7.219E-15	NR	NR
	2	110	4.724E+4	1.251E-15	NR	NR	1.033E+3	4.747E-14
2000	0	35	2.043E+4	2.537E-15	1.033E+3	4.747E-14	NR	NR
	0	110	4.724E+4	1.251E-15	1.033E+3	4.747E-14	NR	NR

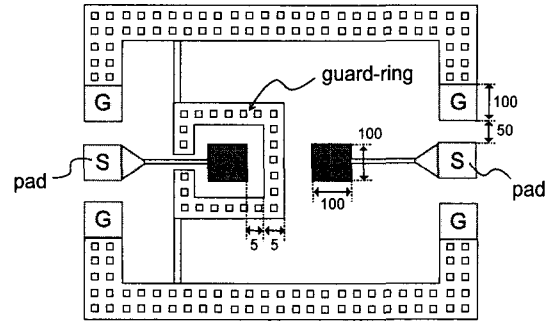
V. 실험적 검증

실리콘 기판 커플링을 실험적으로 검증하기 위하여 표준 CMOS 공정을 사용하여 다양한 테스트 구조를 설계하고 제작하였다. 기판의 저항에 따른 커플링을 조사하기 위하여 $5 \sim 8 \Omega \cdot \text{cm}$, $25 \sim 50 \Omega \cdot \text{cm}$, 그리고 $2k \Omega \cdot \text{cm}$ 의 기판 저항을 갖는 웨이퍼를 사용하였으며, 각각 $35 \mu\text{m}$, $60 \mu\text{m}$, 그리고 $110 \mu\text{m}$ 의 거리를 갖는 테스트 패턴을 가드링이 없는 구조, 가드링이 한 개인 구조, 그리고 가드링이 두 개인 구조로 제작하였다. DUT의 크기는 $100 \mu\text{m} \times 100 \mu\text{m}$ 이며 가드링의 폭은 $5 \mu\text{m}$, 그리고 가드링과 DUT 사이의 거리는 $5 \mu\text{m}$ 이다. 또한 절연체의 두께는 $0.95 \mu\text{m}$ 이며 사용된 실리콘 웨이퍼의 두께는 $220 \mu\text{m}$ 이다. 그림 5에 보인 다양한 테스트 패턴을 100MHz~20GHz 주파수 영역에서 HP8720 vector network analyzer를 사용하여 측정하였으며 측정시 나타나는 기생효과(parasitic effects)는 y-parameter 기반 디임베딩(de-embedding) 기법을 사용하여 소거하였다^[9].

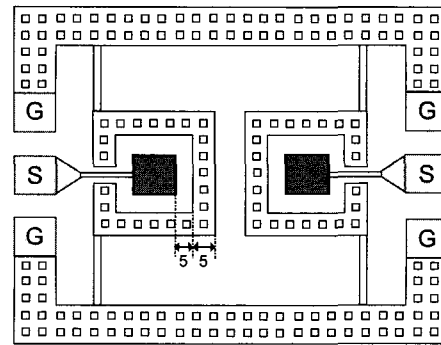
제안된 회로 모델의 정확성을 검증하기 위하여 제안



(a)



(b)



(c)

그림 5. 실험적 검증을 위한 테스트 패턴

Fig. 5. Test patterns for experimental verification.

된 기판 파라미터 추출 방법에 의해 구한 파라미터를 이용하여 HSPICE를 사용하여 시뮬레이션하고 그 결과를 측정 결과와 비교하였다. 그림 6에서 보듯이 등가회로를 사용한 시뮬레이션 결과가 측정된 결과와 잘 일치함을 알 수 있다. 그림 6에서 보듯이 실리콘 기판 커플링은 동작 주파수, 기판 저항, 거리, 그리고 가드링 효과의 복잡한 함수임을 알 수 있다. 그림 6에서 보듯이 회로 블록사이의 거리가 증가하거나 가드링에 의해 모든 주파수 영역에서 커플링이 감소한다는 것을 알 수 있다.

그러나 고주파 영역에서는 회로 블록 사이의 거리를 증가시키는 것 보다 가드링을 사용함으로써 더욱 효과적으로 커플링을 줄일 수 있다는 것을 알 수 있다. 그러나 일반적으로 회로 사이의 거리를 증가시키거나 가드링을 사용함으로써 전 주파수 영역에서 커플링의 감소 효과를 기대할 수 있다. 또한 중간주파수 영역, 즉 ($P_2 < K Z_0$)에서 커플링을 감소시키기 위해서는 고저항 기판이 효과적임을 알 수 있다. 그러나 매우 높은 주파수 영역의 경우 이 현상은 적용되지 않는다. 즉, 매우 높은 주파수 영역에서는 고저항 기판과 저저항 기판에서의 커플링의 크기는 현저한 차이를 드러내지 않는다. 이와 같은 관찰을 바탕으로 정성적인 기판 커플링을 고려한 설계 가이드 라인을 표 2에서 요약하였다.

표 2. 다양한 변수(주파수, 기판 저항, 거리, 그리고 가드링)에 따른 설계 지침

Table 2. Design guideline according to the various variables(i.e., frequency, resistivity, separation, and guard-rings). ⊙ : best, ○ : good, △ : marginal, × : worst.

Frequency Variables		Low Freq. (100~350MHz)	Medium Freq. (0.35~10GHz)	High Freq. (10GHz~)
Resistivity	High	X	⊙	X
	Low	⊙	X	X
Separation	High	○	△	X
	Low	⊙	○	⊙
Guard-ring	High	○	⊙	△
	Low	⊙	○	⊙

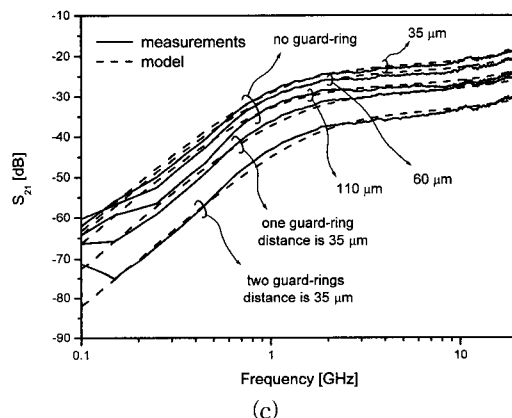
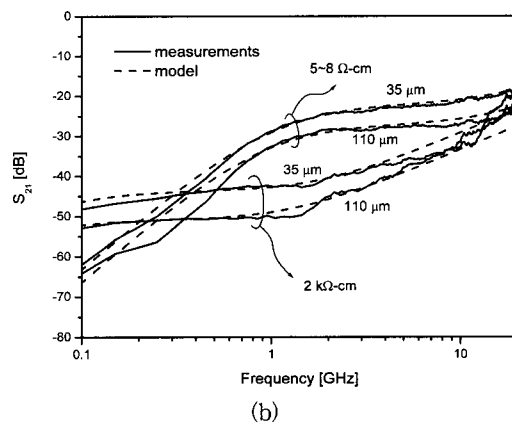
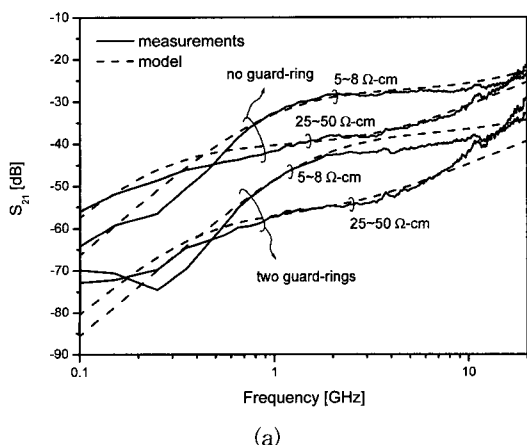


그림 6. 시뮬레이션 기반 s-parameter와 측정된 s-parameter. (a) 기판 저항에 따른 커플링. DUT 사이의 거리는 35μm. (b) DUT 사이의 거리의 변화에 따른 기판 커플링. (c) 가드링에 따른 구조에서의 거리에 따른 기판 커플링. 여기서 기판 저항은 5~8Ω·cm

Fig. 6. Comparison of the simulated s-parameters with the experimental s-parameters. (a) Substrate coupling noise versus the substrate resistivity. Spacing between DUT is 35μm. (b) Substrate coupling noise versus different spacing between DUTs. (c) Substrate coupling noise versus separation distance for the structures with guard-rings. Substrate resistivity is 5~8Ω·cm.

VII. Conclusion

이 논문에서는 모든 주파수 영역에서 전도성 실리콘 기판을 통한 커플링의 주파수 의존적인 특성을 분석하기 위한 등가회로 모델을 수행하였으며 새로운 기판 모델 파라미터 추출 방법을 개발하였다. 제안된 등가회

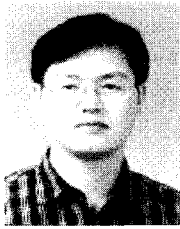
로 모델을 해석하여 실리콘 기판 커플링의 물리적인 특성을 정량적으로 해석하였다. 따라서 제안된 등가 회로 모델과 파라미터 추출 방법은 기판 커플링을 정확하면서도 효과적으로 예측할 수 있기 때문에 매우 유용하다. 또한 시스템의 성능을 분석하기 위하여 HSPICE와 같은 회로 시뮬레이터와 효과적으로 결합될 수 있으므로 기판 커플링에 의한 회로 성능 분석에 유용하게 사용될 수 있으며 더불어 해석적인 모델 수식은 설계 초기 단계에서 설계자에게 기판 커플링의 크기를 예측할 수 있는 설계 가이드 라인을 제공한다. 따라서 제안된 방법은 고주파 혼성 회로 설계를 위하여 매우 유용하게 사용될 수 있다.

참 고 문 헌

- [1] The international technology roadmap for semiconductors, SIA Report, 1999.
- [2] J. Briaire and K. S. Krisch, Principles of substrate crosstalk generation in CMOS circuits, *IEEE Trans. Computer-Aided Design*, vol. 19, no. 6, pp. 645~653, Jun. 2000.
- [3] A. Koyama, M. Uchida, T. Aida, J. Kudo, and M. Tsuge, Switching well noise modeling and minimization strategy for digital circuits with a controllable threshold voltage scheme, *IEEE Trans. Computer-Aided Design*, vol. 19, no. 6, pp. 654~670, Jun. 2000.
- [4] M. Felder and J. Ganger, Analysis of ground-bounce induced substrate noise coupling in a low resistive bulk epitaxial process: design strategies to minimize noise effects on a mixed-signal chip, *IEEE Trans. Circuits Syst. II*, vol. 46, no. 11, pp. 1427~1436, Nov. 2000.
- [5] K. M. Fukuda, T. Kikuchi, T. Matsuura, and M. Hotta, Measurement of digital noise in mixed-signal integrated circuits, *IEEE J. Solid-State Circuits*, vol. 30, no. 2, pp. 87~92, Feb. 1995.
- [6] M. Ingels and M. S. J. Steyaert, Design strategies and decoupling techniques for reducing the effects of electrical interference in mixed-mode IC's, *IEEE J. Solid-State Circuits*, vol. 32, no. 7, pp. 1136~1141, Jul. 1997.
- [7] M. Nagata, J. Nagai, T. Morie, and A. Iwata, Measurements and analyses of substrate noise waveform in mixed-signal IC environment, *IEEE Trans. Computer-Aided Design*, vol. 19, no. 6, pp. 671~678, Jun. 2000.
- [8] M. V. Heijningen, J. Compriet, P. Wambacq, S. Donnay, M. G. E. Engels, and I. Bolsens, Analysis and experimental verification of digital substrate noise generation for epi-type substrates, *IEEE J. Solid-State Circuits*, vol. 35, no. 7, pp. 1002~1008, Jul. 2000.
- [9] K. Joardar, A simple approach to modeling cross-talk in integrated circuits, *IEEE J. Solid-State Circuits*, vol. 29, no. 10, pp. 1212~1219, Oct. 1994.
- [10] D. K. Su, M. J. Loinaz, S. Masui, and B. A. Wooley, Experimental results and modeling techniques for substrate noise in mixed-signal integrated circuits, *IEEE J. Solid-State Circuits*, vol. 28, no. 4, pp. 420~430, Apr. 1993.
- [11] J. M. Casalta, X. Aragones, and A. Rubio, Substrate coupling evaluation in BiCMOS technology, *IEEE J. Solid-State Circuits*, vol. 32, no. 4, pp. 598~603, Apr. 1997.
- [12] W. W. T. Chan, J. K. O. Sin, and S. S. Wong, A novel crosstalk isolation structure for bulk CMOS power IC's, *IEEE Trans. Electron Devices*, vol. 45, no. 7, pp. 1580~1586, Jul. 1998.
- [13] A. Samavedam, A. Sadate, K. Mayaram, and T. S. Fiez, A scalable substrate noise coupling model for design of mixed-signal IC's, *IEEE J. Solid-State Circuits*, vol. 35, no. 6, pp. 895~904, Jun. 2000.
- [14] R. Gharpurey and R. G. Meyer, Modeling and analysis of substrate coupling in integrated circuits, *IEEE J. Solid-State Circuits*, vol. 31, no. 3, pp. 344~353, Mar. 1996.
- [15] N. K. Verghese and D. J. Allstot, Computer-aided design considerations for mixed-signal coupling in RF integrated circuits, *IEEE J. Solid-State Circuits*, vol. 33, no. 3, pp. 314~

- 323, Mar. 1998.
- [16] M. Pfof and H. M. Rein, Modeling and measurement for substrate coupling in Si-Bipolar IC's up to 40GHz, IEEE J. Solid-State Circuits, vol. 33, no. 4, pp. 582~591, Apr. 1998.
- [17] J. Raskin, A. Viviani, B. Flandre, and J. Colinge, Substrate crosstalk reduction using SOI technology, IEEE Trans. Electron Devices, vol. 44, no. 12, pp. 2252~2261, Dec. 1997.
- [18] H. Hasegawa, M. Furukawa, and H. Yanai, Properties of microstrip line on SiO₂ system, IEEE Trans. Microwave Theory and Tech., vol. MTT-19, no. 11, pp. 869~881, Nov. 1971.
- [19] P. J. V. Wijnen, H. R. Claessen, and E. A. Wolsheimer, "A new straightforward calibration and correction procedure for "on-wafer" high frequency s-parameter measurements(45MHz-18GHz)," in Proc. IEEE BCTM, 1987, pp. 70~73.

 저 자 소 개



秦佑鎮(正會員)

1998년 : 한양대학교 전자공학과 졸업. 2000년 : 한양대학교 대학원 전자공학과 졸업. 2000년~현재 : 한양대학교 전자공학과 박사 과정. <주 관심분야> 고속 VLSI 회로 설계, signal integrity, IC 패키지

魚瀛善(正會員) 第36卷 第11號 參照

沈鍾寅(正會員) 第37卷 第9號 參照