

論文2001-38TC-3-6

## 위성탐재 고해상도 합성개구 레이다용 광대역 신호 송 수신장치 설계 및 제작

(Design and Implementation of the Transmit and Receive Equipments for Wide Band Signals of a Spaceborne High Resolution Synthetic Aperture Radar)

賈敏皓\*, 田炳泰\*\*, 金世映\*\*

(Min-Ho Ka, Byung-Tae Jeon, and Se-Young Kim)

### 요 약

위성탐재 시스템은 일반 시스템과는 달리 열악한 우주환경으로 인하여 구현상 많은 제약이 따른다. 본 논문에서는 위성탐재 고해상도 합성개구레이다(SAR: Synthetic Aperture Radar)의 광대역 신호의 생성 및 처리 요구사항을 만족시키며 최소의 하드웨어로써 구현 가능한 칩 스티칭 세그멘테이션(Chirp Stitching Segmentation) 기법을 이용하여 이에 적합한 송 수신부 하드웨어 및 운영 프로그램을 설계하고 구현하였다. Top-Down 방식의 설계 개념을 도입, 하드웨어는 장치(Equipment), 모듈(module), 회로(circuit)의 단계로, 소프트웨어는 SR(Software Requirement), AD(Architecture Design), DD(Detailed Design)의 단계별로 설계 요구조건을 마련하고 이를 만족하도록 설계, 구현하였다. 구현된 하드웨어의 동작을 확인하기 위해 두 개의 42.5MHz 신호로부터 두 배의 대역폭을 갖는 85MHz 신호를 생성 및 처리하였으며 동작을 확인하여 본 시스템이 고해상도 위성탐재 SAR에 적용 될 수 있음을 보였다.

### Abstract

In general, the realization of spaceborne system is constrained by its space environment. In this paper, we suggest chirp stitching technique which generates and processes wideband radar signal with minimum hardware, design and implement transmit/receive equipments and operating programs to satisfy the requirement of this spaceborne high resolution SAR(Synthetic Aperture Radar). We apply the top-down design approach to this system, and divide hardware into equipment, module and circuit levels, and software into SR(Software Requirement), AD(Architecture Design), DD(Detailed Design) and coding levels, and then extract each requirement to satisfy the wideband requirement of this spaceborne high resolution SAR. We, at first, test the hardware functions, confirm the wideband handling capability of this system with 85MHz wideband signals generated from two 42.5MHz narrow band signals, and show that this system can be used in spaceborne high resolution SARs.

\* 正會員, 延世大學校 電氣, 電子工學科  
(Dept. of Electrical and Electronic Eng., Yonsei University)

\*\* 正會員, 國防科學研究所  
(Agency for Defense Development)

※ 본 연구는 국방과학연구소와 영국 MMS (Matra Marconi Space, UK)사와의 공동연구로 수행되었음.

接受日字: 2001年 1月17日, 수정완료일: 2001年 3月5日

I. 서론

SAR 시스템에서의 해상도란 얻어진 영상에서 두 대상을 구분할 수 있는 최소 거리로 정의되며 이는 안테나에서 전자파를 물체에 방사하고 반사되어 수신된 신호를 위성 또는 지상체에서 처리하여 최종 영상을 형성하는 전 과정을 포함하므로 시스템의 성능 및 특성을 나타내는 대표적 변수이다<sup>[1]</sup>. 해상도가 좋은 시스템의 경우 상대적으로 근접한 물체를 구분할 수 있는 분해능이 뛰어나므로 실제 표적의 형상을 보다 정확하게 파악할 수 있어 물체의 탐지 및 식별에 용이하다. 고해상도 영상은 정밀 지도제작, 목표물 탐지와 인식 및 기타 응용에 있어 필수적이다. SAR의 해상도는 안테나와 표적과의 위치에 따라 거리방향 및 방위방향으로 구분하며 위성의 진행방향과 동일한 방향을 방위방향(azimuth direction), 진행방향과 직각인 방향을 거리방향(range direction)으로 정의한다. 방위방향 해상도는 수신신호의 도플러(doppler) 주파수 합성량에 의하여 결정되며 거리방향은 일반 레이더의 경우와 같이 사용하는 신호의 대역폭에 의하여 결정된다. 이를 수식으로 표현하면 식(1)과 같다<sup>[2]</sup>.

$$\Delta y = C / (2B \sin \theta) \tag{1}$$

여기서 C는 빛의 속도,  $\theta$ 는 직하방향으로부터의 안테나 빔(beam) 입사각(look angle), B는 레이더 송신신호의 주파수 대역폭이다. 식 (1)에 따르면 거리방향 고해상도 영상을 획득하기 위해서는 광대역신호가 필요함을 알 수 있다.

위성탑재 SAR는 열악한 우주환경으로 인하여 항공기 및 무인기 SAR 등과는 달리 광대역신호 생성 및 처리에 있어 우주환경에서 성능이 보장된 고속 동작의 특수 부품을 사용해야 하는 등의 제약이 따르며 이는 성능 및 비용에 직접적인 영향을 미친다. 이런 문제점들의 해결 방법으로 본 연구에서는 고속이 아닌 저속 동작의 부품들로서 광대역 신호 생성 및 처리가 가능하도록 하기 위하여 칩 스티칭<sup>[3]</sup> 알고리즘을 적용하고 이 알고리즘에 따라 동작할 수 있는 송수신장치의 하드웨어 및 소프트웨어를 설계 및 구현한다. 설계는 top-down 기법을 도입, 하드웨어 및 소프트웨어를 세 단계로 나누어 상위단계부터 하위에 이르기까지, 하드웨어는 Equipment, Module, Circuit 레벨로, 소프트

웨어는 SD(Software Design), AD(Architecture Design), DD(Detailed Design)로 나누어 요구사항을 작성하였으며 각 단계의 요구사항에 따라 제작한다. 완성된 시스템의 시험 및 평가도 동일한 절차에 따른다. 제작에는 현재 위성 시스템에서 구현 가능한 42.5MHz 대역폭을 갖는 두 협대역 신호를 디지털 방법으로 생성한 후 스티칭 알고리즘을 적용하여 두 배의 대역폭, 즉 85MHz 신호로 대역폭을 확장 시켜 송신하고 수신장치에서는 수신된 85MHz 광대역 신호를 다시 두개의 42.5MHz 협대역 신호로 분리하여 각각 처리하여 이 알고리즘을 적용하지 않은 일반적인 광대역 신호 생성 및 처리에 비해 1/2 속도로 동작함으로써 최소한의 하드웨어 요구사항으로 광대역 구현이 가능하도록 한다. 또한 제작된 하드웨어의 기능 및 성능평가를 통하여 제안된 방법이 위성탑재 SAR에 직접 적용 가능함을 입증하고 결론에서는 칩 스티칭 알고리즘을 통하여 초고해상도를 위한 초 광대역 신호구현의 가능성을 제시한다.

II. 하드웨어 설계 및 제작

그림 1과 2에는 칩 스티칭 및 세그멘테이션 알고리즘의 동작원리가, 설계한 송신부 및 수신부의 모듈별 구성이 그림 3에, 이중 핵심을 이루는 DCG(Digital Chirp Generator) 및 RDS(Receive Data Stream)의 세부 구성도가 그림 4,5에 나타나 있다. 각 모듈의 동기에 필요한 타이밍 신호는 TLG(TimeLine Generator) 모듈에서 발생시키는데 DCG 모듈에 파형발생 순간을, RDS 모듈에는 표본화 시작, RDS는 수신신호의 처리

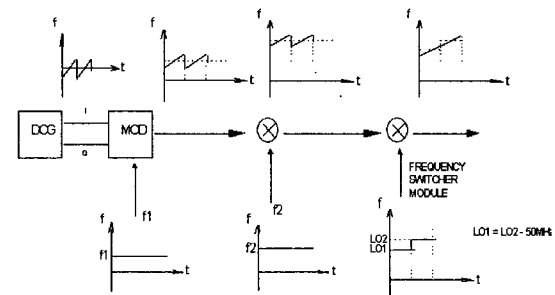


그림 1. 칩 스티칭 송신장치 구성도  
Fig. 1. Block diagram of the chirp stitching transmit equipment.

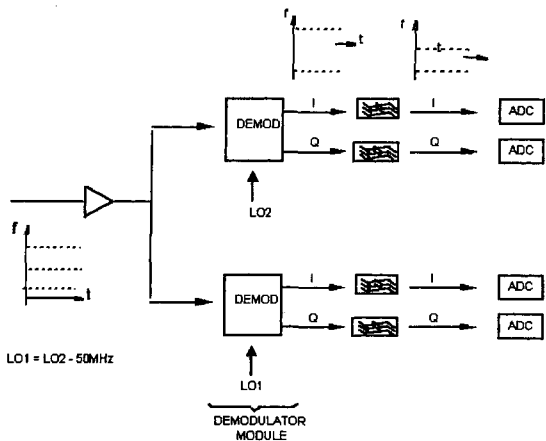


그림 2. 칩 세그멘테이션 수신장치 구성도  
Fig. 2. Block diagram of the chirp segmentation receive equipment.

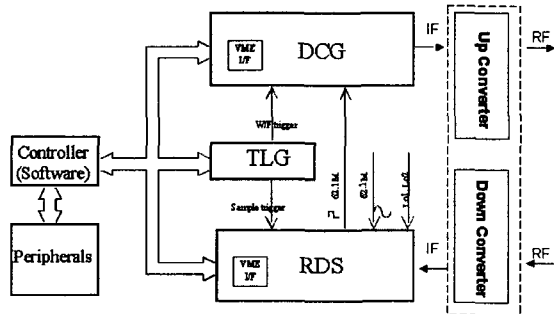


그림 3. 광대역 신호 송 수신장치 구성도  
Fig. 3. Block diagram of the wideband signal handling system.

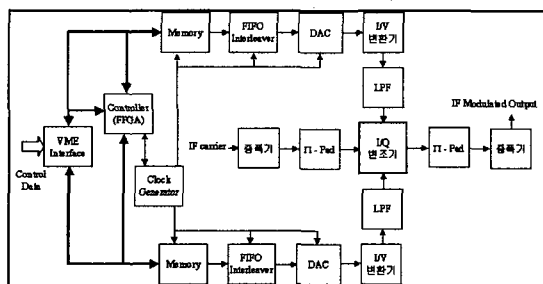


그림 4. DCG 모듈의 구성도  
Fig. 4. Block diagram of DCG module.

가 시작 순간을 알려준다. 제어부(controller)에는 제작된 각 모듈의 동작여부 및 기능을 확인을 위한 test 프로그램과 제어에 필요한 운영 프로그램 및 RDS에 저장된 디지털 수신신호를 읽어 들여 최종 성능평가에 필요한 IRF(Impulse Response Function)를 생성하고

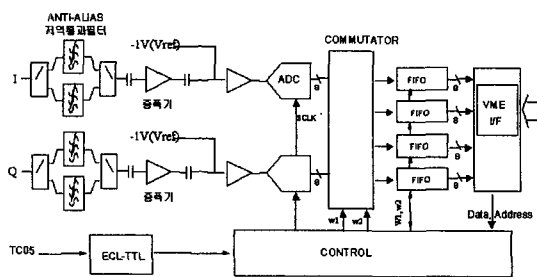


그림 5. RDS 모듈 구성도  
Fig. 5. Block diagram of RDS module.

이를 분석하는 성능평가 프로그램<sup>[4]</sup>이 탑재된다.

그림 1의 DCG에서 동일한 대역폭을 갖는 두 개의 칩 펄스(pulse)를 연속하여 발생시키고 생성된 I(In-phase) 및 Q(Quadrature) 신호를 변조시켜 복소 신호화 하고 주파수상향기(up-converter)로 중간주파수(Intermediate Frequency) 대역으로 변화시킨 후 주파수가 다른 두 개의 국부발진기(local oscillator) LO1 및 LO2로 구성된 스티칭 스위치(switch)에 의하여 첫 펄스가 통과한 직후 두 번째 펄스를 상향주파수로 변이시켜 최종적으로 두 배 확장된 대역폭을 갖는 펄스를 생성한다. 본 연구의 실험에서는 최대 42.5MHz의 두 협대역 펄스로부터 85MHz 광대역 펄스를 생성하였으나 하드웨어는 각 펄스가 최대 50MHz 대역폭을 갖을 수 있도록 하여 스티칭 후 최대 100MHz의 신호를 생성할 수 있도록 설계되었다.(설계상으로는 100MHz 까지 가능하나 실험과정에서 최대 85MHz로 제한된 이유는 결론에 언급되어있다.) 이에 따라 두 국부발진기의 주파수 차이는  $LO1-LO2 = 50MHz$  이어야 한다. 예를 들어 70MHz 대역폭 신호가 필요할 경우에는 각 펄스가 35MHz의 대역폭, 즉 첫 펄스는 주파수 변화가 시간에 따라 선형적으로 -10 부터 25, 두 번째는 -25 부터 10MHz까지 변하는 칩(또는 LFM: Linear Frequency Modulation) 신호이어야 한다. 즉, 첫 펄스의 최종 주파수는 항상 25MHz이고 두 번째 펄스의 시작 주파수는 -25MHz 이며 첫 펄스의 시작 주파수와 두 번째 펄스의 최종 주파수는 대역폭(위의 경우  $70MHz/2=35MHz$ )에 의하여 계산된다.

기저대역에서의 표본화 주파수는 ESA(European Space Agency)의 ERS-1/2(European Remote sensing Satellite-1/2)에서 사용하고있는 1.2배 과 표본화(over sampling) 요소를 적용하여 60MHz의 속도

로 동작한다. 따라서 100MHz 광대역 신호생성시에 120MHz의 속도로 표본화 하지 않고 이의 절반인 60MHz 속도로 동작하는 DAC(Digital-to-Analog Converter) 등을 사용할 수 있다. 즉, 이 칩 스티칭 기법에 의해 저속으로 동작하는 부품을 사용하여 고속 동작에 필요한 요구사항을 만족시킬 수 있는 설계가 가능한데 이는 하드웨어 제작에 필요한 부품의 선택이 매우 중요한 위성시스템 제작에 있어 매우 중요한 요소이며 설계방법 및 제작비용에 직접적인 영향을 미친다.

수신부는 수신된 한 개의 광대역 펄스를 두 개의 협대역 펄스로 각각 처리하기 위하여 두 채널로 설계한다. 이 때, 송신부에서 두 협대역 펄스를 스티칭할 때 사용한 동일한 국부발진기를 이용하여 하향 복조 되는데 각 채널의 중심주파수는 송신부와 같이 LO1-LO2 =50MHz의 차이를 갖는다. 각 채널에서 복조된 신호는 중심주파수에서 50MHz의 차이를 갖지만 대역폭은 100MHz로 신호성분은 동일하다. 한 채널에서 하위 50MHz만 취하고 다른 채널에서 상위 50MHz만 취해도 전체 신호는 보존되므로 cut-off 특성이 우수한 elliptic 필터를 사용하여 신호를 분리(segmentation)하고 ADC(Analog-to-Digital Converter)를 이용하여 표본화 한다. 여기서 주목할 점은, 송신부에서와 마찬가지로, 최대 100MHz 신호를 처리함에 있어 120MHz가 아닌 60MHz의 속도로 동작하는 부품으로 광대역 신호 데이터를 처리할 수 있다는 매우 큰 장점을 갖는다.

### III. 프로그램 설계 및 구현

하드웨어 테스트, 제어 및 운용 기능을 갖는 프로그램은 VME 싱글 보드(single board) 컴퓨터에 실리며 버스상의 메모리 공간에 할당된 레지스터(register)를 통해 DCG, TLG 및 RDS를 제어한다. 제어기에서는 레이다 송신신호의 아날로그 파형 값을 8비트의 양자화된 디지털 수치로 환산하여 I 및 Q의 파형 데이터를 생성한 후 이를 DCG로 전송하거나 보조기억장치에 저장한다. 프로그램은 GUI(Graphical User Interface) 상에서 파형의 형태를 임의로 변화시켜 생성할 수 있으며 이를 통하여 별도의 보상회로 없이 하드웨어에서 발생하는 오차를 소프트웨어상에서 보상시킬 수 있다. 이를 Pre-distortion<sup>13, 51</sup>이라 하는데 이 기능을 통하여

사용자는 송신신호의 출력파형을 관찰하면서 왜곡을 최소화시키는 입력파형을 생성할 수 있다. 본 연구에서는 신호의 진폭에 Pre-distortion을 적용하였다. 프로그램의 설계에는 ESA 표준 설계방법을 도입하여 사용자의 요구사항으로부터 소프트웨어의 요구사항을 도출한 SR를 작성하였고, Object 및 Dynamic 모델링 기법을 적용한 AD, 이로부터 Function 모델링 기법을 적용한 DD을 하여 최종적인 코딩이 이루어졌다<sup>6)</sup>.

본 연구에서 구현된 소프트웨어는 Windows NT 환경하의 Pentium PC에서 마이크로 소프트사의 Visual C++ Library를 이용한다. 프로그램은 C++ 언어의 특징인 모듈화 기능을 이용하여 여러 개의 클래스(class)로 나뉘어졌으며 각 클래스는 독립적인 기능을 수행한다. 클래스는 멤버(member) 변수 및 함수로 구성되고 변수는 대부분 프라이빗(private), 함수는 퍼블릭(public) 속성을 부여하여 데이터의 모듈성을 최대한 보장하였다. 또한 C++ 언어의 특징인 모듈 및 Inheritance를 이용하여 클래스를 그림 6과 같이 크게 3단계 구조로 분류하여 설계하였다.

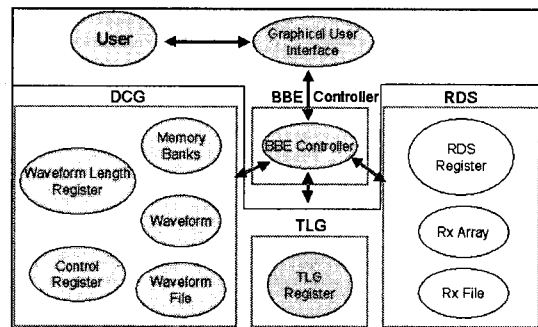


그림 6. 모듈화 된 프로그램 구성  
Fig. 6. Modular program structure.

- GUI(Graphical User Interface)-사용자가 하드웨어 계층을 제어 및 통제하기 위해 필요한 모든 기능을 그래픽 형태로 제공.
- BBE Controller-GUI가 하드웨어 계층에 대하여 요구하는 동작들이 이 계층을 통하여 인터페이스 됨. 하드웨어-DCG, TLG 및 두 개의 RDS로 구성된 각 하드웨어에 해당하는 모듈.

위의 계층으로 분리된 모듈은 다음과 같은 클래스로 설계하였다.

- Memory Banks — 생성된 파형을 저장하는 메모리 클래스
- Waveform — 칩 파형 이외에도 하드웨어 테스트 목적으로 Ramp, Rectangular, Sinusoidal 및 Constant Level 형태의 신호를 생성한다.
- Waveform File — 생성된 파형을 보조기억 장치에 저장하는데 데이터 외에 파형에 관련된 정보도 헤더로 저장된다.
- Waveform Length Register — DAC로 출력되는 파형의 개수를 설정하며 DCG의 FIFO 개수가 4개이므로 실제 데이터수의 1/4 값을 갖는다.
- Control Register — DCG의 두 가지 동작모드 (Run/ Configuration), 출력을 원하는 메모리뱅크 설정 및 타이밍을 위한 핸드 셰이크 (handshake) 비트로 구성되며 DCG 동작을 제어한다.
- BBE Controller — GUI와 제어 프로그램간의 인터페이스를 담당하며 모두 퍼블릭 함수로 구성되어있다. GUI는 필요한 함수들을 불러서 필요한 제어를 수행한다.
- TLG Register — DCG와 RDS에 필요한 타이밍을 제어한다.
- RDS Register — RDS 제어를 위한 레지스터로 필요한 RDS 개수, 필터 개수, Sampling Window Length를 설정한다.
- Rx Array — RDS내의 ADC를 통해 양자화 된 디지털 데이터를 프로그램내의 어레이(array)에 저장한다.
- Rx File — Rx Array 클래스에 저장된 데이터를 보조기억장치에 파일 형태로 저장한다.

사용자가 실험모듈 테스트를 위하여 이용할 수 있는 작성된 소프트웨어를 이용하여 제공하는 기능들은 다음과 같다.

- 송신용 파형 데이터를 생성하고 이를 보조기억장치에 저장하거나 저장된 데이터를 읽어 들이는 기능.
- 생성된 송신용 파형 데이터를 그래픽 형태 또는 수치형태로 화면에 표시하는 기능.
- 생성된 송신용 파형 데이터를 DCG내의 지정한 메모리뱅크에 전송하거나 읽어 들이는 기능.
- DCG내의 메모리뱅크에 저장된 데이터를 송신 FIFO에 전송하는 기능.
- 수신된 파형 데이터를 보조기억장치에 저장하거나

읽어 들이는 기능.

- 수신된 파형 데이터를 RDS내의 FIFO로부터 읽어 들여 제어기내의 메모리에 저장하는 기능.
- 수신된 데이터를 그래픽 또는 수치형태로 화면에 표시하는 기능.
- 보조기억장치에 저장된 수신 파형 데이터를 보조기억장치에 저장하거나 읽어 들이는 기능.
- 사용자가 실험모듈 - DCG, RDS-1, RDS-2, TLG의 동작에 필요한 변수들을 설정하여 이를 각 하드웨어에 전송하는 기능.
- 실험모듈의 상태를 자동으로 점검하여 세부내용을 화면에 표시하는 기능.
- VME 메모리 상에 배정된 DCG의 메모리뱅크를 테스트하는 기능.

#### IV. 제작 및 평가

이와 같이 설계하여 제작된 시스템의 개념적 구성이 그림 7에 나타나 있다. 실제 완성 시스템은 VME 버스 랙(rack)에 장착되는데 보조기억장치(HDD 및 FDD) 보드 1장, 제어기 1장, DCG 1장, TLG 1장, RDS 2장 (RDS1 및 RDS2), 복조기 1장, 기타 스위치 및 인터페이스용 보드 2장으로 하여 총 9장 및 모니터, 키보드, 마우스로 구성되며 전원부는 상용 판매되는 전원장치를 구매하여 별도의 전원 랙으로 구성하였다.

각 보드가 모듈에 해당되며 모듈별 설계결과에 따라 하드웨어 제작에 필요한 요구사항(requirement)이 주어진다. 본 연구에서는 기계 및 열(thermal) 요구사항은 생략되었고 전기적 요구사항만을 충족하도록 제작되었다. 따라서 부품도 특별제작이 필요 없는 소자들을 사용하였다. 본 연구에서 제작된 시스템은 Engineering Model 수준이나 결국 우주동작 용 Flight Model을 전제로 한 것이므로 선정된 부품은 우주환경용 부품과 동일한 기능의 일반 상용 부품을 사용하였다. 즉, 제작된 시스템은 우주환경 부품으로 교체하고, 예를 들어 상용 Pentium 프로세서를 우주환경에서 동작하는 Pentium 프로세서로 교체하고, 기계 및 열적 요구사항을 고려하여 변경하면 위성 SAR에 사용될 수 있다.

그림 8에는 Pre-distortion을 적용한 85MHz 신호에서 In-phase 성분을 DCG 출력 단에서 디지털 오실로

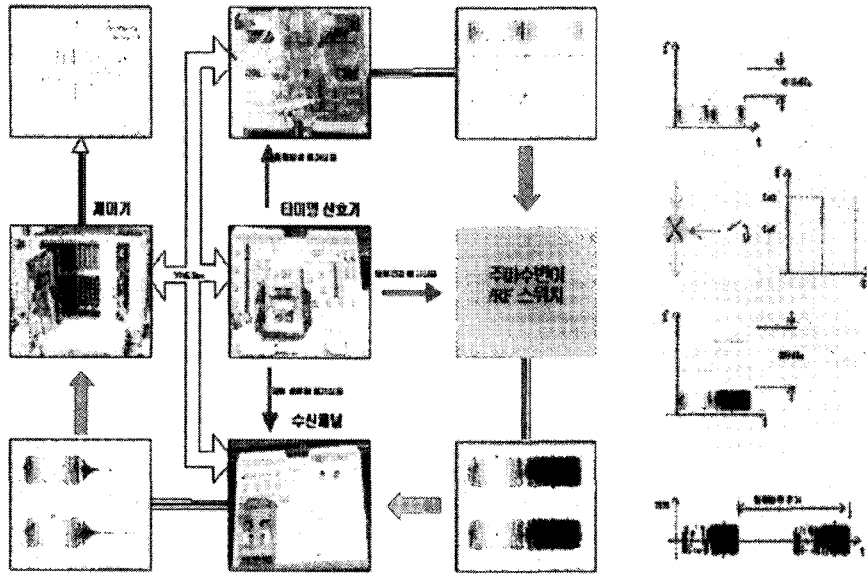


그림 7. 제작된 시스템의 전체구성  
Fig. 7. System configuration implemented.

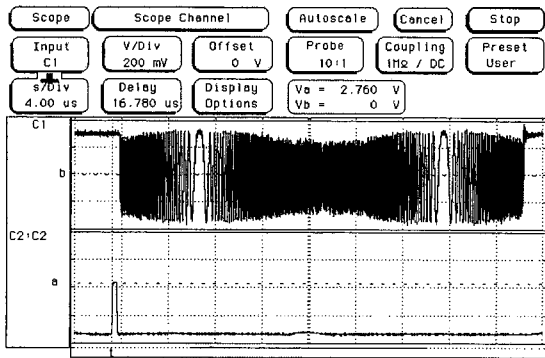


그림 8. DCG 출력 단에서의 두 42.5MHz 펄스  
그림 8. Two 42.5MHz transmit pulses at DCG output.

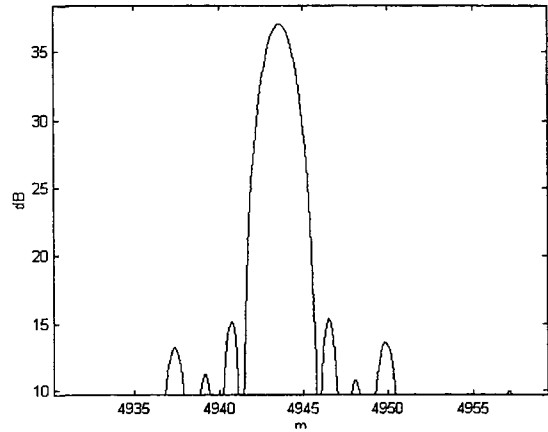


그림 10. 85MHz 수신 신호의 IRF  
그림 10. IRF of received 85MHz signal.

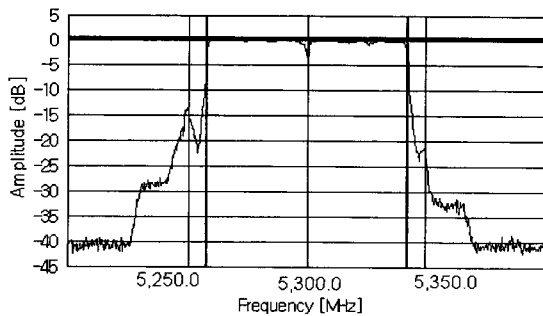


그림 9. 스티칭된 85MHz 송신 신호의 주파수 스펙트럼  
그림 9. Frequency spectrum of stitched 85MHz transmit signal.

스코프로 측정된 파형이다. 두개의 42.5MHz 펄스 신호를 연속으로 출력하고 있음을 알 수 있다. 그림 9에는 스티칭 된 후 주파수 상향되어 RF 단에서 안테나로 입력되는 송신 신호의 주파수 스펙트럼을 스펙트럼 분석기로 측정된 것이다. -3dB에서 약 85MHz의 대역폭을 갖고 있음을 알 수 있다. 그림 10에는 RDS에서 수신 및 분할 처리하여 디지털 변환 데이터로부터 최종 영상, 즉 IRF를 보여주고 있다.

## V. 결 론

본 논문은 고해상도가 요구되는 위성탐재 SAR에서 거 리방향 해상도를 향상시키기 위한 방법으로 칩 스티칭 알고리즘 및 이에 적합한 송 수신부를 설계 및 제작하였다. 제안된 방법을 적용한 시스템은 위성 시스템에 사용 가능한 하드웨어를 바탕으로 광대역 신호의 생성 처리가 가능하도록 설계 및 제작하였고 기능 및 성능을 평가하였다.

칩 신호발생은 현대의 위성 SAR에 적합한 디지털 발생방법을 채택하였으며 실제 위성 시스템에서 현재 구현 가능한 50MHz 칩 신호를 기준으로 협대역과 광대역 신호로 구분하였는데 광대역 신호 발생도 협대역 신호 생성과 동일한 하드웨어를 사용하여 실현하였다. 송신부에서 발생하는 오차를 감소시키기 위한 방법으로 진폭 Pre-distortion 알고리즘을 제안, 이를 파형생성시 적용하였다. 송신 및 수신신호의 변조 복조 및 제안된 스티칭 세그멘테이션 알고리즘을 기술하였다. 구현된 하드웨어 기능 및 동작을 확인하기 위하여 모듈화된 프로그램이 작성되었으며 출력신호의 측정 및 IRF를 통하여 동작을 확인하였다.

본 연구에서는 신호의 대역폭을 85MHz로 제한하였는데 이는 Open Sky Policy<sup>[7]</sup>라는 국제규약에 따라 국가간의 기술이전에 있어 해상도의 제한이 있기 때문이다. 그러나 본 논문의 연구결과의 기술을 확장하면 몇 개의 협대역 신호를 스티칭 하여 몇 배의 대역폭을 갖는 초 광대역 신호의 생성 및 처리가 가능하다는 것을 알 수 있다. 즉, 본 논문에서 구현한 기술은 레이더 신호의 대역폭 확장에 사용될 수 있는 방법으로 단지 위성 분야 뿐 아니라 광대역이 요구되는 모든 레이더 시스템에 적용될 수 있는 핵심 기술이다.

## 참 고 문 헌

- [1] 광영길, 홍우표, 이석호 외, *위성탐재 영상레이더 (ROK-SAR) 체계설계*, 기술보고서(KTRC-517-991067), 국방과학연구소, 1999년 12월
- [2] John C Curlander, Robert N. McDonough, *Synthetic Aperture Radar, Systems & Signal Processing*, JohnWiley & Sons, Inc., pp. 15-16, 1991.
- [3] 권오주, 가민호, 하영호, "위성탐재 고해상도 합성개구레이더의 광대역신호 획득용 칩 스티칭 송수신부 설계", *한국통신학회논문집*, 제 25권 10호, 2000년 10월
- [4] Furnell, "Extract from Core Radar Technical Note: Imperfections Impulse Response Functions of Compressed Chirp Signals Generated by Segmentation", *Matra Marconi Space UK Ltd.*, 1998.
- [5] S. Austin, "POEM-1 ASAR-The Need for Chirp Predistortion(PO-TN-MMS-SR-0123)", *Matra Marconi Space UK Ltd.*, June 1993.
- [6] James Rumbaugh, Michael Blaha, etc., *Object-Oriented Modeling and Design*, Prentice-Hall Intl., 1991.
- [7] S. V. Garbuk, V. E. Gershenzon, *Spaceborne Earth Remote Sensing Systems*, A and B Pub., Moscow, 1997. (in Russian).

저 자 소 개



賈 敏 皓(正會員)

1967년 4월 1일생. 1989년 2월 연세대학교 전자공학과 (공학사). 1991년 8월 연세대학교 전자공학과 (공학석사). 1997년 2월 Dept. of Radio-engineering, Moscow Power Engineering Institute(모스크바 에너지 공과대학교) (공학박사). 1997년 5월~2000년 6월 국방과학연구소, 선임연구원. 2000년 7월~현재 연세대학교 전기전자공학과 BK21 연구교수. 주관심분야는 전파시스템, 초광대역 통신 및 레이더 시스템 등임

田 炳 泰(正會員)

1963년 10월 10일생. 1986년 2월 경북대학교 전자공학과 (공학사). 1988년 2월 한국과학기술원 전기 및 전자공학과 (공학석사). 1993년 2월 한국과학기술원 전기 및 전자공학과 (공학박사). 1993년 7월~현재 국방과학연구소, 선임연구원. 주관심 분야는 MMIC 및 MIC 분야, TR 모듈 설계 분야

金 世 映(正會員)

1968년 7월 30일생. 1991년 2월 단국대학교 전자공학과 (공학사). 1993년 2월 단국대학교 전자공학과 (공학석사). 1993년 3월~현재 국방과학연구소, 선임연구원. 주관심 분야는 주파수 합성기 및 전력 증폭기 분야