

論文2001-38SC-4-6

고해상도 AC PDP를 위한 새로운 구동방식

(A New Driving Method for High Resolution AC PDP)

曹 瑛 完 * , 權 五 敬 *

(Young-Wan Cho and Oh-Kyong Kwon)

요 약

본 논문에서는 HDTV급 이상의 고해상도 AC PDP를 구동할 수 있는 새로운 구동방식을 제안하였다. 제안한 구동방식은 유지방전 펄스의 상승부와 하강부를 어드레스 방전에 이용하여 0.85 μ s의 데이터 펄스 및 스캔 펄스 폭으로 어드레스 방전이 가능하고 위상차이가 있는 유지방전 펄스를 인가하여 어드레스 방전의 횟수를 증가시켜 고해상도의 AC PDP패널을 고휘도로 구동할 수 있다. 유지 방전 주파수가 125kHz이고 4개의 위상차이를 줄 경우 최대 2080 수평해상도의 패널을 구동 할 수 있다. 이를 확인하기 위해 30x58 해상도의 4인치 칼라 AC PDP를 제한한 구동방식으로 구동하였으며 전압이 140V이고 주파수가 125kHz인 유지방전 펄스로 화면 잡음 없이 850 cd/m^2 의 고휘도를 구현하였다.

Abstract

We have proposed a new driving method of AC PDP for both high resolution over HDTV and high luminance. The new driving method can reduce data and scan pulse width to 0.85 μ s by utilizing both rising and falling edges of sustain pulse and can provide high-resolution AC PDP with high luminance by increasing the number of addressing discharge using sustain pulses with phase shifts. As a result, the proposed driving scheme makes it possible to drive 2080 horizontal resolution panel with high luminance. The experimental results using 4-inch color AC PDP with 30 \times 58 pixels indicate that the luminance can achieved up to 850 cd/m^2 without image noise when we employ the four phase-shifted sustain pulses with the amplitude of 140V and the frequency of 125KHz.

I. 서 론

PDP는 자체 발광 소자이며 비선형성이 강하고 시야각이 넓으며 반응속도가 수 μ s로 빠르기 때문에 동영상 구현에 적합하며 대형화가 용이하여 42인치 이상의 대화면 벽걸이 TV로 개발되어 상용화 되고 있다^{[1][2]}.

PDP는 크게 DC PDP와 AC PDP로 나누어지며, 이 중에서 상용화된 것은 그림 1과 같은 3전극 면방전 구조의 AC PDP이다.

기존의 AC PDP 구동방식들은 초기 내부 플라즈마를 생성하는 초기방전, 화상 데이터에 따라 셀의 내부 플라즈마를 생성 또는 소거하는 어드레스 방전, 내부 플라즈마 여부에 따라 방전을 지속하는 유지방전의 3부분으로 이루어져 있다. ADS(Address Display Separation)구동방식은 패널 전체를 초기방전하고 1라인씩 전체 패널을 어드레스 방전한 후 유지방전하여 화상을 표현하는 구동방식으로 어드레스 구간과 유지방전 구간이 완전히 분리되어 있다^{[3][4]}. ADS 방식은

* 正會員, 漢陽大學校 電子電氣컴퓨터 工學部

(Div. of electrical and Computer engineering)

接受日字:2000年11月1日, 수정완료일:2001年5月30日

구동회로가 간단하고 에너지 회수회로의 적용이 용이하기 때문에 현재 상용화된 AC PDP에 주로 사용되고 있다.

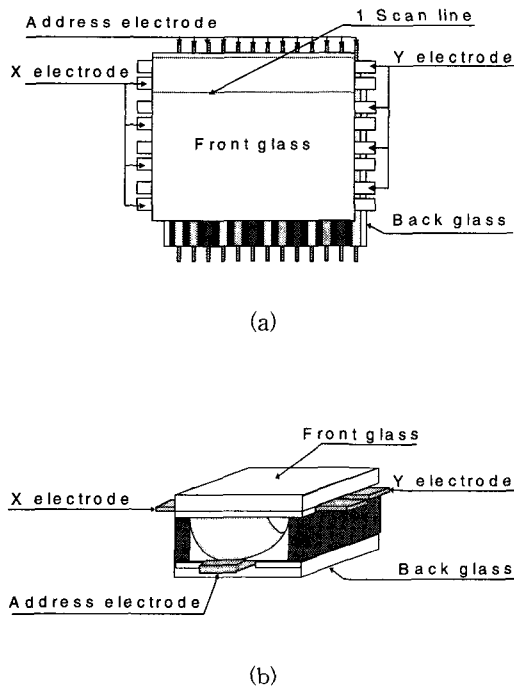


그림 1. 3전극 면방전 AC PDP의 셀 구조 (a) 3x4패널 (b) 단일셀

Fig. 1. Cell structure of 3 electrode surface discharge AC PDP (a) 3x4 panel (b) single cell.

그러나, 어드레스 구간과 유지 방전 구간이 분리되어 있기 때문에 패널의 해상도가 증가하면 1 화면의 구동 시간 중 어드레스 방전하는 시간이 증가하여, 실제로 밝기를 표시하는 유지 방전 시간이 줄어 휘도가 낮아지며 HDTV급 이상의 고해상도 패널에 ADS방식을 적용하기 위해서는 화면을 상하로 분할하여 동시에 구동하는 방식을 사용해야 한다. 그러나, 상하 분할 구동의 경우 데이터 구동회로의 수가 2배로 증가하여 가격 상승의 요인이 되며, 이 경우에도 수평해상도가 SXGA (1280x1024)급을 초과하는 고해상도 패널을 구동할 수 없다. AWD(Address While display) 구동방식은 전체 패널에 유지 방전 신호를 인가하여 방전이 계속되는 동안 유지 방전 펄스 사이에 필요한 전극을 선택적으로 어드레스 하는 구동방식이다^{[5][6]}. AWD 방식은 어드레스 시간을 제외한 모든 시간동안 패널이 항상 방전

하기 때문에 ADS 구동방식에 비해 휘도가 높은 장점이 있으나 어드레스 할 수 있는 횟수가 제한되어 고해상도 패널의 구동이 어렵다. 그리고, 구동 전압이 ADS 구동방식보다 높고 구동회로 및 제어 신호가 복잡한 단점이 있다.

이러한 기존의 구동방식에서 가장 중요한 문제점은 저소비 전력 구동과 고휘도 구현, 구동가능한 해상도의 증가이다. 이중에서 고해상도 구동은 1화면 표시 시간 중 어드레스 시간의 단축이 필요하다. 그러나 어드레스 방전시 셀 내부에서 발생된 플라스마가 안정화 될 때까지 전계를 유지해야 하기 때문에 데이터 펄스 폭은 약 2 μ s 정도이다. 이러한 데이터 펄스 폭을 줄이기 위해 셀 구조를 개선하여 ADS 구동방식의 데이터 펄스 폭을 1.4 μ s로 줄인 연구 발표^[4]와 200V 이상의 스캔 펄스를 이용하여 AWD 구동방식의 데이터 펄스 폭 약 1 μ s로 줄인 연구 발표가 있다^[6].

본 논문에서는 고해상도 AC PDP를 구동하면서 휘도를 높일수 있는 새로운 구동방식을 제시하였다. 기존의 어드레스 방식과 달리 전계를 유지할 필요가 없는 어드레스 방식을 사용하고 이를 바탕으로 데이터 펄스 폭을 줄이고 위상차이를 이용함으로써 어드레스 가능한 횟수를 늘여 고해상도 패널을 구동할 수 있다. 또한 방전 구간 사이에서 어드레스 하는 방식이기 때문에 화면 표시 시간이 길어 휘도가 높다. 논문의 제 II장에서 새로 제한한 어드레스 방식에 대해서 설명하고 제 III장에서 제안한 어드레스 방식을 사용한 전체 구동과 형에 대한 설명 및 시스템을 설명한다. 그리고 제 IV장은 4인치 칼라 AC PDP를 제안한 방식으로 구동한 실험 결과를 기술하였으며 제 V장에서 결론을 맺는다.

II. 제안한 구동방식의 어드레스 원리

제안한 구동방식과 기존 구동방식과의 어드레스 방식의 차이점 및 제안한 구동방식의 어드레스 가능한 횟수를 늘리는 방안에 대해 설명한다.

1. 유지방전 펄스를 이용한 소폭 어드레스 방법

본 논문에서는 기존의 패널 구조를 변경하지 않고 스캔 펄스, 데이터 펄스, 유지 방전 펄스의 3가지 신호를 이용하는 방전을 일으켜 펄스 폭을 줄이는 방안을 이용하였다. 제안한 어드레스 방식은 선택적 소거 방식으로 초기방전 파형이 인가된 후 그림 2와 같은 어드

레스 방전 신호를 인가하여 소거될 경우 화상이 표시 되지 않고 소거되지 않은 경우 유지 방전을 계속하여 화상을 표시한다. 그림 2에서 B부분과 같이 어드레스 할 동안, Y전극에 인가되는 유지 방전 펄스의 하강부에서 전압이 낮아지는 부분이 제안한 어드레스 방식의 스캔 펄스에 해당된다. 이때 해당하는 스캔 전극만 이러한 파형이 인가되며 다른 스캔 전극에는 전압이 낮아지지 않은 유지 방전 펄스가 계속 인가된다. 유지 방전 펄스의 하강부에서 전계가 사라진 셀 내부의 플라스마 이온들(벽전하)은 데이터 펄스가 인가될 때 어드레스 방전이 일어나며 이후 안정되지 않은 플라스마 이온들이 남아있다. 그림 2에서 C부분과 같이 남아있는 플라스마 이온들은 유지 방전을 계속할 수 있을 만큼 많지 않기 때문에 X전극에 유지방전 펄스가 인가되면, 강한 전계에 의해 플라스마 이온들이 소거된다. 따라서 이러한 그림 2의 어드레스 방전 파형을 사용하면 기존 구동방식과 달리 데이터 펄스는 충분히 플라스마 이온들을 소거할 만큼 전압을 유지할 필요가 없기 때문에 기존 방식에 비해 펄스 폭을 많이 줄일 수 있다.

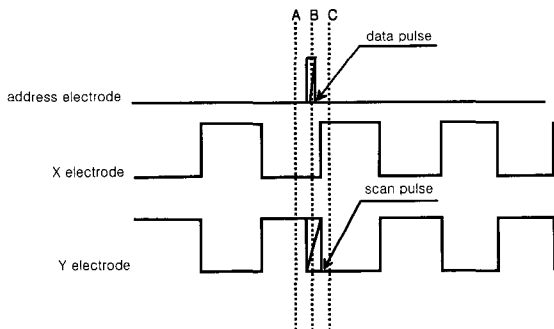


그림 2. 제안한 소폭 어드레스 방전 파형
Fig. 2. Proposed narrow addressing method.

2. 상승 및 하강부의 스캔 펄스 인가

그림 2와 같이 유지방전 펄스의 하강부에만 스캔 신호가 인가되면 1 화면 동안 어드레스가 가능한 전극의 수가 유지방전 펄스의 주파수에 따라 결정되기 때문에 고해상도 PDP를 구동하기 위해서는 유지방전 주파수가 증가되어야 한다. 그러나, 유지방전 주파수를 너무 높여 펄스 폭이 약 4μs 이하가 되면 플라스마 방전 특성 때문에 적절한 유지방전을 할 수 없다. 따라서, 어드레스 가능한 횟수를 증가시키기 위하여 Y전극의 유지 방전 펄스의 상승부와 하강부에 스캔 펄스를 인가하고

이때 어드레스 방전을 할 경우 동일한 주파수에 대하여 하강부에만 인가할 때 보다 어드레스 가능한 횟수가 2배로 증가된다.

그림 3은 동일한 어드레스 전극에 연결된 2개 셀의 X전극에 유지 방전 펄스가 인가되고 Y전극에 서로 다른 유지 방전 신호와 스캔 펄스가 인가되는 것을 나타내고 있다. 초기방전 후 그림 3의 B부분과 같이 Y2 전극의 유지방전 펄스의 상승부에 스캔 신호를 인가하고 공통 어드레스 전극에 데이터 펄스가 인가되면 셀 내부의 X2전극 윗부분에 쌓여있는 플라스마 이온들이 공통 어드레스 전극에 인가된 전압에 의해 플라스마 방전이 일어난다. 그리고, 일정시간이 지난 후 그림 3의 C와 D에서는 X2 전극, Y2 전극과 공통 어드레스 전극으로 구성된 셀 내부의 플라스마 이온이 소거되며 X1 전극, Y1 전극과 공통 어드레스 전극으로 구성된 셀 내부의 플라스마 이온은 소거되지 않는다.

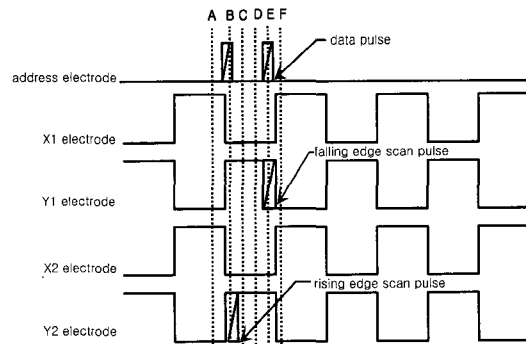


그림 3. 유지 방전 펄스의 상승부 및 하강부를 이용한 어드레스 방전
Fig. 3. Addressing discharge method by rising and falling edge of sustain pulse.

그림 3의 E 부분에서 Y1 전극에 인가되는 유지 방전 펄스의 하강부에 스캔 신호가 인가되고 공통 어드레스 전극에 데이터 펄스가 인가되면 셀 내부의 Y1 전극 위에 쌓여있는 플라스마 이온들이 공통 어드레스 전극에 인가된 전압에 의해 어드레스 방전이 일어난다. 따라서 그림 3의 F부분에서는 두 셀 모두 소거 상태가 되어 방전하지 않는다. 이러한 Y전극의 유지 방전 펄스의 상승부와 하강부에서 어드레스 방전이 가능한 것은 3 전극 AC PDP의 X, Y전극이 서로 대칭적 구조이기 때문이다. 즉, Y전극 유지 방전 펄스의 상승부에서 스캔 신호가 인가될 때에는 X전극과 어드레스 전극 사이에

서 어드레스 방전이 일어나며, 하강부에 스캔 신호가 인가될 때에는 Y전극과 어드레스 전극 사이에서 어드레스 방전이 일어난다. 따라서, 1개의 유지 방전 펄스에서 2번의 어드레스가 가능하다. 위와 같은 어드레스 방법을 사용하면 어드레스 가능한 횟수가 2배로 증가되고 구동 가능한 수평 해상도가 2배로 증가된다.

3. 유지방전 펄스와 스캔 펄스의 위상이동

소폭 어드레스 방식과 유지방전 펄스의 상승부와 하강부에서 어드레스 방식으로 구동하면 데이터 펄스와 다음 데이터 펄스사이의 시간 간격이 크기 때문에 더 많은 어드레스 신호를 추가할 수 있다. 제안한 소폭 어드레스 방식은 유지 방전 전압이 어드레스 전압보다 높기 때문에 유지 방전 펄스 중간간에 데이터 펄스가 인가되어도 플라스마 방전의 비선형성 특성에 의해 유지 방전 및 셀 내부 플라스마 이온의 분포에 큰 영향을 주지 않는다^{[1][2]}. 따라서, X전극과 Y전극에 위상차이를 두어 유지 방전 펄스와 스캔 펄스를 인가하면 유지 방전 펄스의 상승부 및 하강부의 위치가 다르게 되어 더 많은 데이터 펄스와 스캔 신호를 인가 할 수 있다.

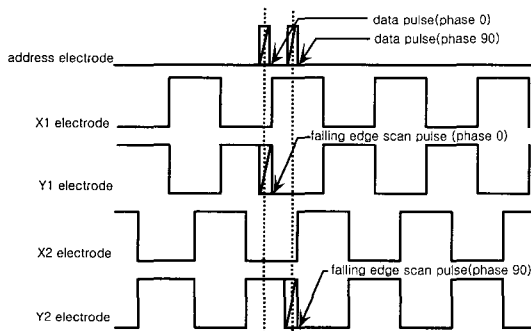


그림 4. 제안된 위상 변화가 있는 유지방전 파형
Fig. 4. Proposed phase-shifted sustain phase shifting method.

그림 4는 위상이 0° , 90° 로 다른 유지방전 펄스의 공통 어드레스 전극에 있는 두 개의 각 셀에 인가한 파형을 나타내었다. 그림 4에서 첫 번째의 데이터 펄스는 X1전극과 Y1전극으로 이루어진 셀을 어드레스 하여 이때 어드레스 방전이 일어나며 X2 전극, Y2 전극, 공통 어드레스 전극으로 이루어진 셀은 초기 방전 이후 상태로 첫 번째 데이터 펄스와 무관하게 초기 방전 및 유지 방전을 계속한다. X2 전극, Y2 전극으로 이루어진

어진 셀을 어드레스 하기 위해서 어드레스 전극에 두 번째 데이터 펄스가 인가되면 Y2의 유지 방전 펄스 하강부의 스캔 전압과 어드레스 방전을 한다.

각 유지 방전 파형의 상승부와 하강부에 인가되는 스캔 신호와 시간적으로 일치하는 어드레스 신호가 인가되는 셀에서만 어드레스 방전이 일어나며 서로 일치하지 않는 다른 셀에서는 어드레스 방전이 발생하지 않는다. 따라서 공통의 어드레스 전극에 인가되는 데이터 펄스가 서로 겹치지 않도록 서로 다른 위상차이의 N개의 유지방전 펄스를 X전극 및 Y전극에 인가하면 어드레스 가능한 횟수는 N배로 증가한다.

III. 제안한 구동방식의 구동파형 및 구성

구동방식을 구성하기 위해서는 계조를 표현하는 방법과 그에 따른 구동파형이 필요하다. 제안한 구동방식의 256계조의 구현은 기존 구동방식^{[3][5]}과 동일한 부화면(subfield)방식을 사용한다. AC PDP는 유지방전에 의한 on/off 표시만 가능하므로 유지방전 펄스의 개수로 화면의 밝기를 조정하고 1개의 화면을 8개의 부화면(Subfield)으로 나누고 각 부화면을 2"에 해당하는 유지방전을 하게 된다. 그리고 각 부화면을 조합하여 계조를 표시하게 된다.

제안한 구동방식은 기존의 구동방식과 동일한 8개의 부화면으로 구성되어 있으며 그림 5는 한 개의 Y전극과 한 개의 X전극에 인가되는 1계조를 나타내는 부화면의 구동파형을 나타내었다. 그림 6은 위상이 동일한 유지방전 신호에서 몇 개의 라인에 대한 구동파형의 예를 나타내었다. 제안한 구동방식의 파형은 초기 방전(priming)펄스, 어드레스(address)펄스, 유지방전(sustain)펄스, 휴지기간(reset period)의 4부분으로 나누어져 있다. 초기방전 구간에서 높은 전압을 인가하여 셀 내부에 플라스마 이온을 형성시키고 어드레스 구간에서는 각 화소에 대한 화상 데이터에 따라 플라스마 이온을 소거한다. 유지방전 부분에서는 유지방전 신호에 따라 방전을 계속하여 각 부화면의 밝기를 결정하고 휴지기간은 셀 내부의 플라스마 이온을 소거하여 이전 화면 정보를 모두 지우는 구간이다.

제안된 구동방식의 구동방식의 시간적 구성의 예는 다음과 같다. 초당 60번 표시되는 프레임의 단위 시간은 16.67ms이고 유지방전 펄스의 주파수가 125kHz이고 주기가 8 μ s이다. 1 μ s의 스캔 펄스가 상승부와 하강부에

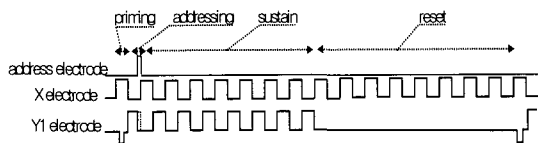


그림 5. 제안한 구동방식의 1개의 Y전극과 X전극의 기본 구동파형
 Fig. 5. Basic driving waveform applied in to 1 Y electrode and X electrode with proposed driving method.

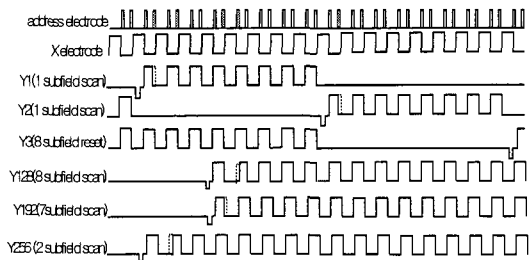


그림 6. 유지방전 펄스의 위상차이가 없을 때 구동파형
 Fig. 6. Driving waveform without phase shifted sustain driving pulses.

2번 어드레스 될 경우 가능한 데이터 펄스 수는 $16.67 \text{ ms} / 8 \mu\text{s} \times 2$ 회로 4166번이다. 1개의 화면을 표시하기 위해서는 8개의 부화면이 필요하기 때문에 1전극에 대해서 1화면 표시 시간동안 8번 어드레스를 해야 한다. 따라서 위상차이가 없이 1화면을 표시하는 동안 어드레스 가능한 최대 스캔 전극 수는 $4166 \text{ 번} / 8 \text{ 번}$ 으로 520 개다. 마지막으로 위상이동을 이용한 어드레스 횟수를 증가하는 방법을 사용하여 위상차이가 다른 2개인 유지방전 파형으로 구동이 가능한 스캔 전극의 수는 최대 1040개이다. 따라서, 유지방전 펄스의 주파수가 125kHz 이고 위상차이가 2개면 제안한 구동방법으로 SXGA급 (1280 x 1024) 해상도의 PDP를 구동 할 수 있다. 또한 8μs의 유지방전 펄스 폭과 1μs의 스캔 및 데이터 펄스 폭으로 PDP를 구동하면 0°, 90°, 180°, 270° 4개의 위상차이의 유지방전 펄스를 인가할 수 있기 때문에 520 개의 4배인 2080개의 스캔 전극까지 제안한 방법으로 구동할 수 있다. 그림 7은 2080개의 스캔 전극을 구동하기 위해 위상차이가 0°, 90°, 180°, 270° 인 유지방전 파형이 인가된 구동파형을 나타내고 있으며, 그림 8은 2080개의 스캔 전극을 구동할 수 있도록 4개의 독립적인 유지방전 회로가 있는 시스템 구성도이다. 제안한 구동방식의 회로 구성과 시스템은 기존 구동방식을 적용한 시스템과 유사하며 구동 전압은 기존의 구동방식보다 낮거나 유사하다.

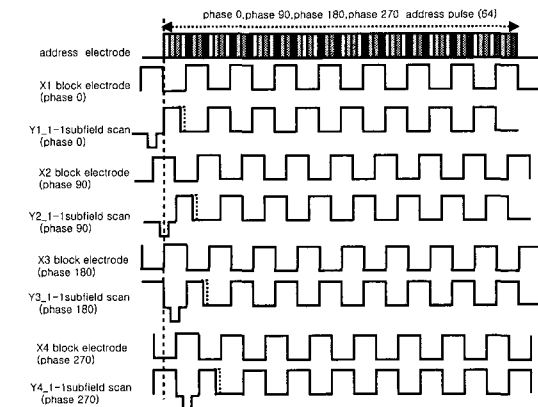


그림 7. 4개의 위상차이의 유지방전 펄스가 인가되는 구동파형
 Fig. 7. Proposed driving waveform with phase-shifted sustain driving pulses.

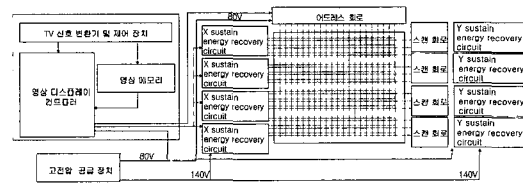


그림 8. 제안한 구동방식으로 설계된 2080개 스캔 전극 패널 시스템 구성도
 Fig. 8. System diagram for driving AD PDP with 2080 scan electrodes by proposed driving method.

IV. 테스트 보드 작성 및 실험 결과

구동실험을 위해 사용된 AC PDP의 패널 크기는 4인치, 해상도는 30x58이며 상용화된 42인치 패널과 셀의 구조와 크기가 동일하다.

테스트 보드는 그림 9에 나타나 있으며 위상차이가 있는 유지방전 신호를 인가할 수 있도록 2블록의 독립적인 구동회로 및 에너지 회수 회로를 구성하였으며 외부에서 프로그래밍이 가능한 FPGA로 구동파형을 구현하였다. 전원부는 따로 제작하지 않고 그림 10과 같

이 3개의 외부 전원 공급장치에서 필요한 전압을 공급한다. 그림 10에서 구동에 필요한 유지방전 전압이 140V, 어드레스 전압이 80V임을 확인할 수 있다. 그림 11은 제안된 구동방식을 쉽게 구현하기 위해 단일 보드 위에 하나로 설계된 고전압 구동회로 보드이며 그림 12는 고전압 구동회로 보드를 제어하기 위해 사용된 컨트롤러 보드이다.

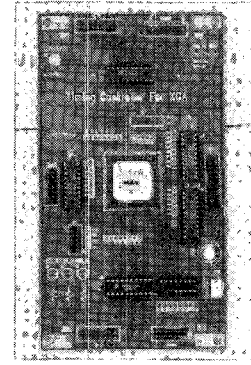


그림 12. 컨트롤러 보드 사진
Fig. 12. Photograph of controller circuit board.

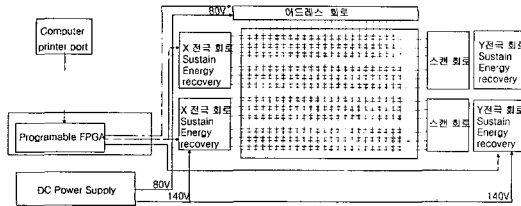


그림 9. 테스트 보드 시스템 구성도
Fig. 9. Test board system diagram.

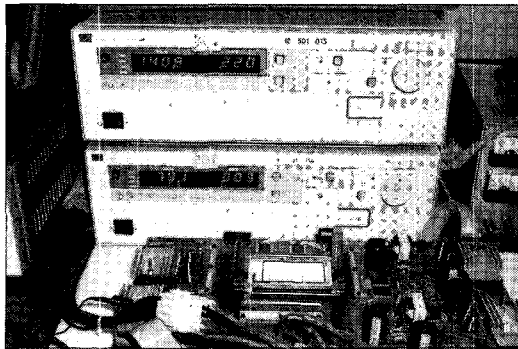


그림 10. 테스트 회로 구동 시스템 및 전원부 사진
Fig. 10. Photograph of test circuit driving system and power supplies.

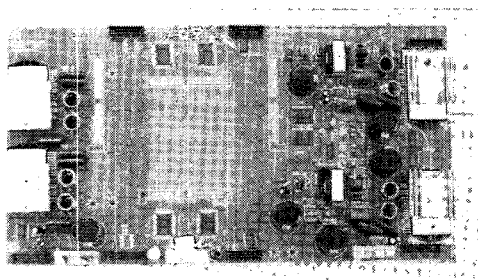


그림 11. 고전압 구동회로 보드 사진
Fig. 11. Photograph of high voltage driving circuit board.

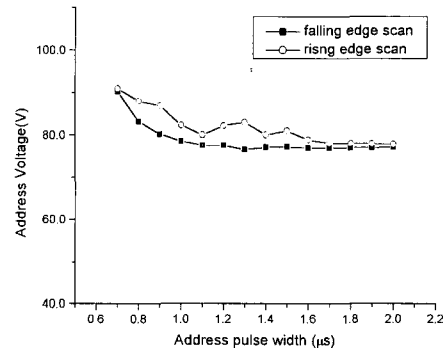


그림 13. 데이터 펄스 폭에 따른 데이터 펄스 최소 전압
Fig. 13. Minimum data pulse voltage for various data pulse width.

첫 번째 실험은 소폭 어드레스의 구동전압과 어드레스 가능한 펄스 폭을 측정하기 위한 것으로 데이터 펄스의 폭을 줄여가며 어드레스가 되는 최소 구동전압을 측정하였다. 그림 13은 제안한 소폭 어드레스 방법으로 구동할 때 데이터 펄스 폭에 따른 최소 어드레스 구동 전압이며 상승부에서 어드레스 할 경우와 하강부에서 어드레스 할 때 최소 어드레스 전압을 측정하였다. 화면의 어드레스 여부는 외부 스위치를 통해 전체 소거 신호를 인가한 후 전체 패널이 소거 신호에 따라 소거됨을 육안으로 측정하였다. 데이터 펄스 폭이 0.85μs일 때, 최소 구동전압 90V에서 전체 패널의 어드레스가 가능하였으며, 상승부와 하강부에 스캔 신호를 인가할 경우 하강부에 인가된 데이터 펄스와 상승부에 인가된 데이터 펄스간의 최소 구동전압의 전압차이는 약 5V

이내이다. 약 $0.9\mu s$ 이상에서는 어드레스 전압이 80V 정도로 일정하며, 그 이유는 어드레스 방전에 의해 발생된 플라스마 이온들이 충분히 이동하여 전계가 걸리는 시간과 최소 어드레스 전압의 관계가 없기 때문이다. 그러나, $0.9\mu s$ 미만의 펄스 폭에서는 플라스마 이온의 이동시간이 짧기 때문에 플라스마 이온의 이동 속도를 높이기 위해 높은 어드레스 구동전압이 필요하다. 그림 14는 테스트 패널에 인가한 펄스 폭이 $0.85\mu s$ 인 데이터 펄스와 주파수가 125kHz의 유지방전 펄스의 측정 파형이다.

두 번째 실험으로 위상이 서로 다른 유지방전 펄스를 인가하여 어드레스 여부를 측정하였다. 인가된 유지방전 신호의 주파수 125kHz이고 전압 140V이며 데이터 펄스 폭은 $0.9\mu s$ 이고 어드레스 전압은 80V이다. 전체 패널의 30개의 Y전극과 X전극 중에서 각각 15개 라인씩 서로 0° 와 90° , 0° 와 180° 로 위상이 다른

유지방전 신호를 인가하여 상하 동일한 줄무늬 패턴을 구현하여 어드레스 여부 및 경계선에서 잡음 유무를 측정하였다. 그림 15는 0° 와 180° 의 다른 위상의 유지방전 펄스를 인가하여 줄무늬 패턴을 구현한 사진이며, 실험 결과 0° 와 90° , 0° 와 180° 의 위상이 다른 부분에서 서로 방전에 영향을 주지 않아 경계선에서 화면 잡음은 표시되지 않았다. 그림 16은 0° 와 180° 의 위상차이의 유지방전 펄스를 사용하여 사각형 무늬를 구현한 사진이며 이 경우에도 위상이 다른 부분의 경계선에서 화면 잡음은 나타나지 않았다.

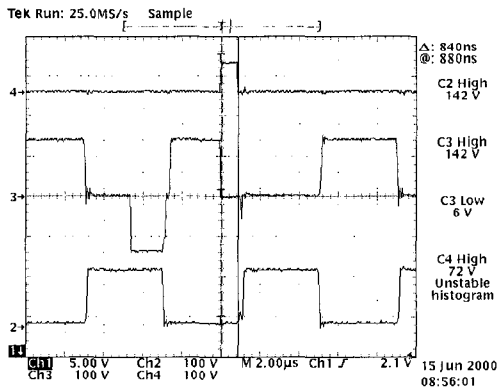


그림 14. 측정된 유지 방전 구동파형
Fig. 14. Measured sustain driving waveform.

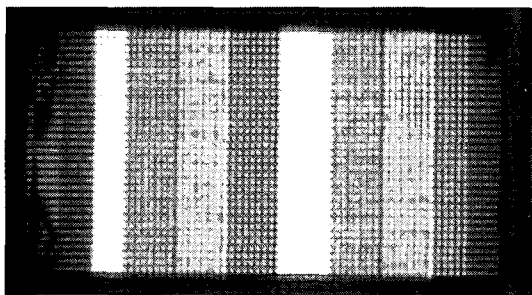


그림 15. 위상차가 0° 와 180° 인 유지방전 파형의 줄무늬 패턴 사진
Fig. 15. Photograph of Stripe pattern displayed on AC PDP driven by with 0° and 180° phase-shifted sustain pulses.

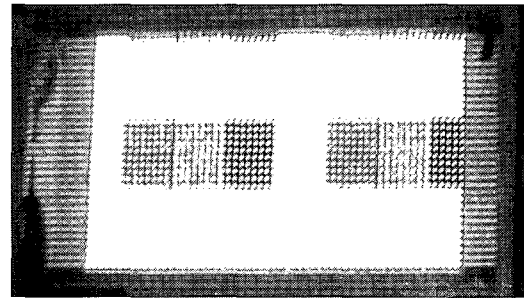


그림 16. 제한한 방전 파형으로 구동한 사각형 무늬 패턴 사진
Fig. 16. Photograph of window pattern displayed on AC PDP by the proposed driving method.

표 1. 테스트 패널 사양 및 실험 결과
Table 1. Specification of test panel and test result.

테스트 패널	4인치 칼라 AC PDP
테스트 패널 해상도	30x58
휘도(Luminance)	850 cd/m^2
대비비(Contrast ratio)	170:1
계조	256 계조
유지방전 펄스 전압	140V
초기방전 펄스 전압	-140V
데이터 펄스 전압	80V
유지 방전 신호 주파수	125kHz

제안 구동방식으로 구동한 4인치 패널의 측정 결과를 표 1에 나타내었다. 구동파형은 8개의 부화면으로 구성하여 선형적인 256계조를 구현하였으며 이때 전압이 140V이고 125kHz의 주파수의 유지방전 펄스를 인

가하여 850 cd/m^2 의 휘도를 보였다. 이 휘도는 기존 구동방식 중 최고 휘도인 720 cd/m^2 ^[6]보다 18%정도 향상되었으며 유지 방전 펄스의 전압은 170V에서 140V로 17.6%정도로 낮추었다^[6]. 그리고 대비비(contrast ratio)는 암실에서 170:1 정도이다.

V. 결론

본 논문에서는 3전극 AC PDP의 기존 구동방식의 단점인 낮은 휘도 및 제한된 수평 해상도를 개선한 새로운 구동방식을 제안하였다. 유지방전 펄스의 상승부 및 하강부에 데이터 펄스를 인가하고 데이터 펄스 폭을 $0.85\mu\text{s}$ 까지 줄였으며 유지방전 펄스에 위상차이를 주어 인가하면 구동 가능한 최대 스캔 전극의 수는 2080개이다. 그리고, 제안한 방법으로 4인치 AC PDP를 구동한 결과 위상차이가 있는 유지방전 펄스와 스캔 펄스를 이용하여 구동이 가능함을 보였으며 유지방전 펄스의 주파수가 125kHz이고 전압이 140V일 때 850 cd/m^2 의 고휘도를 구현하였다.

감사의 글

제안한 구동방식을 검증하기 위하여 4인치 AC PDP 패널 및 회로 제작을 지원해 주신 (주)오리온 전기에 감사 드립니다.

참고 문헌

[1] H. G. Slottow et al., "The Voltage Transfer Curve and Stability Criteria in the Theory of the AC Plasma Display," IEEE Trans. Electron Device, ED-24, pp. 571-574, July 1997.

[2] O. Shani et al., "Origin of the Bistable Voltage Margin in the AC Plasma Display Panel," IEEE Trans. Electron Device, ED-24, pp. 853-858, July 1997.

[3] K. Yoshikawa et al., "A Full Color AC Plasma Display with 256 Gray Scale," Japan display 92, pp. 605-608, 1992.

[4] H. Hirakawa et al., "Cell Structure and Driving Method of a 25-in. (64-cm) Diagonal High Resolution Color ac Plasma Display," SID 98 DIGEST, pp. 279-282, 1998.

[5] H. Homma et al., "Luminance Improvement of PDPs by Extension of Light-Emission Duty to 90% with an HDTV Capability," SID 97 DIGEST, pp. 285-288, 1997.

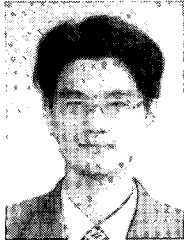
[6] M. Ishii et al., "Reduction of Data Pulse Voltage to 20V by Using Address While Display Scheme AC PDPs," SID 99 DIGEST, pp. 162-166, 1999.

[7] J. Ryeom et al., "High Luminance and High Contrast HDTV PDP with Overlapping Driving," IDW 99, pp. 743-746, 1999.

[8] I. Son et al., "Multiple Addressing in Single Sustain Method: A New High Speed Driving Scheme for ac-PDP," IDW 99, pp. 73-76, 1999.

[9] Y. Kanazawa et al., "Invited Paper: High Resolution Interlaced Addressing for Plasma Displays," SID 99 DIGEST, pp. 154-157, 1999.

저 자 소 개



曹 瑛 完(正會員)

1974년생. 1997년 2월 : 한양대학교 전자공학과 졸업 공학사. 2000년 8월 : 한양 대학교 전자공학과 졸업 공학석사. 현재 스마트 디스플레이 재직 중. 주관심 분야는 Flat Panel Display 기술구동 및 구동회로 설

계 등임



權 五 敬(正會員)

1955년생. 1978년 2월 : 한양대학교 공과대학 전자공학과 공학사. 1986년 6월 : Stanford University, Dept. of Electrical Engineering, 공학석사. 1988년 3월 : Stanford University, Dept. of Electrical Engineering, 공학박사. 1980년 1월~1983년 5월 : 금성 전기(주) 기술 연구소, 연구원. 1983년 5월~1987년 12월 : Stanford University, Stanford Electronics Laboratories, 연구조교. 1987년 12월~1992년 8월 : Texas Instruments, Semiconductor Process & Design Center, 책임연구원. 1992년 9월~현재 : 한양대학교 공과대학 전자전기컴퓨터공학부, 교수. <주관심분야> Smart Power Integrated Circuits 설계 및 제조 공정, 전자패키징 및 Interconnection 설계, 제조 공정 및 테스트 및 Flat Panel Display 기술 및 구동회로 설계임