

論文2001-38SC-4-3

# 새로운 200 MHz CMOS 선형 트랜스컨덕터와 이를 이용한 20 MHz 일립틱 여파기의 설계

(Design of a Novel 200 MHz CMOS Linear Transconductor and Its Application to a 20 MHz Elliptic Filter)

朴喜鍾\*, 車炯雨\*\*, 鄭元燮\*\*

(Hee-Jong Park, Hyeong-Woo Cha, and Won-Sup Chung)

## 요 약

트랜스리니어 셀을 이용한 새로운 200 MHz CMOS 트랜스컨덕터를 제안하였다. 제안한 트랜스컨덕터는 트랜스리니어 셀에 기초를 둔 전압 폴로워 및 전류 폴로워와 하나의 저항기로 구성된다. 트랜스컨덕터의 폭넓은 응용을 위해, 단일-입력 단일-출력, 단일-입력 차동-출력, 그리고 완전-차동 트랜스컨덕터를 각각 체계적으로 설계하였다. 컴퓨터 시뮬레이션의 결과, 완전-차동 트랜스컨덕터는  $\pm 3$  V의 공급 전압에서  $\pm 2.7$  V의 입력 선형 범위, 200 MHz의 3-dB 주파수, 그리고 41 ppm/°C 이하의 온도 계수를 가진다는 것을 확인하였다. 완전-차동 트랜스컨덕터의 응용성을 확인하기 위해, 인덕턴스 시뮬레이션 방식에 기초한 3차 사다리형 일립틱 저역-통과 여파기를 설계하였다. 설계된 저역-통과 여파기는 22 MHz의 리플 대역폭과 0.36 dB의 통과 대역 리플, 그리고 26 MHz의 차단 주파수를 가진다.

## Abstract

A novel 200 MHz CMOS transconductor using translinear cells is proposed. The proposed transconductor consists of voltage followers and current followers based on translinear cells and a resistor. For wide applications, a single-input single-output, a single-input differential-output, and a fully-differential transconductor are systematically designed, respectively. The theory of operation is described and computer simulation results are used to verify theoretical predictions. The results show that the fully-differential transconductor has a linear input voltage range of  $\pm 2.7$  V, a 3-dB frequency of 200 MHz, and a temperature coefficient of less than 41 ppm/°C at supply voltages of  $\pm 3$  V. In order to certify the applicability of the fully-differential transconductor, A ladder-type 3th-order elliptic low-pass filter is also designed based on the inductance simulation method. The filter has a ripple bandwidth of 22 MHz, a pass-band ripple of 0.36 dB, and a cutoff frequency of 26 MHz.

\* 正會員, 淸州大學校 電子工學科  
(Dept. of Electronic Engineering, Graduate School, Chongju University)

\*\* 正會員, 淸州大學校 理工大學 電子·情報通信·半導體 工學部  
(School of Electronic, Information & Communication, Semiconductor Engineering, Chongju University)

※ 이 논문은 1998년 한국학술진흥재단의 학술연구비에 의하여 지원되었음(과제번호: 1998-016-E00056)

## I. 서론

트랜스컨덕턴스 증폭기(transconductance amplifier) 또는 트랜스컨덕터(transconductor)는 입력 전압을 전류로 변환하여 출력시키는 전압-전류 변환기로서, 고주

파 여파기와 발진기 설계에 널리 사용된다. 특히, 수 메가헤르츠(MHz)에서 동작하는 비디오(video) 신호처리 및 컴퓨터 디스크 드라이버(disk drive)용 아날로그 여파기 설계에는 트랜스컨덕터가 필수불가결한 기본 빌딩 회로이다<sup>[1]-[3]</sup>. 근래에 와서는, 트랜스컨덕터가 CDMA 무선 휴대폰에 들어가는 중간주파(IF : intermediate frequency) 여파기 실현에도 적극적으로 사용되고 있다<sup>[4]-[8]</sup>.

트랜스컨덕터를 실현하는 방법은 차동쌍(differential pairs)을 이용하는 방법과 전류 미러(current mirror)를 이용하는 방법으로 대별된다. 현재 주로 연구되고 있는 것은 전자이다. 차동쌍을 이용하여 설계된 트랜스컨덕터들은 좋은 선형성<sup>[9]-[11]</sup>과 온도 특성<sup>[4],[11]</sup>을 보이는 장점을 가지고 있다. 그러나, 이 트랜스컨덕터들은 회로 구성이 복잡하고, 대역폭이 비교적 좁다는 단점도 가지고 있다(트랜스컨덕터의 -3 dB 주파수가 100 MHz 이하). 특히, 넓은 대역폭을 얻기 위해서는 큰 값의 바이어스 전류가 요구되고, 이에 따라 소비 전력이 증가하는 문제를 안고 있다. 전류 미러를 이용한 트랜스컨덕터는 주파수 대역폭이 넓고 낮은 공급기 전압에서 동작하며, 비교적 작은 전력을 소비한다는 특징을 갖고 있다<sup>[12]-[13]</sup>. 그러나, 이 트랜스컨덕터는 트랜지스터의 소신호 범위(수 mV)에서 동작하므로, 입력 선형 범위가 좁고, 온도 특성이 나쁘다는 단점을 가진다.

본 논문에서는 회로 구성이 간단하고 대역폭이 넓은 면서 선형성과 온도 특성이 좋은 고주파 트랜스컨덕터를 체계적으로 설계하기 위한 새로운 방안을 제안한다. 이 방안에서는 기존의 연구와는 달리 전압 폴로워(voltage follower)와 전류 폴로워(current follower)를 이용하여 트랜스컨덕터를 설계한다. 일반적으로, 전압 폴로워와 전류 폴로워가 넓은 주파수 대역폭을 가지고 있다는 것은 이미 잘 알려진 사실이다. 따라서, 이 방안에 의거하여 설계될 회로들 역시 넓은 대역폭을 가진다. 전압 폴로워와 전류 폴로워는 각각 공통-드레인 증폭기와 공통-게이트 증폭기를 이용하여 쉽게 실현할 수 있다. 그러나, 이들 증폭기를 이용했을 경우에는, 차동 입력과 차동 출력을 갖는 트랜스컨덕터의 실현이 어렵다. 트랜스컨덕터를 실제로 응용할 때는, 차동-입력 단일-출력 트랜스컨덕터보다 완전-차동(또는 차동-입력 차동-출력) 트랜스컨덕터가 더 선호된다. 따라서, 본 연구에서는 완전-차동 트랜스컨덕터를 쉽게 실현하기 위해, 트랜스리니어 셀(translinear cell)<sup>[14]-[15]</sup>을 전압

폴로워와 전류 폴로워로 이용한다. 트랜스리니어 셀을 이용하는 또 다른 이유는, 이 셀을 이용함으로써 저전압 저전력의 트랜스컨덕터 설계가 가능하다는 것이다. 트랜스리니어 셀을 이용한 완전-차동 트랜스컨덕터의 유용성을 입증하기 위해, 이를 사용하여 사다리형 3차 일립틱 저역-통과 여파기를 설계하였다. 설계된 여파기의 성능은 컴퓨터 시뮬레이션을 통해 검증되었다.

## II. 회로 구성 및 동작 원리

### 1. 단일-입력 단일-출력 트랜스컨덕터

본 논문에서 실현할 단일-입력 단일-출력 트랜스컨덕터의 기본 회로 구성 블록도를 그림 1에 나타내었다.

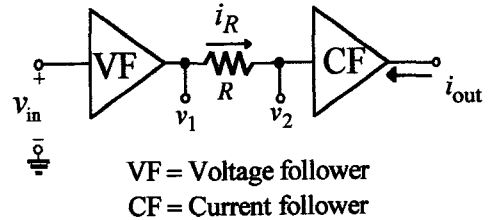


그림 1. 단일-입력 단일-출력 트랜스컨덕터의 블록도  
Fig. 1. The block diagram of the single-input single-output transconductor.

이 트랜스컨덕터는 단일-전압 입력  $v_{in}$  을 받기 위한 전압 폴로워(voltage follower), 전압 폴로워의 출력 전압을 전류로 바꾸기 위해 사용한 저항  $R$ , 그리고 단일 전류  $i_{out}$  을 출력하기 위한 전류 폴로워(current follower)로 구성된다. 이 구성에서 전압 폴로워와 전류 폴로워를 이상적인 것으로 가정하고  $v_2$  의 전위를 접지 전위라고 가정하면,  $v_1 = v_{in}$  이 되고 저항  $R$  을 통해 흐르는 전류  $i_R$  은  $i_R = v_{in}/R$  이 된다.  $i_R$  전류는 전류 폴로워를 통해 출력된다. 따라서, 그림 1의 트랜스컨덕터의 입력과 출력 사이의 관계는 다음과 같이 나타낼 수 있다.

$$i_{out} = G_m v_{in} \quad (1)$$

여기서,  $G_m$  은 트랜스컨덕턴스이고  $G_m = 1/R$  이다. 그림 1의 단일-입력 단일-출력 트랜스컨덕터의 블록도

를 CMOS 트랜스리니어 셀(translinear cell)<sup>[14]-[15]</sup>로 실현하기 위한 회로를 그림 2에 나타내었다. 회로는 두 개의 트랜스리니어 셀, 저항기, 그리고 전류 미러(current mirror)로 구성된다. 왼쪽 상하에 있는 바이어스 전류 전원들  $I_B$ 와 트랜지스터  $M_1 \sim M_6$ 가 트랜스리니어 셀을 구성하며, 전압 폴로워로 동작한다. 오른쪽 상하에 있는 바이어스 전류 전원들과 트랜지스터  $M_7 \sim M_{10}$ 은 또 다른 트랜스리니어 셀을 구성하며, 전류 폴로워로 동작한다.  $M_{11}$ 과  $M_{12}$ 로 구성된 전류 미러와  $M_{13}$ 과  $M_{14}$ 으로 구성된 전류 미러는 전류 폴로워의 출력 전류를 복제하여 트랜스컨덕터의 출력 전류  $i_{out}^+$ 를 만드는 역할을 한다.

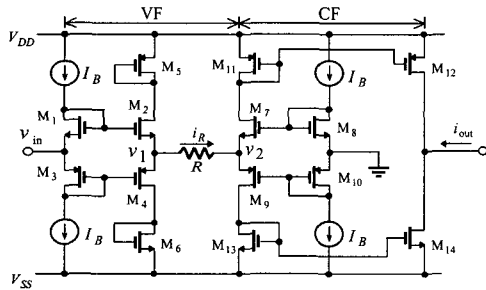


그림 2. 단일-입력 단일-출력 트랜스컨덕터의 회로도  
Fig. 2. The circuit diagram of the single-input single-output transconductor.

그림 2의 트랜스컨덕터 회로에서 nMOS 트랜지스터들( $M_1$ ,  $M_2$ ,  $M_7$ , 그리고  $M_8$ )과 pMOS 트랜지스터들( $M_3$ ,  $M_4$ ,  $M_9$ , 그리고  $M_{10}$ )이 각각 정합(matching)되었다고 가정하고  $v_1$  전압 마디와  $v_2$  전압 마디에서 마디 방정식을 세우면

$$K_n \left( v_{in} + \sqrt{\frac{I_B}{K_n}} - v_1 \right)^2 = \frac{v_1 - v_2}{R} + K_p \left( v_1 - v_{in} + \sqrt{\frac{I_B}{K_p}} \right)^2 \quad (2)$$

$$K_n \left( \sqrt{\frac{I_B}{K_n}} - v_2 \right)^2 + \frac{v_1 - v_2}{R} = K_p \left( v_2 + \sqrt{\frac{I_B}{K_p}} \right)^2 \quad (3)$$

을 얻는다. 여기서,  $K_n$ 은 nMOS 트랜지스터의 도전을

파라미터로  $K_n = 1/2(\mu_n C_{OX})(W/L)$  이고,  $\mu_n$ 은 전자 이동도,  $C_{OX}$ 은 산화물 커패시터의 단위 면적당 커패시턴스,  $W$ 는 채널의 폭,  $L$ 은 채널의 길이이다. 또한,  $K_p$ 는 pMOS 트랜지스터의 도전을 파라미터로  $K_p = 1/2(\mu_p C_{OX})(W/L)$  이고,  $\mu_p$ 는 정공 이동도이다. (2)와 (3) 식에서  $K_n = K_p = K$ 라고 가정하고 두 식을 결합시키면, 다음의 결과들을 얻는다.

$$v_1 = \frac{1 + 4R\sqrt{KI_B}}{2 + 4R\sqrt{KI_B}} v_{in} \quad (3)$$

$$v_2 = \frac{1}{2 + 4R\sqrt{KI_B}} v_{in} \quad (4)$$

저항  $R$ 에 흐르는 전류  $i_R = (v_1 - v_2)/R$ 이므로,

$$i_R = \frac{1}{R} \frac{1}{1 + \frac{1}{2R\sqrt{KI_B}}} v_{in} \quad (5)$$

로 나타내어진다. 통상적으로,

$$\frac{1}{2R\sqrt{KI_B}} \ll 1 \quad (6)$$

이므로, (5) 식은 다음과 같이 근사화될 수 있다.

$$i_R \approx \frac{1}{R} \left( 1 - \frac{1}{2R\sqrt{KI_B}} \right) v_{in} \quad (7)$$

이 전류는 오른쪽 트랜스리니어 셀과 두 개의 전류 미러에 의해 복제되어 출력 전류  $i_{out}$ 이 된다. 따라서 그림 2의 트랜스컨덕터의 입-출력 관계식은 다음과 같이 나타내어진다.

$$i_{out} \approx \frac{1}{R} \left( 1 - \frac{1}{2R\sqrt{KI_B}} \right) v_{in} \quad (8)$$

우변 괄호 안의 두 번째 항의 영향을 무시할 수 있을 정도로 작다고 가정하면,  $i_{out} \approx v_{in}/R$ 이 되어 (1) 식과 동일한 형태가 될 것이다. (8) 식에서 온도의 영향을 받는 파라미터는  $K$ 이다. 그러나  $K$ 가 포함된 항이 회로의 입-출력 관계에 미치는 영향이 매우 작으므로, 그림 2의 트랜스컨덕터는 우수한 온도 특성을 보일 것이다.

그림 2의 트랜스컨덕터의 입력 저항  $R_{in}$ 과 출력 저항  $R_{out}$ 을 구하기 위해, 그림 2의 회로를 소신호 해석하면

$$R_{in} \approx (R_B + \frac{1}{g_{m1}}) // (R_B + \frac{1}{g_{m3}}) \quad (9)$$

$$R_{out} = r_{o12} // r_{o14} \quad (10)$$

를 얻는다. 여기서,  $R_B$ 는 바이어스 전류 전원  $I_B$ 의 내부 저항을 나타내고,  $g_{m1}$ 과  $g_{m3}$ 는 각각  $M_1$ 과  $M_3$  트랜지스터의 소신호 트랜스컨덕턴스를 나타낸다. 또한,  $r_{o12}$ 와  $r_{o14}$ 은 각각  $M_{12}$ 와  $M_{14}$  트랜지스터의 드레인과 소스 사이의 저항을 나타낸다. (9)와 (10) 식으로부터, 일반적으로  $R_B$ 와  $r_o$ 는 매우 큰 값을 가지므로 트랜스컨덕터의 입력 저항과 출력 저항 역시 크다는 것을 알 수 있다.

2. 차동-입력 차동-출력 트랜스컨덕터

그림 2에 보인 트랜스컨덕터는 그것의 입력과 출력이 단일-입력 단일-출력이기 때문에, 완전-차동(또는 차동-입력 차동-출력) 트랜스컨덕터보다 응용성이 떨어진다. 따라서, 보다 폭 넓은 응용을 위해서는, 완전-차동 트랜스컨덕터의 실현이 요망된다. 단일-입력 단일-출력 트랜스컨덕터를 이용하여 완전-차동 트랜스컨덕터를 실현하는 방법을 그림 3, 4, 5, 그리고 6에 단계적으로 나타내었다.

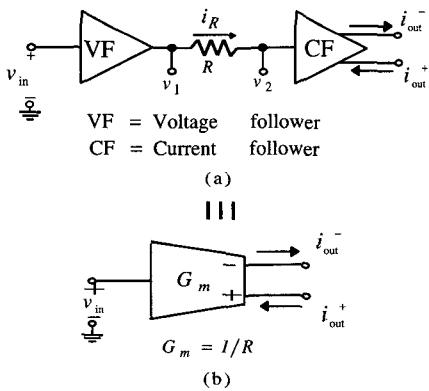


그림 3. 단일-입력 차동-출력 트랜스컨덕터의 블록도 (a)와 그 회로 기호(b)  
Fig. 3. (a) The block diagram of the single-input differential-output transconductor and (b) the circuit symbol.

그림 3은 단일-입력 차동-출력 트랜스컨덕터의 블록도와 회로 기호를 나타낸 것이다. 블록도와 회로 기호에서 출력 전류들을 나타내는 화살표는 플러스(+)의 입

력 전압 신호에 대해 실제로 흐르는 전류의 방향을 가리킨다. 이 블록도에서는, 트랜스컨덕터가 차동-출력을 갖도록 차동-출력 전류 플로워가 사용되었다. 따라서, 그림 3에 나타낸 트랜스컨덕터의 입력과 출력 사이의 관계식은 다음과 같다.

$$i_{out}^+ = i_{out}^- = G_m v_{in} = \frac{1}{R} v_{in} \quad (11)$$

그림 3의 블록도를 두 개의 트랜스컨덕터 셀과 교차 결합된(cross-coupled) 전류 미러를 이용하여 실현한 것이 그림 4의 회로이다.  $i_{out}^+$ 와  $i_{out}^-$ 가 크기는 같고 방향만 반대라는 점에 주목할 필요가 있다.

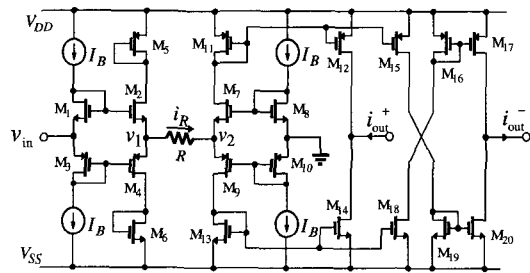


그림 4. 단일-입력 차동-출력 트랜스컨덕터의 회로도  
Fig. 4. The circuit diagram of the single-input differential-output transconductor.

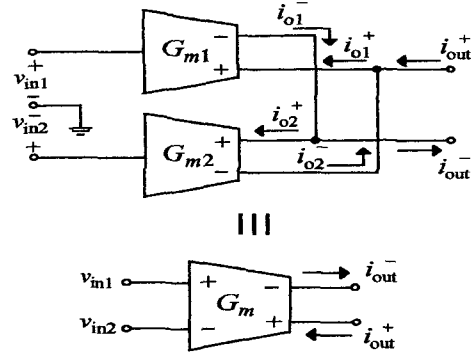


그림 5. 완전-차동 트랜스컨덕터의 블록도  
Fig. 5. The block diagram of the fully-differential transconductor.

그림 5는 그림 4의 단일-입력 차동-출력 트랜스컨덕터를 이용하여 완전-차동 트랜스컨덕터를 실현하기 위한 블록도를 나타낸 것이다. 이 블록도의 입-출력 관계식은 다음과 같이 얻을 수 있다.

$$i_{out}^+ = i_{o1}^+ - i_{o2}^- = G_{m1} v_{in1} - G_{m2} v_{in2} \quad (12a)$$

$$i_{out}^- = i_{o1}^- - i_{o2}^+ = G_{m1} v_{in1} - G_{m2} v_{in2} \quad (12b)$$

여기서, 단일-입력 차동-출력 트랜스컨덕터들이 정합되었다고 가정하면, 즉  $G_{m1} = G_{m2} = G_m$  이라고 가정하면, (12a)와 (12b) 식은 다음과 같이 나타내어진다.

$$i_{out}^+ = i_{out}^- = G_m (v_{in1} - v_{in2}) \quad (13)$$

그림 5의 완전-차동 트랜스컨덕터의 블록도를 그림 4에 보인 단일-입력 차동-출력 트랜스컨덕터들을 이용하여 실현한 것이 그림 6의 회로이다. 이 회로의 입력 저항은 단일-입력 단일-출력 트랜스컨덕터의 그것과 동일하고, 출력 저항은 그것의 반에 해당된다.

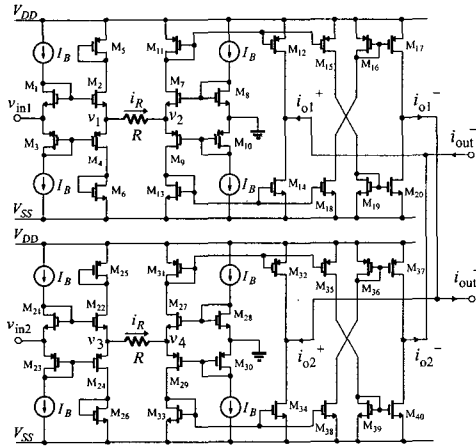


그림 6. 완전-차동 트랜스컨덕터의 회로도  
Fig. 6. The circuit diagram of the fully-differential transconductor.

3. 트랜스컨덕터의 고주파 소신호 해석

그림 2에 보인 단일-입력 단일-출력 트랜스컨덕터 회로의 소신호 동작을 살펴보면 다음과 같다. 앞단, 즉 전압 폴로워로 동작하는 트랜스리니어 셀에서, 트랜지스터  $M_1$ 과  $M_3$ 는 직류 레벨 시프터(level shifter)로 동작하고,  $M_2$ 와  $M_4$ 는 공통-드레인(소스 폴로워) 증폭기로 동작한다. 뒷단, 즉 전류 폴로워로 동작하는 트랜스리니어 셀에서는,  $M_8$ 과  $M_{10}$ 이 직류 레벨 시프터

로 동작하므로 이들의 게이트가 신호적으로 접지이다. 따라서  $M_7$ 과  $M_9$ 은 공통-게이트 증폭기로 동작한다.

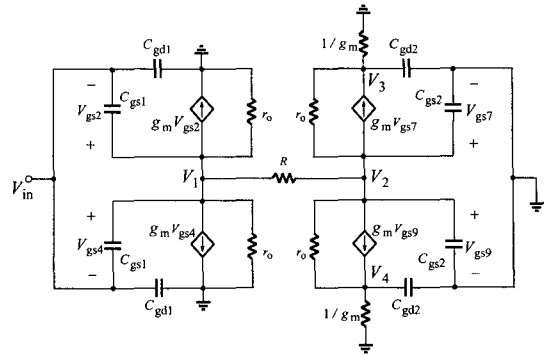


그림 7. 제안한 트랜스컨덕터의 고주파 소신호 등가 회로  
Fig. 7. High-frequency small signal equivalent circuit of the proposed transconductor.

공통-드레인과 공통-게이트 증폭기들은 우수한 고주파 특성들을 가진다[16]. 따라서, 이들 증폭기로 구성된 트랜스컨덕터 역시 우수한 고주파 특성을 가질 것이다.  $M_{11}$ 과  $M_{12}$  그리고  $M_{13}$ 과  $M_{14}$ 으로 구성된 전류 미러들은 매우 우수한 고주파 특성을 가지므로, 이들 전류 미러는 트랜스컨덕터의 주파수 특성에 거의 영향을 미치지 않는다.

트랜스컨덕터의 고주파 특성은 그림 7에 보인 고주파 소신호 등가 회로를 이용하여 구할 수 있다. 이 등가 회로는, 그림 2의 회로에서 트랜지스터들  $M_2$ 와  $M_4$  그리고  $M_7$ 과  $M_9$ 이 동일하다고 가정하고 이들을 고주파 소신호 모델로 대체한 것이다. 등가 회로에서  $1/g_m$ 로 표시된 저항은 그림 2의 회로에서 다이오드-결선 트랜지스터들, 즉  $M_{11}$ 과  $M_{13}$ 을 나타낸다. 그림 7의 회로에서 네 개의 마디에 대한 마디 방정식을 세우면, 다음의 식들을 얻는다.

$$2sC_{gs1}(V_1 - V_{in}) + 2g_m(V_1 - V_{in}) + \frac{2V_1}{r_o} + \frac{V_1 - V_2}{R} = 0 \quad (14)$$

$$\frac{V_2 - V_1}{R} + \frac{V_2 - V_4}{r_o} + 2g_m V_2 + 2sC_{gs2} V_2 + \frac{V_2 - V_3}{r_o} = 0 \quad (15)$$

$$\frac{V_3 - V_2}{r_o} - g_m V_2 + sC_{gd2} V_3 + g_m V_3 = 0 \quad (16)$$

$$\frac{V_4 - V_2}{r_o} - g_m V_2 + sC_{gd2} V_4 + g_m V_4 = 0 \quad (17)$$

(16)과 (17) 식은  $V_3 = V_4$ 라는 것을 말해준다.  $V_4$  대신에  $V_3$ 를 대입하고  $g_m \gg (1/r_o)$ 이라고 가정하면, (14), (15), 그리고 (16) 식을 정리하면 다음의 식들을 얻는다.

$$\left(2sC_{gs1} + 2g_m + \frac{1}{R}\right)V_1 - \frac{V_2}{R} = 2(sC_{gs1} + g_m)V_{in} \quad (18)$$

$$-\frac{V_1}{R} + \left(\frac{1}{R} + 2g_m + 2sC_{gs2}\right)V_2 - \frac{2V_3}{r_o} = 0 \quad (19)$$

$$-g_m V_2 + (sC_{gd2} + g_m)V_3 = 0 \quad (20)$$

이 식들을 연립하여 풀면,

$$V_3 = \frac{g_m}{g_m + sC_{gd2}} \frac{V_{in}}{2(g_m + sC_{gs2})R} \quad (21)$$

을 얻는다. (21) 식을 얻는데

$1/(sC_{gd2}r_o + g_mr_o) \ll 1$  과  $g_mR \gg 1$  이라고 가정했다는 것을 언급해 둔다. 출력 전류는

$$I_{out} = I_9 - I_7 = 2I_9 = 2g_m V_3 \quad (22)$$

이다. 따라서 (21) 식을 (22) 식에 대입하고 정리하면, 다음과 같은 입-출력 전달 함수를 얻는다.

$$G_m(s) = \frac{I_{out}}{V_{in}} = \frac{1}{R} \frac{1}{\left(1 + \frac{sC_{gd2}}{g_m}\right)} \frac{1}{\left(1 + \frac{sC_{gs2}}{g_m}\right)} \quad (23)$$

이 식은 트랜스컨덕터의 고주파 특성을 결정하는 극점들이  $\omega_{p1} = g_m/C_{gs2}$  와  $\omega_{p2} = g_m/C_{gd2}$  에 위치한다는 것을 의미한다. 시뮬레이션에서 사용된 트랜지스터의 기생 커패시턴스 값들  $C_{gs2} = 0.265$  pF 및  $C_{gd2} = 0.129$  pF 과 (바이어스 전류  $I_B = 200$   $\mu$ A 일 때의) 트랜지스터의 소신호 트랜스컨덕턴스 값  $g_m = 1.23$  mS 를 사용하여 극점의 주파수를 계산하면,  $f_{p1} = 739$  MHz 와  $f_{p2} = 1.52$  GHz 를 얻는다. 이는 첫 번째 극점 주파수  $f_{p1}$ 이 우성-극점 주파수라

는 것을 말해 준다. 따라서, 제안한 트랜스컨덕터의 고주파 특성을 제한하는 것은 전류 폴로워로 동작하는  $M_7$  과  $M_9$  트랜지스터라는 것을 알 수 있다.

### III. 실험 결과 및 고찰

제안한 선형 트랜스컨덕터 회로들(그림 2, 4, 그리고 6)을 반도체설계교육센터(IDEC)의 MPW(multi-project wafer) 사업에서 제공한 현대전자 0.65  $\mu$ m n-well CMOS 공정의 Level 49 모델 파라미터를 사용하여 워크스테이션(workstation) 상에서 HSPICE로 시뮬레이션하였다.

이 공정은 n-well 공정이기 때문에, pMOS 트랜지스터의 경우에는 소스와 몸체(body) 사이의 전압  $v_{SB}$ 를 실제적으로 0으로 만들 수 있지만, nMOS의 경우에는 그것이 불가능할 수가 있다. 따라서, 칩(chip) 제조 공정을 고려한 트랜스컨덕터 회로들을 그림 8, 9, 그리고 10에 각각 제시하였고, 이들 회로가 시뮬레이션에 사용되었다. 시뮬레이션에 사용된 바이어스 전압은  $V_{DD} = -V_{SS} = 3$  V이고, 트랜스컨덕터들의 트랜스컨덕턴스  $G_m = 50$   $\mu$ S 로 설정되었다.

정전류  $I_B$ 는, 그림들에 보인 것처럼, pMOS와 nMOS 전류 미러들의 입력단에 저항기  $R_1$  과  $R_2$  를 사용하여 200  $\mu$ A로 설정하였다. 그림 8과 9, 그리고 10의 회로에서 사용된 MOS 트랜지스터들의 크기 ( $W/L$  비)와 저항기 값들을 표 1에 나타내었다. 이 표에 표시된 정전류원에 해당되는 트랜지스터들은 그림 8과 9에서는  $M_{41} \sim M_{46}$  이고, 그림 10에서는  $M_{41} \sim M_{50}$  이다.

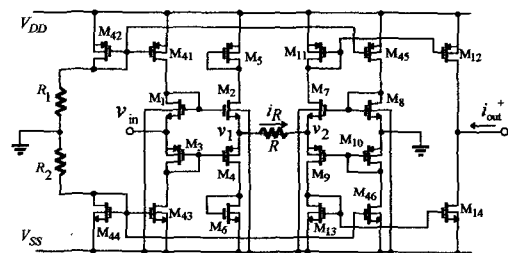


그림 8. IC 제작을 고려한 단일-입력 단일-출력 트랜스컨덕터의 회로도

Fig. 8. Circuit diagram of the single-input single-output transconductor considered a IC fabrication.

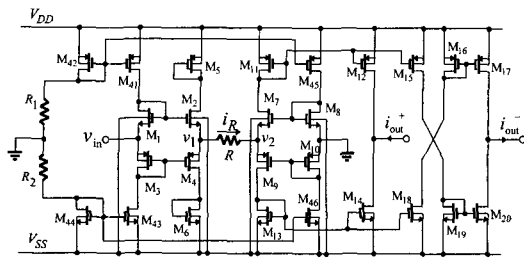


그림 9. IC 제작을 고려한 단일-입력 차동-출력 트랜스컨덕터의 회로도

Fig. 9. Circuit diagram of the single-input differential-output transconductor considered a IC fabrication.

표 1. 제안된 회로에 사용된 트랜지스터들의 크기와 소자값들

Table. 1. Size and component values of transistors used in the proposed circuits.

R [kΩ]	R1 [kΩ]	R2 [kΩ]	내부회로 (W/L) [μm/μm]		정전류원 (W/L) [μm/μm]	
			nMOS	pMOS	nMOS	pMOS
20.00	3.42	5.485	32 / 0.8	64 / 0.8	100 / 10	200 / 10

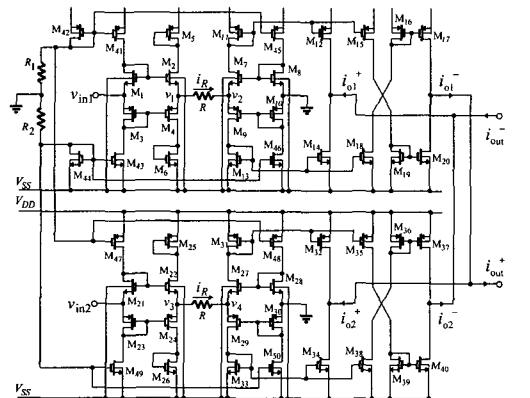


그림 10. IC 제작을 고려한 완전-차동 트랜스컨덕터의 회로도

Fig. 10. Circuit diagram of the fully-differential transconductor considered a IC fabrication.

제안한 세 가지 형태의 트랜스컨덕터 회로들의 직류 (DC) 전달 특성을 시뮬레이션한 결과를 그림 11에 나

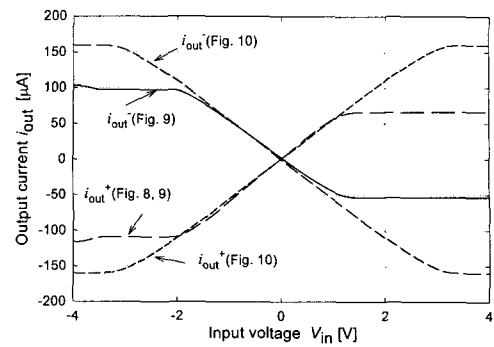


그림 11. 제안한 트랜스컨덕터들의 DC 전달 특성  
Fig. 11. DC transfer characteristics of the proposed transconductors.

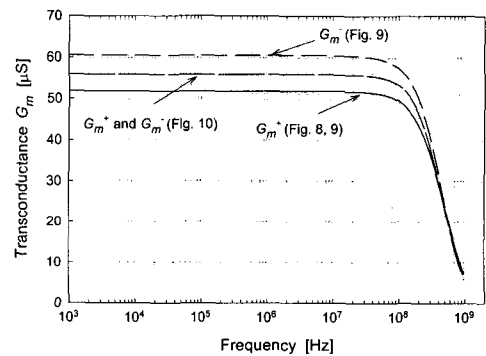


그림 12. 제안한 트랜스컨덕터들의 주파수 특성  
Fig. 12. Frequency characteristics of the proposed transconductors.

타내었다. 여기서, 출력 전류는 선형 트랜스컨덕터의 출력 단자와 접지 사이에 부하 저항 100 Ω을 접속한 후, 그 저항에 흐르는 전류를 측정된 것이다. 이 그림은, 단일-입력 단일-출력 트랜스컨덕터(그림 8)와 단일-입력 차동-출력 트랜스컨덕터(그림 9)의 입력 선형 범위가 -1.7 ~ +1.0 V라는 것을 보여준다. 플러스 입력 전압에 대한 선형 범위가 작은 이유는, nMOS 트랜지스터의  $V_{SB}$  전압에 기인하여 그것의 문턱 전압(threshold voltage)  $V_t$ 가 증가되었기 때문이다. 그림 11은 또, 단일-입력 차동-출력 트랜스컨덕터의  $i_{out}^+$  와  $i_{out}^-$  의 크기가 서로 약간 다르다는 것을 보여주는데, 이는

그림 9에 보인 것처럼  $i_{out}^-$ 를 출력시키기 위해 교차 결합된 전류 미러들을 사용했기 때문이다. 끝으로, 그림 11은 완전-차동 트랜스컨덕터(그림 10)의 선형 범위가  $-2.7 \sim +2.7$  V로 대칭을 이루고 있다는 것을 보여 준다.

그림 12는  $G_m = 50 \mu S$ 일 때의 트랜스컨덕터들의 주파수 특성을 나타낸 것이다. 이들 특성은 입력 전원의 피크 전압을 0.5 V로 설정하고 출력 단자와 접지 사이에 부하 저항 100  $\Omega$ 을 접속한 상태에서 부하 저항에 흐르는 전류를 측정 한 것이다. 이들 특성으로부터,  $G_m^+$ 와  $G_m^-$ 의 3-dB 차단 주파수(cutoff frequency)가 220 MHz라는 것을 알 수 있는데, 이 값은 이론적으로 계산한 값 즉 739 MHz와 차이가 있다. 이와 같은 차이가 생기는 이유는, 회로 해석에서는 전체 회로에서 주파수 특성에 관계되는 부분을 해석 및 수식 유도하는 과정에서 크게 두 가지 가정(pMOS와 nMOS의 정합과 식(21)의 유도 과정에서의 조건)을 통하여 최종적으로 739 MHz의 대역폭을 구하였으나, 시뮬레이션에서는 상용화에 적용하고 있는 Level 49에 해당되는 많은 공정 파라미터(약 120 개의 공정 파라미터)를 이용하여 전체 회로를 점정하였기 때문이라고 할 수 있다. 그림 9의 단일-입력 차동-출력 트랜스컨덕터의 경우,  $G_m^+$ 와  $G_m^-$ 의 3-dB 차단 주파수는 같지만 크기가 다르다. 이는  $G_m^-$ 를 얻기 위해 교차-결합된 전류 미러들을 사용했기 때문에 나타나는 현상이다. 그림 10의 완전-차동 트랜스컨덕터의 경우에는,  $G_m^+$ 와  $G_m^-$ 의 3-dB 차단 주파수와 크기가 일치한다. 이는 회로가 완전한 대칭 구조를 갖고 있기 때문에 얻어진 결과이다. 끝으로, 측정된 모든  $G_m$  값들이 이론값(50  $\mu S$ )보다 약간 큰 데, 이는 채널-길이 변조 효과에 기인하여 전류 미러들의 출력 전류가 증가하고 이에 따라 트랜스컨덕터의 출력 전류가 증가하기 때문이다.

그림 13은 완전-차동 트랜스컨덕터의 온도 특성을 나타낸 것이다. 이 결과에서 실선은 내부 저항  $R$ 의 온도 특성을 무시한 경우이고 점선은 내부 저항  $R$ 을 폴리2 층(poly2 layers)으로 제조할 경우를 고려하여 그것의 온도 계수인 338 ppm/ $^{\circ}C$ 을 고려한 경우에 해당된다. 그림 13으로부터 내부 저항의 온도 특성을 무시할 경우 트랜스컨덕턴스가  $-20^{\circ}C$ 로부터  $80^{\circ}C$ 까지의 온도 범위에서 거의 일정하다는 것을 알 수 있다. 이 경

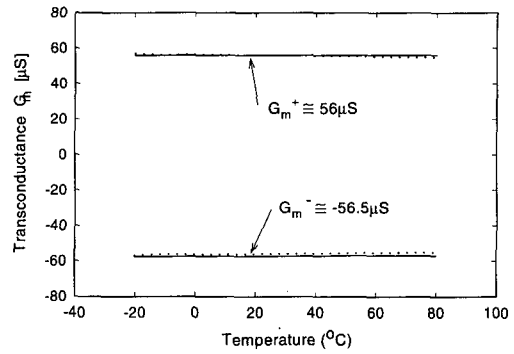


그림 13. 완전-차동 트랜스컨덕터의 온도 특성  
Fig. 13. Temperature characteristics of the fully-differential transconductor.

우  $G_m^+$ 와  $G_m^-$ 의 온도 계수는 각각 35.72 ppm/ $^{\circ}C$ 와 40.85 ppm/ $^{\circ}C$ 이다. 내부 저항  $R$ 의 온도 계수를 고려할 경우에는 두 트랜스컨덕턴스의 온도 계수는 380 ppm/ $^{\circ}C$ 이다.

#### IV. LC 사다리형 3차 일립틱 여파기에의 응용

앞에서 제안한 완전-차동 선형 트랜스컨덕터를 이용하여 3차 일립틱 저역-통과 여파기(3rd-order elliptic low-pass filter)를 설계하였다.

여파기 설계는 최소의 인덕터를 갖는 LC 사다리 회

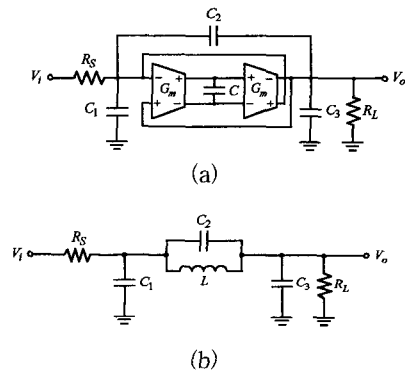


그림 14. 시뮬레이티드 플로팅 인덕터로 실현한 능동 여파기(a)와 LC 수동 여파기(b)  
Fig. 14. (a) Active filter realized by simulated floating inductor and (b) LC passive filter.



로망(minimum inductor LC ladder network)에 소자 시뮬레이션 방식을 적용하여 수동 인덕터를 시뮬레이티드 플로팅 인덕터로 직접 교체하는 방식을 취하였다<sup>[17]</sup>. 설계된 여파기 회로를 그림 14(a)에 나타내었다. 회로에서, 두 개의 완전-차동 트랜스컨덕터들과 하나의 커패시터 C가 시뮬레이티드 플로팅 인덕터를 구성한다. 그림 14(b)는 수동 인덕터로 구성된 동일한 여파기를 참고로 나타낸 것이다. 두 개의 완전-차동 트랜스컨덕터가 정합되었다고 가정하면, 시뮬레이티드 플로팅 인덕터의 등가 인덕턴스  $L_{eq}$ 는 다음과 같이 간단하게 표현된다<sup>[18]</sup>.

$$L_{eq} = \frac{C}{G_m^2} = CR^2 \quad (24)$$

여기서  $R$ 은 트랜스컨덕터의 내부 저항을 의미한다.

여파기는 다음과 같은 사양, 즉 30 MHz의 리플(ripple) 대역폭, 0.18 dB의 통과-대역 리플, 약 45.7 MHz에서 17.86 dB의 저지-대역 감쇠량, 그리고 1.6 이하의 선택도(selectivity)를 갖도록 설계되었다<sup>[19]</sup>. 이 여파기 사양에 충족하는 소자값들을 정하기 위하여 여파기 설계표<sup>[19]</sup>를 이용하였다. 실제 시뮬레이션에 이용된 소자값들은  $G_m = 350 \mu S$ 로 가정한 후 주파수 임피던스 스케일링 절차에 따라 구하였다. 그 결과를 표 2에 나타내었다.

그림 15에 여파기들의 크기 특성을 시뮬레이션한 결과를 나타내었다. 이 그림으로부터, 시뮬레이티드 인덕터로 구성된 능동 여파기의 크기 특성이 수동 인덕터로 구성된 수동 여파기의 크기 특성에 근접한다는 것을 알 수 있다. 통과-대역 리플과 통과-대역 감쇠량에서 두 특성이 차이를 보이는데, 이는 시뮬레이티드 인덕터의 유한(finite)  $Q$ 에 기인한다<sup>[20]</sup>.

표 2. 여파기 설계표로부터 얻은 LC 사다리형 여파기의 소자값과 임피던스-주파수 스케일링 후의 소자값

Table. 2. Component value of LC ladder filter obtained from filter design tables and component values after impedance-frequency scaling.

	$R_S$	$R_L$	$C_1$	$C_2$	$C_3$	$L$	$C$
설계표에 의한 소자값	1	1	0.9334	0.4318	0.9334	0.7973	-
스케일링 후의 소자값	3 [k $\Omega$ ]	3 [k $\Omega$ ]	1.6506 [pF]	0.7636 [pF]	1.6506 [pF]	12.69 [ $\mu$ H]	1.554 [pF]

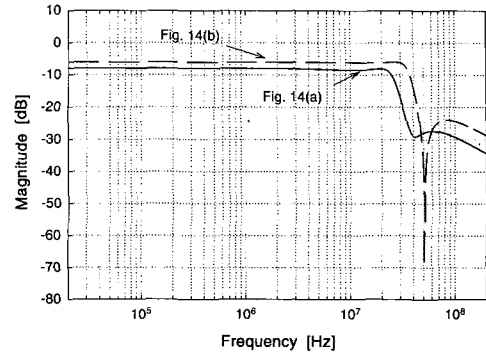


그림 15. 그림 14(a)와 그림 14(b)에 보인 여파기들의 크기 특성

Fig. 15. Magnitude characteristics of the filter shown in Fig. 14(a) and 14(b).

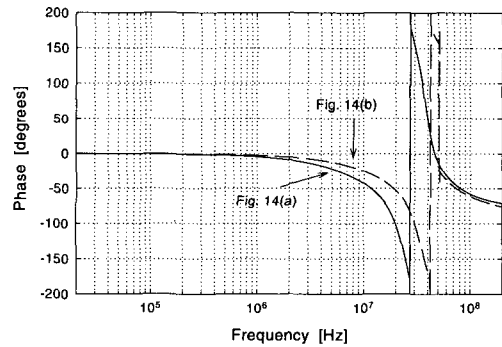


그림 16. 그림 14(a)와 그림 14(b)에 보인 여파기들의 위상 특성

Fig. 16. Phase characteristics of the filter shown in Fig. 14(a) and 14(b).

그림 16은 능동 여파기와 수동 여파기의 위상 특성을 나타낸 것이다. 그림 17은 제안한 능동 여파기의 선형 특성이다. 이 결과로부터, 15 V까지의 입력 신호 전압에 대하여 20 MHz의 대역폭에서 THD가 7%이하라는 것을 알 수 있다. 여파기의 설계 사양과 시뮬레이션을 통해 얻은 결과의 값들을 표 3에 나타내었다.

본 연구에서 제안한 여파기의 회로 구성을 IC로 상용화할 경우 공정 상에서 발생하는 각종 오차를 수정할 튜닝(tuning) 회로가 필요하다. 이 경우에는 트랜스컨덕턴스를 바이어스 전류로 제어 가능한 트랜스컨덕터를 사용하여 플로팅 인덕터를 실현하고 필터 회로

의 구성에 사용되는 저항도 이 트랜스컨덕터로 구성하면 원하는 대역폭을 얻을 수 있을 것이다<sup>[21],[22]</sup>.

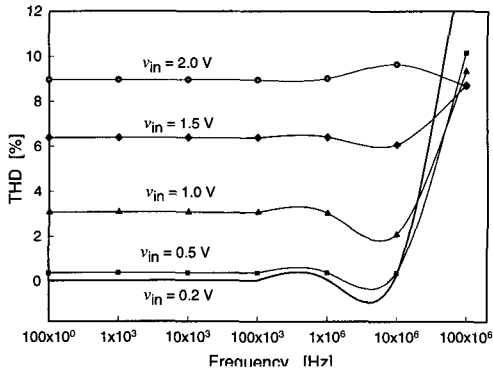


그림 17. 그림 14(a)에 보인 여파기들의 선형 특성  
Fig. 17. Linear characteristics of the filter shown in Fig. 14(a)

표 3. 사다리형 3차 일립틱 저역-통과 여파기의 설계 사양과 시뮬레이션한 결과  
Table 3. The specification and simulation result of the ladder-type third-order Elliptic low-pass filter.

	설계 값	시뮬레이션값
리플 대역폭	30 MHz	22 MHz
통과-대역 리플	0.18 dB	0.36 dB
통과-대역 감쇠량	6.02 dB	7.96 dB
저지-대역 감쇠량	17.86 dB (at 45.7 MHz)	19.20 dB (at 37.2 MHz)
선택도 ( $\omega_p / \omega_s$ )	1.52	1.75
3-dB 주파수	-	26 MHz
소비 전력	-	19.2 mW

### V. 결론

200 MHz CMOS 선형 트랜스컨덕터들을 체계적으로 설계하기 위한 방안을 제시하였다. 설계된 트랜스컨덕터들의 동작 원리를 기술하였고, 컴퓨터 시뮬레이션을 통해 그들의 직류 특성, 고주파 특성, 그리고 온도 특성을 조사하였다. 제안한 트랜스컨덕터들 중에서 완전-차동 트랜스컨덕터는 넓은 입력 선형 범위와 비교적 낮은 온도 계수를 가진다. 이 트랜스컨덕터의 유용성을 입증하기 위해, 20 MHz 일립틱 저역-통과 여파기를 설계하였다. 설계된 능동 여파기가 수동 LC 여파기에 근접한 특성을 보인다는 것을 컴퓨터 시뮬레이션을 통해 확인하였다. 설계된 트랜스컨덕터들과 저역-통과 여파기는 반도체설계교육센터를 통해 IC로 제작중에 있다.

### 참고 문헌

- [1] F. Kruppenacher and N. Joehl, "A 4-MHz CMOS continuous-time filter with on-chip automatic tuning," IEEE J. Solid-State Circuits, vol. SC-23, pp. 750-758, June 1988.
- [2] J. M. Khoury, "Design of a 15-MHz CMOS continuous-time filter with on-chip tuning," IEEE J. Solid-State Circuits, vol. SC-26, pp. 1988-1997, Dec. 1991.
- [3] Y. Tsvividis, "Integrated continuous-time filter design-an overview," IEEE J. Solid-State Circuits, vol. SC-29, pp. 166-176, March 1994.
- [4] M. Koyama, et al., "A 2.5-V active low-pass filter using all npn Gilbert cells with 1-Vp-p linear input range," IEEE J. Solid-State Circuits, vol. SC-28, pp. 1246-1253, Dec. 1993.
- [5] A. Wyszynski, et al., "Design of a 2.7-GHz linear OTA and a 250-MHz elliptic filter in bipolar filter in bipolar transistor-array technology," IEEE Trans. Circuits and Systems, vol. CAS-40, pp. 19-31, Jan. 1993.
- [6] 박 찬홍, 김 범섭, "CDMA 무선 휴대폰 시스템을 위한 3.0 V CMOS 연속 시간 저역 필터의 설계," Telecommunication Review, vol. 6, No. 1, pp. 2-7, 1996
- [7] 송 원철 외 6인, "디지털 휴대폰용 IF IC의 설계," Telecommunication Review, vol. 6, No. 1, pp. 8-14, 1996
- [8] 유 창식, 정 기욱, 김 원찬, "CMOS 공정을 이용한 15 MHz, 26 mW, 6차 대역통과 Gm-C 필터," 대한전자공학회 논문지, 제34권, C편, 제6호, pp. 51-57, 1997
- [9] D. John and K. Martin, Analog Integrated Circuit Design, John Wiley & Sons, Inc., ch. 15, 1997
- [10] Won-Sup Chung and Hyeong-Woo Cha, "Bipolar linear transconductor," Electronics Letters, vol. 26, pp. 619-620, May 1990.
- [11] Won-Sup Chung, Kwang-Ho Kim, and

- Hyeong-Woo Cha, "A linear operational transconductance amplifier for instrumentation applications," IEEE Trans. Instrumentation and Measurement, vol. IM-41, pp. 441-443, June 1992.
- [12] S. S. Lee, et al., "CMOS continuous-time current-mode filters for high-frequency applications," IEEE J. Solid-State Circuits, vol. SC-28, pp. 323-329, March 1993.
- [13] 방 준호 외 4인, "개선된 연속시간 전류모드 CMOS 적분기를 이용한 3.3 V 능동 저역 필터 구현," 대한전자공학회 논문지, 제33권, B편, 제4호, pp. 52-62, 1996
- [14] B. Gilbert, "Translinear circuit: a proposed classification," Electronics Letters, vol. 11, pp. 14-16, Jan. 1975.
- [15] C. Toumazou, F. Lidgley, and Haigh, Eds., Analogue IC design: The current-mode approach London: Peter Peregrinus Ltd, 1990.
- [16] A. S. Sedra and K. C. Smith, Microelectronic circuits, Saunders College Publishing, ch. 5-7, 1991.
- [17] Lawrence P. Huelsman, Active and passive analog filter design, McGRAW-HILL, Inc, International edition, ch. 6, 1993.
- [18] 박 회중 외 4인, "선형 트랜스컨덕터를 이용한 20 MHz CMOS 연속시간 저역-통과 여파기의 설계," 대한전자공학회 하계종합학술대회 논문집, 제22권, 제1호, pp. 357-360, 1999
- [19] Arthur B. Williams, Electronic filter design handbook, McGRAW-HILL, Inc, 1981.
- [20] 김 종필, 박 지만, 정 원섭, "트랜스어드미턴스 증폭기를 이용한 사다리형 8차 일립틱 저역-통과 여파기," 대한전자공학회 논문지, 제35권, C편, 8호, pp. 42-51, 1998
- [21] W.-S Chung, J.-M Park and K. Kim, "Temperature-compensated linear BiCMOS transconductor," Electronics Letters, vol. 32, no. 22, pp. 2043-2044, Oct. 1996.
- [22] D. A. Johns and K. Martin, Analog integrated circuit design, John Wiley & Sonns, Inc, ch. 15, 1997.

## 저 자 소 개



朴 喜 鍾(正會員)

1974년 1월 22일생. 1999년 2월 : 청주대학교 반도체공학과 졸업. 2001년 2월 : 청주대학교 대학원 전자공학과 공학석사 학위 취득. 2001년 1월~현재 : (주)실리콘웍스 재직중.  
<주관심분야> Bipolar 및 CMOS

아날로그 집적회로 설계, 아날로그 필터 설계, 전류-모드 신호처리 회로 설계 등

鄭 元 燮(正會員)

1955년 11월 3일생. 1997년 2월 : 한양대학교 전자통신공학과(공학사). 1979년 2월 : 한양대학교 전자통신공학과 공학석사 학위 취득. 1986년 3월 : 일본 静岡(Shizuoka)대학 전자과학연구과(공학박사). 1986년 4월~현재 : 청주대학교 이공대학 전자·정보통신·반도체 공학부 교수. 주관심분야는 Bipolar 및 CMOS 아날로그 집적회로 설계, 아날로그 필터 설계, 전류-모드 신호처리 회로 설계, 센서 신호처리 회로 설계 등



車 炯 雨(正會員)

1962년 1월 27일생. 1989년 2월 : 청주대학교 반도체공학과 졸업. 1991년 2월 : 청주대학교 대학원 전자공학과 공학석사 학위 취득. 1997년 3월 : 일본 静岡(Shizuoka)대학 대학원 전자과학연구과 공학

박사 학위 취득. 1997년 9월~현재 : 청주대학교 이공대학 전자·정보통신·반도체 공학부 교수. 1991년 3월~1993년 6월 : 대덕연구단지(내) BlueCode 근무. <주관심분야> Bipolar 및 CMOS 아날로그 집적회로 설계, 전류-모드 신호처리 회로 설계, 계측장비 시스템 회로 설계 등임