

고속 스위칭 Voltage Down Converter 회로 설계에 대한 연구

(Circuit Design of Voltage Down Converter for High Speed Application)

李昇昱*, 金明植**

(Seung-wook Lee and Myung-Sik Kim)

요 약

본 논문은 IC chip내에서 전압을 낮추는 목적으로 사용되는 VDC 회로의 주파수 특성을 향상시키기 위한 새로운 회로를 제안한다. 제안된 회로에는 적응 바이어싱 방법을 통해 저전력소모 및 고속동작을 동시에 만족하는 두 개의 센서와 이 센서로 구동되는 3개의 transistor가 부가적으로 첨가되어 구동 transistor의 gate 충·방전 전류를 보상하여 구동회로의 정상동작을 유지시켜준다. 본 연구에 사용된 회로는 0.65 μ m N-well CMOS 공정을 사용하였으며, H-spice simulation 결과, 내부전압의 변화폭은 부하전류가 0에서 200mA까지 5ns동안 증가할 경우 약 1.0V로, 200mA에서 0으로 감소할 경우 약 0.6V로, 내부전압 회복시간은 증가시 7ns, 감소시 10ns로, 일반적인 구동방식에 비해 성능이 향상되었으며 전체 회로에 소모하는 power는 약 1.2mW로 매우 작았다.

Abstract

This paper presents a new voltage down converter(VDC) using charge and discharge current adjustment circuitry that provides high frequency application. This VDC consist of a common driving circuit and compensation circuits: 2 sensors and each driving transistors for controlling gate current of driving transistor. These sensors are operated as adaptive biasing method with high speed and low power consumption. This circuit is designed with a 0.65 μ m N-well CMOS technology. In H-spice simulation results, internal voltage is bounded (-1V, +0.6V) in proposed circuitry when load current rapidly increases and decreases during 5ns between 0 and 200mA. And the recovery time of internal voltage is about 7ns and 10ns when load current increases and decreases respectively. That is fast better than common driving circuit. Total power consumption is about 1.2mW.

* 學生會員, 金烏工科大學校, 電子工學部

(School of Electronic Engineering, Kumoh National University and Technology)

** 正會員, 金烏工科大學校, 電子工學部

(School of Electronic Engineering, Kumoh National University and Technology)

※ 본 연구는 1999년도 금오공과대학교 학술연구비 지원에 의하여 연구된 논문.

接受日字:2000年5月23日, 수정완료일:2001年1月19日

I. 서 론

최근 반도체 공정과 설계 기술의 발달로 인해 시스템의 one-chip화 같은 기술이 실용화 단계에 있으며 이와 같은 기술 발달은 노트북 컴퓨터나 PDA(Personal Digital Assistant)와 같은 휴대용 제품의 개발을 가속화시키고 있다. 휴대용 제품이 갖추어야 할 조건으로는 휴대에 간편하기 위해 가볍고 작아야 할 뿐만 아니라 battery 사용 시간이 비교적 길어야 할 것이다. Battery 사용시간을 증가시키기 위해서는 battery 용량을 증대

시키는 방법이 있으나 이는 제품의 크기와 무게에 영향을 미치므로 무엇보다도 제품의 소모전력을 작게 유지해야 할 것이다. 따라서 휴대용 제품에 사용되는 IC Chip은 소모 전력이 작아야 하며 소모전력을 감소시키는 하나의 방법으로서 IC chip의 구동전압을 낮추어서 사용하는 방법이 있으며, 이와 같은 목적으로 VDC(Voltage Down Converter)가 사용되어진다. 한편 IC chip의 집적도 향상과 high frequency 응답특성을 향상시키기 위해서는 MOSFET의 채널길이를 감소시켜야 할 것이다. 그러나 MOSFET의 채널 길이 감소는 여러 가지 원하지 않는 현상이 나타난다. 즉, 채널 길이의 감소는 채널내의 electric field의 증가로 hot carrier를 발생시키고 이러한 hot carrier는 threshold voltage의 변화나 breakdown 현상을 가속화시켜 결국 트랜지스터의 신뢰성(Reliability)을 감소시키므로^[1] 신뢰성 향상을 위해서는 채널길이의 감소와 함께 사용 전압의 감소가 필수적이다.

이상과 같이 사용전압을 내부에서 낮추는 목적으로 사용되는 VDC가 갖추어야 할 조건으로는 VDC 자체의 전력 소모가 작아야하고 외부 공급 전원 전압의 변화와 외부 온도 변화에 안정된 일정 전압을 공급해야 하며 특히 고속 동작에서도 전압의 변화가 미미할 뿐만 아니라 빠른 응답특성을 갖고 있어야 할 것이다. 이와 같은 조건을 만족하는 저전압 고속동작을 위한 회로 토폴로지("Topology")^[2-6]나 저전력을 소비하면서 GATE OXIDE FILM에 높은 신뢰성을 보이는 DRAM의 구동회로 등이 활발히 연구되었다^[7-12].

일반적으로 알려진 VDC는 기준 전압 발생기와 Op-Amp로 이루어진 구동 회로로 구성되어 있는데 구동 회로를 구성하는 MOSFET인 구동 트랜지스터의 크기는 구동능력(전류용량)과 동작 주파수를 결정하는 중요한 변수가 된다. 즉, 구동 transistor의 gate 면적이 증가하면 구동 능력면에서는 긍정적인 효과가 나타나지만 gate capacitance의 증가로 인해 과도 상태에서의 gate 충전 및 방전 전류가 증가하여 transistor를 구동하는 Op-Amp의 정상 동작을 어렵게 한다. 또한 비교적 큰 gate 충·방전 전류에서도 OP-Amp가 정상동작을 하기 위해서는 OP-Amp가 차지하는 면적이 증가할 뿐만 아니라 OP-Amp가 소모하는 전력이 매우 증가하게 될 것이므로 VDC의 소모전력이 작아야 한다는 조건에 위배된다. 이러한 일반적인 구동 회로의 문제점을 해결하고자 여러 가지 연구 결과들이^[13-15] 이미 발표되

어 있다. 즉, 일정전류를 유지하는 구동회로와 변화하는 전류를 공급하는 구동회로를 나누어서 설계한 연구 결과^[13], 과도 상태에서만 전류의 공급과 흡수를 하는 회로를 연결하여 구동 transistor에 흐르는 전류 변화를 완만하게 하는 연구 결과^[14] 및 과도상태에서 OP-Amp의 bias 전류를 증가시키는 방법^[15] 등이 있다.

이와 같은 연구 결과와는 달리 본 논문에서는 구동 트랜지스터의 gate 충·방전 전류를 adaptive biasing sensor와 sensor로 구동되는 transistor로 이루어진 보상 회로를 통해 공급함으로써 과도 상태에서의 Op-Amp의 오동작을 정상화시키는 새로운 방법을 소개하고자 한다.

II. Voltage Down Converter의 구조 및 동작 원리

그림 1은 높은 외부 전원 전압을 낮은 내부 전원 전압으로 전압을 강하하는데 사용되는 일반적인 VDC(Voltage Down Converter)의 회로도를 나타낸다. VDC는 기준 전압 발생기(Reference Voltage Generator : RVG)와 구동회로(driving circuit)로 구성되어 있으며, 그림 1에는 시간 의존 부하(time-dependent load)를 모델링(modeling)한 부하 회로(load circuit)로 도선 저항, R_s , 부하의 입력 capacitance, C_i 및 부하전류, I_L 를 함께 연결되었다.

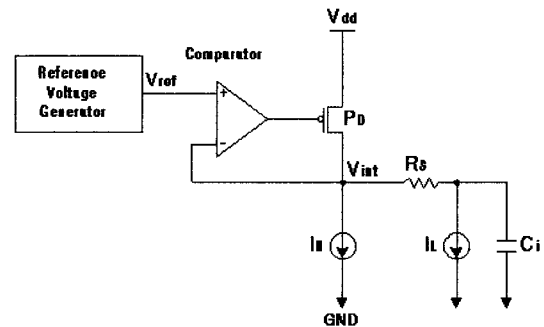


그림 1. VDC의 회로도
Fig. 1. VDC circuit diagram.

이미 발표된 기준 전압 발생기 회로^[14]의 출력 전압인 기준 전압을 부하의 변동이 심한 DRAM Chip과 같은 제품의 내부에 전원 전압으로 사용하면 부하의 영향을 심하게 받아서 안정된 기준 전압을 공급할 수 없으므로 기준 전압을 직접 부하에 연결하지 않고 구동

transistor (P_D)를 이용하여 부하의 영향을 최소화시켜야 한다. 구동 회로는 기준 전압이 부하의 심한 변동에 영향을 받지 않게 하기 위해서 low impedance의 내부 전압원으로 변환시키는 역할을 한다. 그림 2는 VDC의 일반적인 구동 회로(driving circuit)로 기준 전압, V_{ref} 와 내부 전압, V_{int} 을 입력으로 사용하는 current mirror 차동 증폭기(differential amplifier)형 비교기(comparator)와 PMOS 구동 transistor, P_{16} 을 이용하여 전체 전압이득(voltage gain)이 1인 negative feedback loop로 구성되어 있다. 차동 증폭기는 정합된 PMOS P_{11} 과 P_{12} 로 구성된 current mirror를 active load로 사용하고, 정합된 N_{13} 과 N_{14} 을 차동 증폭단으로 사용하고 있다. N_{17} 은 bias 전류원으로써 무부하 상태에서 구동 transistor, P_{16} 의 정상동작을 유지시키는 역할을 한다.

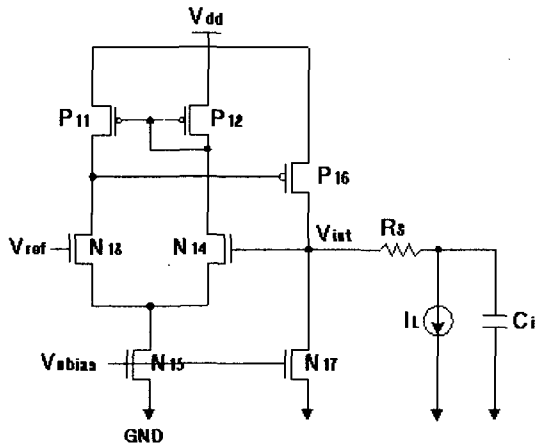


그림 2. 일반적인 구동회로
Fig. 2. General driving circuit.

한편 P_{16} 은 부하전류를 공급하는 구동 transistor로 외형비(aspect ratio : W/L , channel width와 length의 비)에 따라 구동 능력(구동 전류 용량) 및 구동회로의 response time이 결정되어진다. 먼저 외형비가 작을 경우, P_{16} 의 gate capacitance가 작아서 response time에는 긍정적인 효과가 나타나지만 부하 전류가 증가할 경우 원하는 내부전압을 얻을 수 없다. 즉 외형비와 부하전류에 따른 내부 전압(V_{int})의 변화를 H-spice simulation 결과를 나타낸 그림 3에서 보는 바와 같이 외형비가 작을 경우 낮은 전류 용량에서 과부하 현상

이 일어나기 때문에 VDC로서 사용하기 곤란한 문제가 발생한다. 따라서 대용량 VDC를 설계할 경우 구동 transistor의 외형비를 증가시켜야할 것이다. 본 논문에서는 200mA의 전류를 부하에 공급하기 위해서 P_{16} 의 외형비(aspect ratio), $(W/L)_{16}$ 을 10000으로 설계하였다.

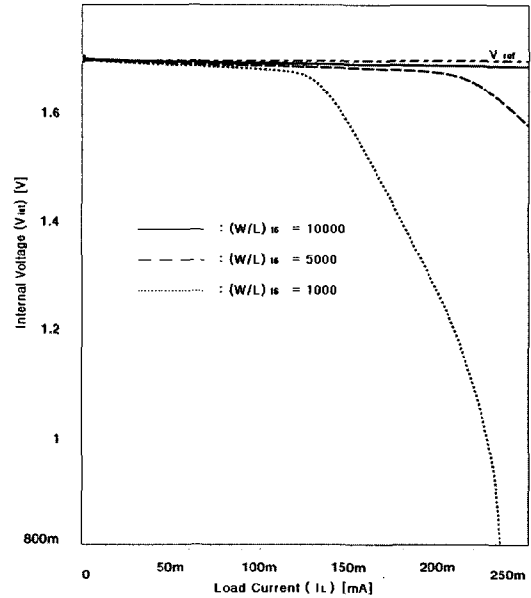


그림 3. 구동 Transistor의 외형비에 따른 V_{int} 의 변화
Fig. 3. The effect of Aspect ratio of driving transistor on the variation of V_{int} .

한편 외형비를 증가시킬 경우 구동 transistor의 gate capacitance가 증가하여 과도상태에서 delay time을 유발시키고 이는 VDC의 고속동작에 많은 문제점을 야기시킨다. 부하 전류 변화에 따른 내부전압의 변화를 simulation한 결과를 나타낸 그림 4에서 보는 바와 같이 부하전류 I_L 이 $t=100ns$ 에서 5ns동안 0mA에서 200mA까지 선형적으로 증가할 경우, 구동 그림 4 transistor P_{16} 은 부하에 200mA의 전류를 공급하기 위해서 P_{16} 의 Gate 전압, V_{g16} 은 5ns동안 급격히 감소하고 일정한 전압을 유지하며 이로 인해 P_{16} 의 source-gate capacitance, c_{gs16} 과 gate-drain capacitance, c_{gd16} 의 비와 부하 전류에 의해 V_{int} 도 5ns동안 급격히 감소하여 최소값에 도달한다. 이와 같은 결과는 일반적인 구동회로에 대해 대신호(large-signal) 등가회로를 나타낸 그림 5로부터 대략적인 값을 유도해 볼 수 있다.

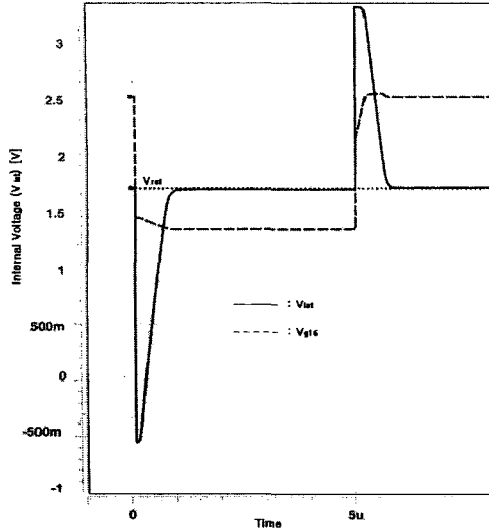


그림 4. 부하전류가 급격히 증가할 경우 내부전압 및 P₁₆의 gate 전압 파형

Fig. 4. V_{int} and V_{G16} waveform when load current increased rapidly.

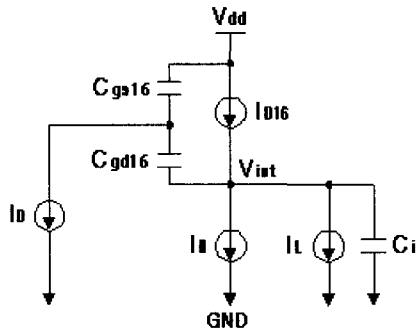


그림 5. 구동회로의 대신호 등가회로

Fig. 5. Large signal equivalent circuit of driving circuit.

먼저 구동 transistor P₁₆은 포화 영역에서 동작하고, C_{gd16}과 C_i에 흐르는 전류가 I_L에 비해 매우 작아서 무시하면, P₁₆의 drain 전류, I_{D16}은

$$I_{D16} = \frac{1}{2} \beta_{16} (V_{sg16} + V_{TH})^2 \quad (2-1)$$

$$I_{D16} = I_L + I_B - C_{gd16} \frac{d(V_{g16} - V_{int})}{dt} - C_i \frac{dV_{int}}{dt} \approx I_L + I_B \quad (2-2)$$

$$V_{g16} = V_{dd} - V_{sg16} = V_{dd} + V_{TH} - \sqrt{\frac{2I_{D16}}{\beta_{16}}} \approx V_{dd} + V_{TH} - \sqrt{\frac{2(I_L + I_B)}{\beta_{16}}} \quad (2-3)$$

여기서, $\beta_{16} = \overline{\mu}_n C_{ox} (W/L)_{16}$, $\overline{\mu}_n$ 은 effective electron mobility, C_{ox}는 oxide 층의 capacitance, (W/L)₁₆은 P₁₆의 외형비이며, V_{TH}는 P₁₆의 threshold voltage로 음의 값을 갖고 있다. 식(2-3)에서 부하 전류가 5ns 동안 선형적으로 0mA에서 200mA까지 증가하고, 5ns후에는 일정한 전류(200mA)가 흐르고 I_B가 I_L에 비해 비교적 작아 무시하면, P₁₆의 gate 전압, V_{g16}은 5ns동안 부하 전류의 제공근에 비례하여 감소하고, 5ns후에는 일정한 전압을 유지한다.

$$I_L(t) = 40t \quad (0 \leq t \leq 5ns) \quad (2-4)$$

$$V_{g16}(t) \approx V_{dd} + V_{TH} - \sqrt{\frac{80t}{\beta_{16}}} \quad (2-5)$$

한편 t=100ns에서 V_{g16}의 변화에 따라 내부전압이 감소하면 차동 증폭기는 기준 전압과 내부 전압의 차 성분을 감지하여 N₁₄의 Drain 전류, I_{D14}는 감소하고, N₁₃의 Drain 전류, I_{D13}는 증가한다. Current Mirror로 구성된 P₁₁와 P₁₂는 서로 정합되어 있으므로 동일한 전류가 흐르고, N₁₄와 P₁₂는 직렬로 연결되어 있으므로 동일한 전류가 흐른다. 따라서 N₁₃의 Drain 전류와 P₁₁의 Drain 전류의 차 성분(I_D)이 P₁₆의 gate 전류(방전 전류)를 형성하여 P₁₆의 C_{gd16}에 충전된 전하를 감소시켜 내부전압, V_{int}의 값을 증가시키게 된다. 5ns동안의 내부 전압 변화를 유도하면 다음과 같다.

$$I_D = I_{D13} - I_{D11} \leq I_{D15} \quad (2-6)$$

$$I_D = C_{gs16} \frac{d(V_{dd} - V_{g16})}{dt} - C_{gd16} \frac{d(V_{g16} - V_{int})}{dt} \quad (2-7)$$

$$\frac{dV_{int}}{dt} = \left(1 + \frac{C_{gs16}}{C_{gd16}}\right) \frac{dV_{g16}}{dt} + \frac{I_D}{C_{gd16}} \quad (2-8)$$

식(2-8)과 식 (2-5)로부터 내부 전압이 최소가 되는 시간, t_{min}을 구하면 다음과 같다.

$$\begin{aligned} \frac{d}{dt} V_{int}|_{t=t_{min}} &= 0 \\ \therefore t_{min} &\approx \frac{1}{80\beta_{16}} \left(\frac{C_{gs16} + C_{gd16}}{I_D}\right)^2 \end{aligned} \quad (2-9)$$

식(2-9)은 t_{min} ≤ 5ns 일 경우 성립하므로 I_D가 작을 경우 내부 전압 변화에 대해서 I_D가 충분한 방전 전류를 제공하지 못하므로, I_D을 무시하면, t_{min} = 5ns가 된다.

다. 식(2-8)에서 내부 전압이 최소 값에 도달할 때까지의 내부 전압 파형을 구하면 다음과 같다.

$$\frac{dV_{int}}{dt} \approx (1 + \frac{C_{gs16}}{C_{gd16}}) \frac{dV_{g16}}{dt} \quad (2-10)$$

$$\frac{dV_{int}}{dt} = -\sqrt{\frac{1}{20\beta_{16}}} \cdot (1 + \frac{C_{gs16}}{C_{gd16}}) \cdot \frac{1}{\sqrt{I_L}} \quad (2-11)$$

$$V_{int}(t) = V_{ref} - \sqrt{\frac{1}{20\beta_{16}}} \cdot (1 + \frac{C_{gs16}}{C_{gd16}}) \cdot \sqrt{t} \quad (2-12)$$

$$V_{int}(t_{min}) = V_{ref} - \sqrt{\frac{1}{20\beta_{16}}} \cdot (1 + \frac{C_{gs16}}{C_{gd16}}) \cdot \sqrt{t_{min}} \quad (2-13)$$

식(2-13)에서 보는 바와 같이 내부 전압의 최소값 $V_{int}(t_{min})$ 은 t_{min} 과 P_{16} 의 source-gate capacitance, c_{gs16} 과 gate-drain capacitance, c_{gd16} 의 비에 의해 결정됨을 알 수 있다.

부하 전류가 5ns후 일정한 전류(200mA)가 흐르면 V_{g16} 도 일정한 전압을 유지하므로 c_{gs16} 은 더 이상 방전을 하지 않고, 낮아진 내부 전압에 의해 I_D 가 발생하고 이로 인해 c_{gd16} 은 5ns동안 충전된 전하를 방전하기 시작한다. 이를 수식적으로 살펴보면 다음과 같다.

$$\frac{dV_{int}}{dt} = \frac{1}{C_{gd16}} I_D \quad (t \geq 5ns) \quad (2-14)$$

$$V_{int}(t) = V_{int}(t_{min}) + \frac{1}{C_{gd16}} \int_5^t I_D \cdot dt \quad (2-15)$$

$$V_{int}(t_R) = V_{ref} \leq V_{int}(t_{min}) + \frac{1}{C_{gd16}} \int_5^{t_R} I_{D15} \cdot dt \quad (2-16)$$

$$t_R \geq 5 + \frac{C_{gd16}}{I_{D15}} \cdot [V_{ref} - V_{int}(t_{min})] \quad (2-17)$$

여기서 t_R 은 내부전압 회복시간으로 V_{int} 이 V_{ref} 와 같아지는 시간이다.

식(2-17)에서 보는 바와 같이 내부 전압이 정상 상태 전압(V_{ref})으로 회복되는 내부 전압 회복 시간(t_R)은 방전 전류(I_D)의 역수에 비례하므로 빠른 응답 특성을 얻기 위해서는 보다 큰 I_D 값이 요구된다. 식(2-6)에서 방전 전류의 최대값 $I_{Dmax} = I_{D15}$ 이므로, 내부 전압 회복 시간을 줄이기 위해서는 N_{15} 의 drain 전류를 증가시켜야 하지만 그 경우 회로 전체의 size와 소비전력이 급격히 증가할 것이다. 한편 부하 전류가 5ns동안 200mA에서 0mA로 선형적으로 감소할 경우, 그림 2-6에서 보는 바와 같이 이번에는 gate 충전 전류가 발생

하여, 방전 전류가 발생하는 현상과 반대되는 현상이 일어난다. 그러나 P_{16} 의 gate 방전시간과 충전시간을 비교해 보면 방전 시간보다 충전 시간이 보다 길 경우가 발생할 수 있다. 이는 구동 transistor P_{16} 의 p-channel에 존재하는 잔류 carrier인 hole이 electron과 재결합을 통해 없어져야 내부 전압이 정상 상태로 회복되는데, 일반적인 구동 회로의 경우 p-channel 내에서 열적으로 생성되는 소수(minority) carrier인 electron과 N_{17} 의 drain 전류에 의해 공급되는 electron만이 재결합에 참가하기 때문에 N_{17} 의 drain 전류, I_{D17} 이 I_D 에 비해 작을 경우 P_{16} 의 channel에 존재하는 정공이 재결합으로 사라지는데 필요한 시간이 I_{D17} 에 지배되므로, 내부 전압이 정상 상태 전압으로 회복하는데 걸리는 시간이 식 2-15의 I_D 대신 I_{D17} 을 대입한 것과 동일함으로 충전시 보다 긴 시간이 필요하다.

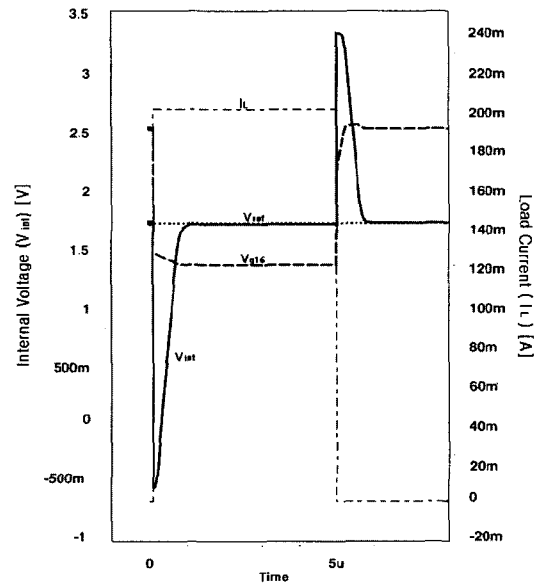


그림 6. 부하전류의 증·감에 따른 내부전압 및 V_{g16} 의 파형

Fig. 6. Waveform of internal voltage and V_{g16} with increasing and decreasing load current.

이와 같은 이유로 앞에서 언급한 일반적인 구동 방식을 채택할 경우 VDC는 고속 동작에 적합하지 않다. 본 논문에서는 일반적인 구동 회로에 보상 capacitor C_c 를 이용해 내부 전압 최대 변동폭을 감소시켰고, 충·방전 보상 회로를 첨가하여 과도 상태에서 구동

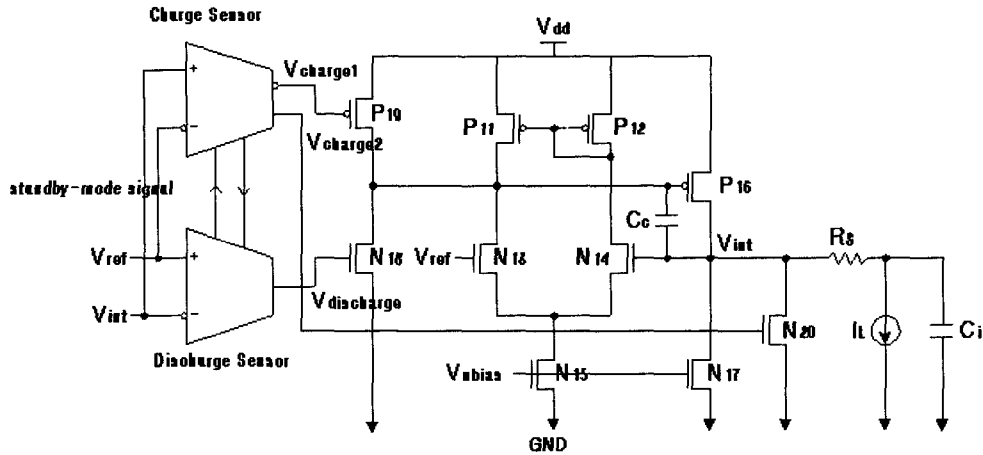
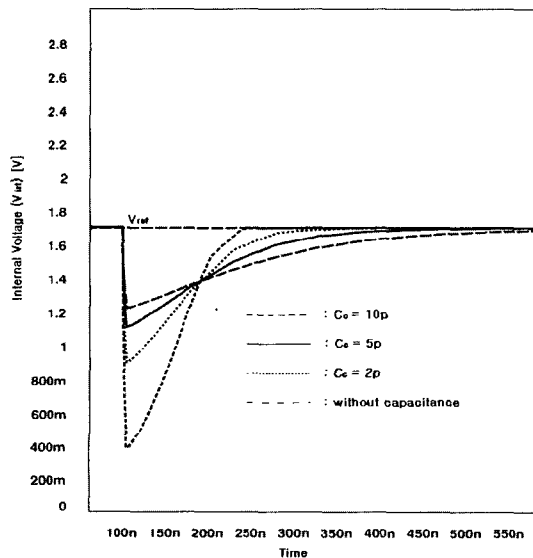


그림 7. 제안된 구동회로도
Fig. 7. Proposed Driving Circuit Diagram.

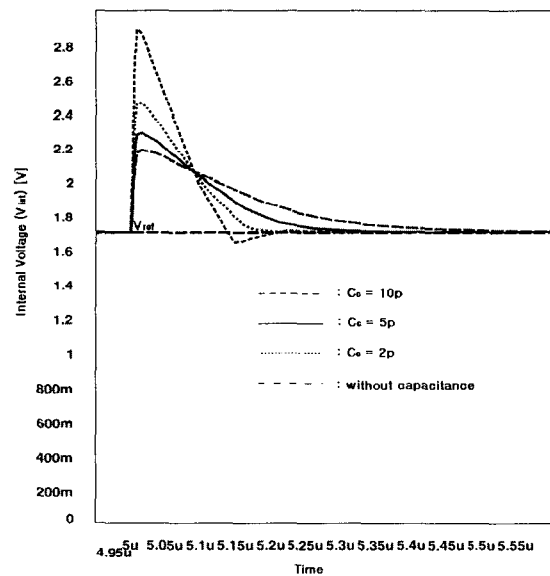
transistor의 Gate 충·방전 전류를 증가시키고, 또한 p-channel 내의 잔류 carrier인 hole이 빠른 시간 내에 재결합될 수 있도록 보상 loop를 구성하여 내부 전압 회복 시간을 단축시켜 고속 동작에 적합한 저전력 VDC의 구동 회로를 설계하였다.

III. 제안된 구동 회로의 동작 원리 및 H-spice simulation 결과

그림 7은 제안된 구동 회로의 회로도를 나타낸 것으



(a) Load current increases from 0 to 10mA during 5ns



(b) Load current decreases from 10mA to 0 during 5ns

그림 8. 보상 capacitance, C_c 의 변화에 따른 내부전압 파형

Fig. 8. Effect of compensation capacitance, C_c on the V_{int} waveform.

로서 일반적인 구동 회로에 P_{16} 의 gate와 drain사이에 연결된 보상 capacitor C_c , P_{16} 의 Gate 방전 전류를 보상하기 위한 discharge transistor, N_{18} 과 N_{18} 을 구동하는 discharge sensor, P_{16} 의 gate 충전전류를 보상하기 위한 charge transistor, P_{19} 와 P_{16} channel의

전류 carrier인 hole의 제거에 필요한 current-sink, N_{20} 및 P_{19} 와 N_{20} 을 구동하는 charge sensor가 부가적으로 연결되어 있다.

1. 보상 capacitor를 이용한 내부 전압 변동폭 보상

그림 7에서 보는 바와 같이 일반적인 구동 회로에 보상 capacitor C_c 를 연결할 경우 내부전압, V_{int} 의 변화량을 감소시킬 수 있다. 부하 전류 I_L 이 선형적으로 증가할 경우 식 2-12에서 보는 바와 같이 V_{int} 의 값은 \sqrt{t} 에 비례적으로 감소하며 그 기울기는 c_{gs16} 과 c_{gd16} 의 값의 비에 의해 결정되어지며 c_{gd16} 의 값이 증가할수록 V_{int} 의 변화량은 감소한다. 따라서 보상 capacitance, C_c 을 c_{gd16} 에 병렬로 연결함으로써 c_{gd16} 을 증가시키는 효과를 얻을 수 있다. 한편 보상 capacitance, C_c 를 첨가할 경우 V_{int} 의 변화량에는 긍정적인 면이 있으나 식 2-17에서 보는 바와 같이 내부전압의 회복시간에는 역효과가 나타난다. 즉, 부하전류가 0에서 10mA까지 5ns동안 증가할 경우, 보상 capacitor C_c 의 크기에 따른 내부전압의 변화 양상에 대한 H-spice simulation 결과를 나타낸 그림 8에서 보는 바와 같이 C_c 의 값이 증가함에 따라 내부 전압의 최대 변동폭이 감소하는 반면, 내부 전압 회복 시간은 증가한다. 본 논문에서는 C_c 에 의해 V_{int} 의 변화폭을 감소시키고 내부 전압 회복시간은 주변 보상회로를 통해 보상함으로써 빠른 회복시간과 작은 변화폭을 동시에 얻고자 한다.

2. Discharge sensor를 이용한 gate 방전 전류 제어 및 내부 전압 보상

그림 9는 gate 방전 전류를 제어하는 N_{18} 을 구동하기 위한 discharge sensor 회로이다. Discharge sensor는 내부전압, V_{int} 의 값이 기준 전압, V_{ref} 에 비해 작을 경우 V_{ref} 와 V_{int} 의 차 성분인 차동 전압을 감지하여 차동 전압에 비례하는 전류를 발생시키는 전압-전류 컨버터(Voltage-Current Converter) 회로이다. Discharge sensor는 정상상태에서는 전력 소모를 최소화하고, 활성 상태(V_{int} 이 V_{ref} 에 비해 작을 경우)에는 N_{18} 의 동작 속도를 증가시키기 위해 P_{32} 와 P_{31} 의 drain 전류 차 성분인 출력 전류를 증폭하여 positive 피드백(feedback) 시킴으로써 P_{30} 의 drain 전류를 증가시키는 적응 바이어싱 방식(Adaptive Biasing Method)을 이용하였다^[6].

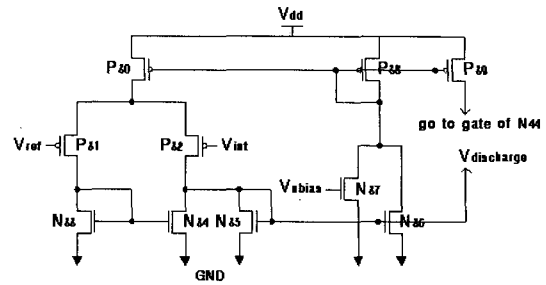


그림 9. Discharge sensor 회로

Fig. 9. Circuit of discharge sensor.

내부 전압이 정상 상태에 있을 경우(V_{int} 가 V_{ref} 에 비해 크거나 같을 경우), V_{nbias} 로 제어되는 N_{37} 의 drain 전류가 작은 값으로 일정하고, N_{35} 와 N_{36} 이 차단 영역에서 동작하기 때문에 P_{30} 의 drain 전류 또한 미미한 값으로 일정한 값을 유지한다. 따라서 discharge sensor가 동작하지 않을 때의 전력 소모를 최소화할 수 있다.

반대로 내부 전압이 기준 전압보다 작을 경우, P_{31} 의 drain 전류(I_{D31})는 감소하고, P_{32} 의 drain 전류(I_{D32})는 증가하므로 N_{36} 에는 P_{32} 와 P_{31} 의 drain 전류 차 성분($I_{D32} - I_{D31}$)이 흐른다. 이와 같은 출력 전류는 N_{36} , P_{30} , P_{38} 을 통해 positive feedback됨으로써 P_{30} 의 drain 전류가 증가하여 discharge sensor의 출력 전류를 증가시킨다. 결국, gate 방전 전류를 흡수하는 N_{18} 의 drain 전류가 증가하여 내부 전압을 빠른 시간에 회복시키게 된다.

Discharge sensor의 입·출력 전달 특성과 N_{18} 의 drain 전류에 대한 simulation 결과를 나타내는 그림 3-4에서 보는 바와 같이 discharge sensor의 입·출력 전달 특성은 넓은 입력 전압 범위에서 선형성(linearity)이 우수하며, 구동 전류 용량을 결정하는 transconductance, G_{md} 가 크다.

한편 discharge sensor에서 고려해야 할 사항으로 선형성외에 response time이 있다. sensor의 response time이 길면 P_{16} gate 전류를 과방전시켜 V_{int} 의 overshoot을 발생시킨다. 본 논문에서는 3가지 항목에서 response time을 개선하였다. 첫째로 평상시 흐르는 전류를 P_{30} 을 통해 흐르게 함으로써 항상 P_{30} 과 P_{38} 이 on 상태로 존재하여 feedback 전류 발생시 turn on time을 감소시켰다. 둘째로 P_{30} 으로 feedback 되는 전

류양을 증가시켜 P₃₂의 drain 전류를 증가시키고 이를 통해 N₁₈의 gate 충·방전 전류에 의한 time delay을 감소시켰다. 마지막으로 P₃₉의 stand-by 회로를 부차하여 overshoot이 발생할 경우 상대 sensor를 보다 빨리 turn on 시켜 overshoot 현상을 감소시켰다.

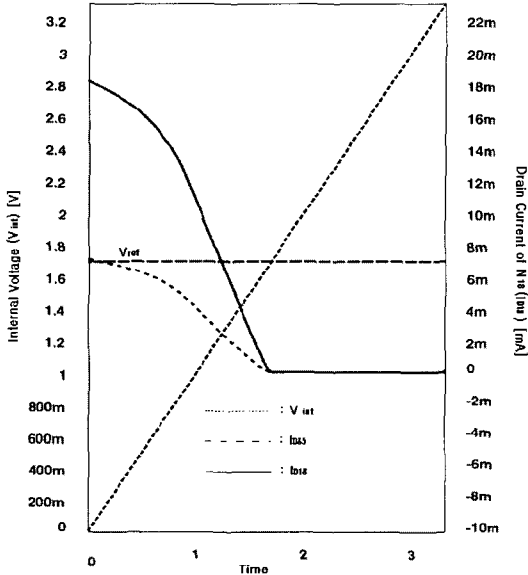


그림 10. Discharge sensor의 전달특성
Fig. 10. Transcharacteristic of discharge sensor.

한편, 부하 전류가 선형적으로 증가할 경우, 내부 전압이 감소하는데, 이는 c_{gs16}의 방전 전류를 흡수할 수 있는 current-sink 역할을 하는 N₁₃이 흡수할 수 있는 전류의 양이 바이어스 전류에 의해 제한되어 있으므로 대부분의 전류가 c_{gd16}과 C_C에 충전되어 내부 전압이 감소한다. Discharge sensor는 내부 전압이 감소하여 기준 전압보다 낮아지면, 기준 전압과 내부 전압의 차성분을 감지하여 N₁₈의 drain 전류를 증가시킨다. N₁₈의 drain 전류가 c_{gs16}의 방전 전류를 흡수하여 c_{gd16}과 C_C에 충전되는 전하의 양을 감소시키고, 이는 내부 전압의 변화율을 감소시킨다. N₁₈의 drain 전류가 c_{gs16}의 방전 전류를 완전히 흡수하면 여분의 전류는 c_{gd16}과 C_C에 충전된 전하를 방전시켜 V_{gl6}이 감소하더라도 V_{int}의 값을 증가시켜 정상상태로 회복한다. 그러나 부하 전류가 일정한 전류(200mA)를 유지할 때까지 구동 transistor, P₁₆의 gate 전압 V_{gl6}이 변화하기 때문에 t=5ns 이 후 c_{gd16}과 C_C의 방전 시간이 내부 전압 회복 시간을 결정한다. 이와 같은 관계를 수식적으로

살펴보면 다음과 같다.

$$I_{D18} = \left(\frac{\beta_{18}}{\beta_{35}}\right)I_{D35} \approx G_{md} \cdot (V_{ref} - V_{int}) \quad (3-1)$$

$$I_{D18} \approx I_{D18} + I_D = C_{gs16} \frac{d(V_{dd} - V_{gl6})}{dt} - (C_{gd16} + C_C) \frac{d(V_{gl6} - V_{int})}{dt} \quad (3-2)$$

$$\frac{d}{dt} [V_{int} - V_{ref}] + \frac{G_{md}}{c_{gd16} + C_C} [V_{int} - V_{ref}] \approx \left(1 + \frac{c_{gs16}}{c_{gd16} + C_C}\right) \cdot \frac{d}{dt} V_{gl6} \quad (3-3)$$

한편 식 2-5를 이용하여 0 ≤ t ≤ 5ns 영역에서 식 3-3의 미분방정식을 풀면

$$V_{int}(t) = V_{ref} - \exp\left(-\frac{t}{\tau}\right) \cdot \int_0^t \frac{\alpha}{\sqrt{\lambda}} \cdot \exp\left(-\frac{\lambda}{\tau}\right) \cdot d\lambda, \quad (0 \leq t \leq 5ns) \quad (3-4)$$

또한 t ≥ 5ns에서는 d/dt V_{gl6} = 0이므로

$$V_{int}(t) \approx V_{ref} - V_{int}(t=5ns) \cdot \exp\left(-\frac{t-5ns}{\tau}\right), \quad (t \geq 5ns) \quad (3-5)$$

여기서, $\tau = \frac{C_{gd16} + C_C}{G_{md}}$, $\alpha = \left(1 + \frac{c_{gs16}}{c_{gd16} + C_C}\right) \sqrt{\frac{1}{20\beta_{16}}}$ 이다.

식(3-4)에서 시간에 따른 내부 전압(V_{int})의 변화를 살펴보면 적분구간이 시간에 따라 증가함으로써 적분값은 증가하지만 시간에 따라 지수적으로 감소하는 지수항이 있으므로 t ≤ 5ns에서도 내부전압이 증가한다. 이는 discharge sensor에 의해 구동되는 current-sink, N₁₈의 drain 전류가 c_{gs16}의 방전 전류를 흡수함과 동시에 c_{gd16}과 C_C에 충전된 전하량을 감소시켜 내부 전압을 증가시킨다. 내부 전압이 최소가 되는 시간, t_{min}을 simulation을 통해 구해보면 t_{min} ≈ 1.5ns이며 이는 식에서 나타나는 값에 의한 것으로 생각하기보다는 discharge sensor의 delay time에 의해서도 영향을 받는다. 즉 부하전류의 변화에 따른 V_{int} 파형과 N₁₈의 drain 전류 파형을 simulation한 결과인 그림 3-5에서 보는 바와 같이 N₁₈의 drain 전류가 t=0.5ns 근방에서 시작됨으로써 최소값을 나타내는 시간은 식3-4에 의한 것과 discharge sensor의 delay time에 영향을 받다고 볼 수 있다. 식 3-5에서 보는 바와 같이 전압 회복 시간은 시정수(time constant), τ에 비례하므로 시정수를 감소시키면 회복 시간을 감소시킬 수 있다. 즉,

discharge sensor의 transconductance, G_{md} 을 증가시키면 내부 전압 회복 시간을 감소시킬 수 있다. 그러나 G_{md} 을 과도하게 증가시키면 discharge sensor와 N_{18} 의 off time이 증가하여 V_{int} 의 overshoot이 발생하는 역효과가 발생한다.

부하전류, I_L 이 0에서 200mA까지 5ns동안 급격히 증가할 경우, V_{int} , P_{16} 의 gate 전압, V_{g16} , N_{18} 의 drain 전류, I_{D18} 들의 파형에 대한 simulation 결과를 나타낸 그림 3-5에서 보는 바와 같이 V_{int} 의 변화양상 및 N_{18} 의 변화 양상이 수식과 비교적 잘 일치하고 있으나 sensor의 delay time이 존재함으로써 수식에 비해 약간의 오차가 발생한다. 한편 $t=6.5ns$ 근방에서 미소하나 overshoot가 발생하는 것을 관측할 수 있는 데 이는 discharge sensor와 N_{18} 의 delay time에 기인한 현상이지만 stand-by 회로를 부차함으로써 상대 sensor인 charge sensor의 빠른 동작을 유도하여 settling time을 감소시켰다. 부하전류의 최대 크기에 따른 V_{int} 의 변화 양상을 simulation한 결과를 나타낸 그림 12에서 보는 바와 같이 부하전류의 최대치가 증가할수록 V_{int} 의 변화폭이 증가하게 나타나지만 회복시간은 7ns로 일정하게 빠른 응답특성을 나타내고 있다.

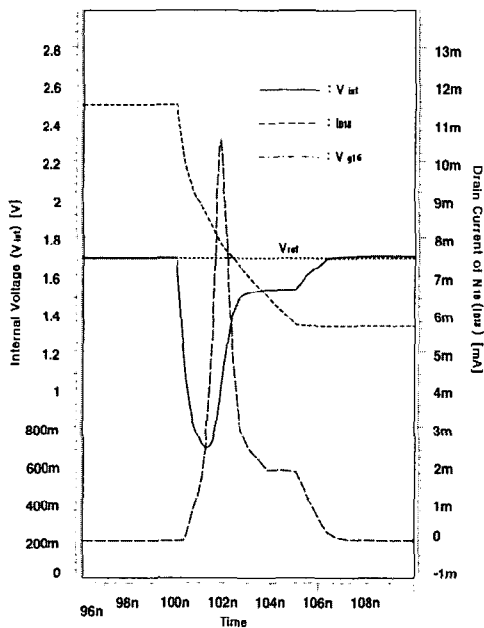


그림 11. 부하전류의 변화에 따른 V_{int} , V_{g16} 및 I_{D18} 의 파형
 Fig. 11. Waveform of V_{int} , V_{g16} and I_{D18} with increased load current.

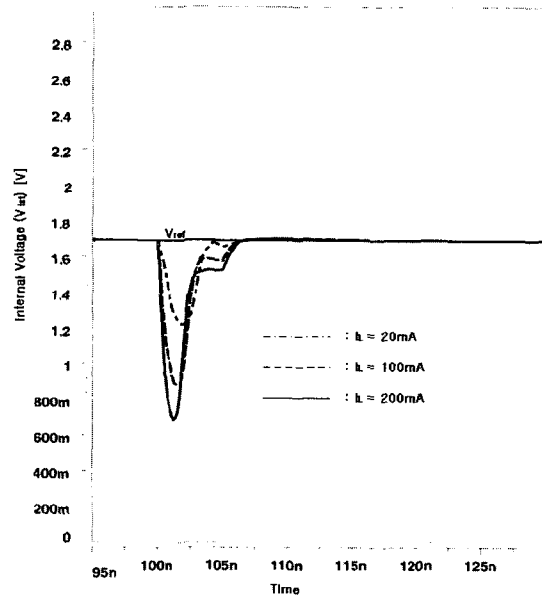


그림 12. 부하전류 최대치의 변화에 따른 V_{int} 파형
 Fig. 12. Waveform of V_{int} with increased maximum load current.

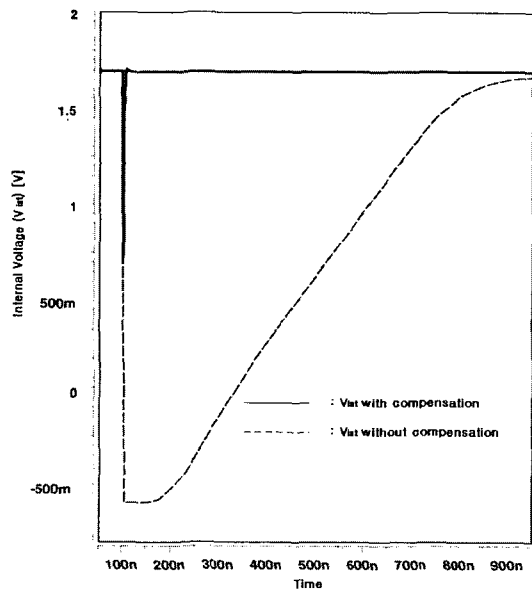


그림 13. 부하전류가 시간에 따라 증가할 경우 보상 전 후의 V_{int} 파형 변화
 Fig. 13. Effect of compensation on the V_{int} waveform when load current increase from 0 to 200mA during 5ns.

한편, 보상 전후의 V_{int} 파형을 나타낸 그림 13에서는 보상회로에 의해 V_{int} 변화폭에서의 장점도 얻을 수 있지만 그것보다는 V_{int} 의 회복시간에서는 더 큰

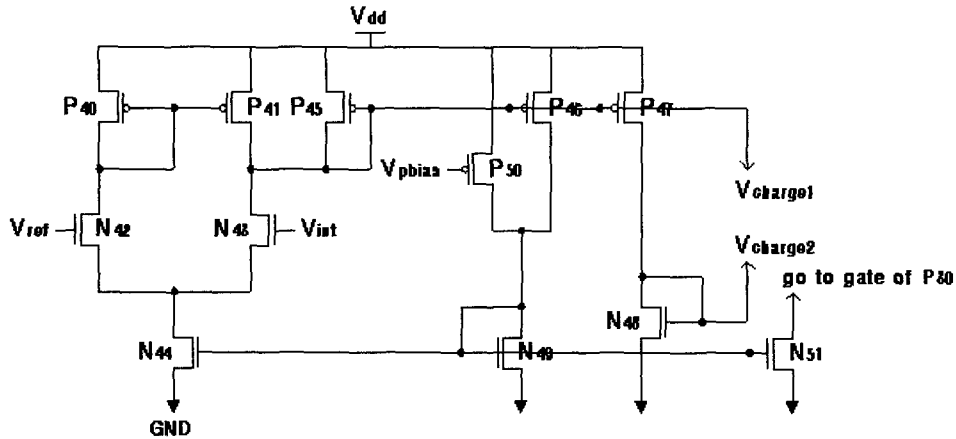


그림 14. Charge sensor 회로도
Fig. 14. Circuit of Charge sensor.

성과를 얻을 수 있다.

3. Charge sensor와 current sink를 이용한 gate 충전 전류 제어 및 내부 전압 보상

그림 14는 Gate 충전 전류를 보상하는 P₁₉와 N₂₀의 drain 전류를 제어하는 charge sensor 회로를 나타낸 것으로써 동작원리는 discharge sensor와 동일하지만 동작 특성은 정반대로 나타난다. 즉 내부전압이 기준전압에 비해 높을 경우 sensor가 동작 mode로 되어 P₁₆의 gate 전류를 충전하는 P₁₉와 N₂₀의 drain 전류를 제어한다. Discharge sensor와 동일하게 선형성과 transconductance가 우수하다.

부하 전류, I_L이 5ns동안 200mA에서 0mA로 선형적으로 감소할 경우, 앞의 경우와 반대되는 현상으로 내부 전압이 증가하는데, 이는 P₁₆의 Gate 전압, V_{g16}이 증가하여 c_{gs16}에 전하가 충전되고, c_{gd16}은 전하를 방전하기 때문이다. 일반적인 구동 회로의 경우, c_{gs16}에 충전되는 충전 전류를 구동단의 P₁₁이 충분히 공급할 수 없으므로 c_{gd16}이 전하를 방전하여 충전 전류를 공급하고, c_{gd16}이 방전을 하기 위해서는 내부 전압이 증가해야만 한다. 앞의 경우와 마찬가지로 보상 capacitor C_C를 이용해 내부 전압의 변화폭을 감소시킬 수 있지만, 내부 전압이 최대값에 도달한 후 정상 상태 전압으로 회복되기 위해서는 c_{gd16}과 C_C가 빠른 시간 내에 다시 충전되어야 한다. 그러나 충전 전류를 공급하는 P₁₁의 drain 전류가 바이어스 전류, N₁₅의 drain 전류를 초과할 수 없고, 평상시 소비 전력을 최소화하기 위해 N₁₅의

drain 전류를 작게 유지했기 때문에 결국, P₁₁의 drain 전류는 매우 작아 c_{gd16}과 C_C가 빠른 시간 내에 충전하기 위한 충분한 충전 전류를 공급하지 못한다. Charge sensor는 내부 전압이 기준 전압보다 증가하여 차동 입력 전압이 발생하면, 차동 전압을 감지하여 차동 전압에 비례하는 충전 전류를 제공하고 이 충전 전류에 의해 내부 전압 변화와 회복 시간을 감소시키는 역할을 한다.

부하 전류가 선형적으로 감소하면, 구동 transistor P₁₆의 Gate 전압, V_{g16}이 증가하여 drain 전류, I_{D16}도 감소한다. V_{g16}이 증가하면, c_{gs16}에 전하가 충전되는데, charge sensor의 의해 구동되는 P₁₉의 drain 전류인 I_{D19}에 의해 충전 전류를 공급함으로써 c_{gd16}과 C_C에서 방전되는 전류를 감소시켜 내부 전압의 변화를 억제한다. I_{D19}의 값이 커서 c_{gs16}의 충전 전류를 초과하여 공급하면 c_{gd16}과 C_C에 여분의 전류가 충전되며 이로 인해 내부 전압이 정상상태로 회복된다. Current sink, I_{D20}은 P₁₆의 p-channel 내에 잔존하는 carrier인 정공(hole)이 전자와 재결합하여 빨리 제거되도록 충분한 전자를 공급해 주는 전자 공급원 역할을 할 뿐만 아니라 C_C의 charge 전류 path를 구성하여 보다 빠른 시간에 C_C에 충전되게 한다.

그림 15는 부하전류가 200mA에서 0으로 감소할 경우 V_{int}, V_{g16}의 파형과 P₁₉와 N₂₀의 drain 전류파형을 H-spice로 simulation한 결과를 보여준다. 부하전류가 급격히 증가하는 경우와 동일하게 내부전압의 변화량과 회복시간이 팔목할 만한 성과를 얻을 수 있다.

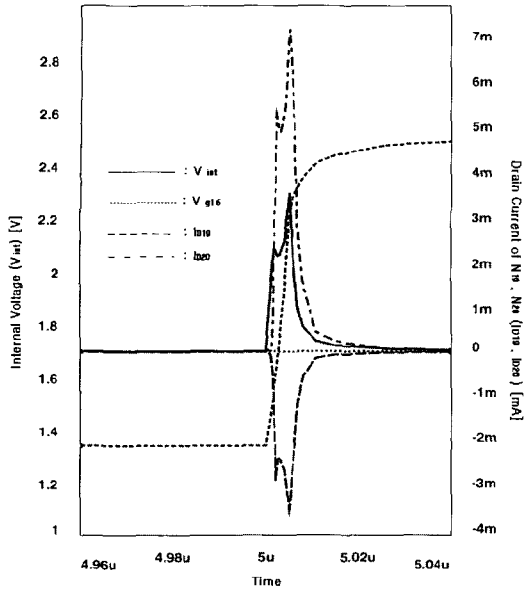


그림 15. 부하전류가 200mA에서 0으로 5ns동안 감소할 경우 내부전압, V_{gl6} , I_{D19} 및 I_{D20} 의 전류 파형

Fig. 15. Waveform of V_{int} , V_{gl6} , I_{D19} and I_{D20} when load current rapidly decrease from 200mA to 0 during 5ns.

회복시간은 10ns로 일정하게 나타나는 것을 알 수 있다.

또한 보상전후의 내부전압 파형을 살펴본 그림 17에서 보는 바와 같이 gate 충전전류를 보상회로를 통해 공급함으로써 내부전압 변화폭에서도 어느 정도 성능향상을 얻을 수 있었지만 그것보다는 내부전압 회복시간은 800ns에서 10ns로 양호한 성능향상을 얻을 수 있었다.

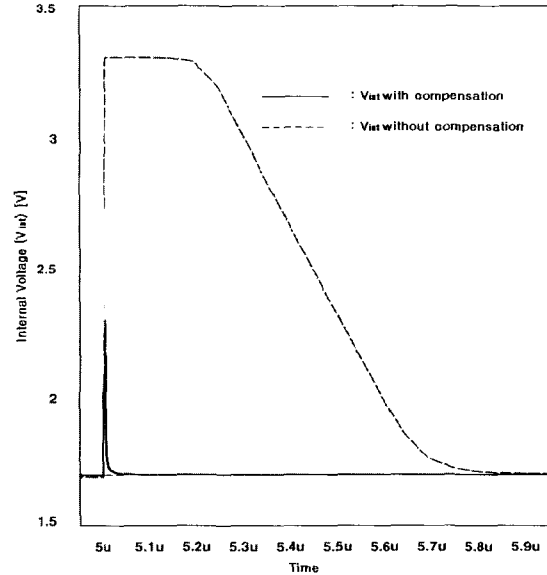


그림 17. 부하전류가 200mA에서 0으로 5ns동안 감소할 경우 보상전후의 내부전압 파형

Fig. 17.. Effect of compensation on the V_{int} waveform when load current decrease to 0 from 200mA during 5ns.

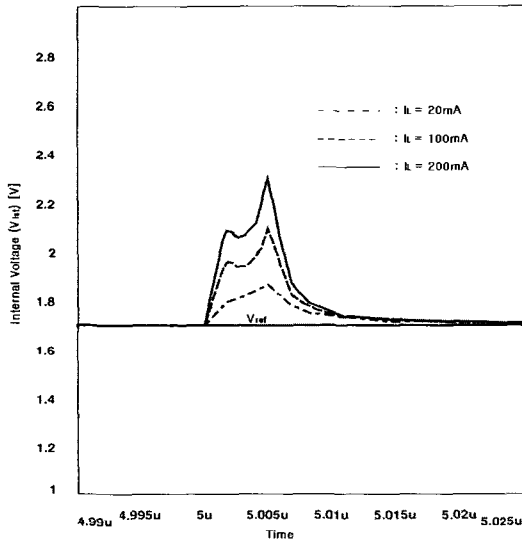


그림 16. 부하전류 변화폭의 크기에 따른 내부전압 파형 변화

Fig. 16. Waveform of V_{int} with increasing amplitude of load current.

한편 그림 16은 부하전류의 크기에 따른 내부전압 파형을 simulation한 결과로 부하전류의 크기가 증가할 수록 내부전압의 변동폭은 크게 변화하지만 내부전압

IV. 결 론

DRAM과 같은 IC chip의 소모 전력을 감소시키기 위해 사용되어지는 내부전압원인 VDC가 갖추어야 할 조건인 고속 switching 동작을 해결하기 위해 구동 transistor의 gate 충·방전 전류 보상에 대한 연구 결과 보상회로를 첨가함으로써 다음과 같은 장점을 얻을 수 있다. 첫째로, 보상 capacitor, C_C 을 구동 transistor의 gate와 drain 사이에 연결함으로써 내부전압 변동폭을 줄일 수 있다. 둘째로, 구동 transistor의 gate 충·방전 전류를 보상회로를 통해 공급함으로써 내부전압 회복시간을 부하전류가 증가할 경우 900ns에서 7ns로, 부하전류가 감소할 시 800ns에서 10ns로 크게 감소시킬 수 있었다. 마지막으로 VDC 전체 회로의 power 소모는 비활성상태에서 1.2mW로 매우 작게 유지할 수 있

었다. 비록 활성상태에서는 비교적 큰 power를 소모하지만 비활성상태가 지속되는 시간은 7ns에서 10ns로 매우 짧기 때문에 소모 에너지 면으로는 무시할 수 있을 정도로 매우 작다.

참 고 문 헌

[1] 유희준 "DRAM Design" 흥릉과학출판사, pp. 11 (1996)

[2] M. Aoki et al., "A 1.5V DRAM for battery-based applications." in ISSCC Dig. Tech. Papers, pp.238-239, Feb. 1989.

[3] Y. Nakagome et al., "A 1.5V circuit technology for 64 Mb DRAM's " in Symp. VLSI Circuits Dig. Tech. Papers, pp.17-18 (1990).

[4] H. Yamauchi et al., "A 20ns battery-operated 16 Mb CMOS DRAM." in ISSCC Dig. Tech. Papers, pp.44-45, Feb. 1989.

[5] Y. Tsukikawa et al., "An efficient back-bias generator with hybrid pumping circuit for 1.5V DRAM's." in Symp. VLSI Circuits Dig. Tech. Papers, pp. 85-86 (1993).

[6] T. Ooishi et al., "A well synchronized sensing /equalizing method fir sub-1.0V operating advanced DRAM's." in Symp. VLSI Circuits Dig. Tech. Papers, pp.81-82 (1993).

[7] T. Takeshima et al., "Voltage limiters suitable to DRAM's with substrate-plate electrode memory cells." in Symp. VLSI Circuits Dig. Tech. Papers, pp. 85-86, (1987).

[8] M. Horiguchi et al., "A tunable CMOS-DRAM voltage limiter with stabilized feedback amplifier." in Symp. VLSI Circuits Dig. Tech. Papers, pp.75-76 (1990).

[9] D. S. Min et al., "Temperature-compensation circuit techniques for high-density CMOS DRAM's." in Symp. VLSI Circuits. Dig. Tech. Papers, pp 125 126 (1991).

[10] M. Horiguchi et al., "Dual-regulator dual-decoding trimmer DRAM voltage limiter for burn-in test." in Symp. VLSI Circuits Dig. Tech. Papers, pp 127-128 (1991).

[11] R. S. Mao et al., "A new on-chip voltage regulator for high-density CMOS DRAM's." in Symp. VLSI Circuits Dig. Tech. Papers, pp.108-109 (1992).

[12] H. Tanaka et al., " Sub-1 μ A dynamic reference voltage generator for battery-operated DRAM's." in Symp. VLSI Circuits Dig. Tech. Papers, pp.87-88 (1993).

[13] T. Ooishi et al., "A mixed-mode Voltage Down Converter with Impedance Adjustment Circuitry for Low-voltage High-frequency Memories" IEEE J. Solid-state Circuits. vol. 31. no. 4, April 1996.

[14] 주중두, 광승욱, 이승훈, 성양현, 광계달 "DRAM 의 저전력, 고속화에 따른 VDC 설계에 관한 연구" 전자 공학회 추계 종합 학술대회 논문집 vol 21. no. 2 pp708. (1998)

[15] 신흥재 "저전력 시스템 구현을 위한 Dynamic Voltage Down Converter 설계에 관한 연구" '96 LG반도체 설계 공모전 수상논문집, pp. 181 (1996)

[16] 박홍준, "CMOS 아날로그 집적회로 설계(하)" 시그마 프레스 pp. 713 (1999)

저 자 소 개



李昇暎(學生會員)
1976년 1월 13일생. 1994년 3월~현재
금오공과대학교 전자공학부 통신
전공 학부생. 주관심분야는 CMOS
혼성모드 회로설계



金明植(正會員)
1983년 경북대학교 전자공학 학사.
1985년 한국과학기술원 전기/전자공
학 석사. 1992년 한국과학기술원 전
기/전자공학 박사. 1985년 ~ 1992년
한국과학기술원(KIST) 응용전자연
구실 선임 연구원. 1992년 ~ 현재
금오공과대학교 전자공학부 부교수. 주관심분야는 반도체 물성 및 회로설계