

論文2001-38SC-2-4

# 광디스크 디지털 서보의 저전력 구현 아키텍처

## (Low Power Digital Servo Architecture for Optical Disc)

許 峻 豪 \* , 金 壽 遠 \*

(Jun Ho Huh and Soo Won Kim)

## 요 약

광디스크 재생기에서 사용되는 디지털 서보는 주변 블록과의 집적화가 유리하고 온도변화에 따른 열화가 적으며, 각종 픽업에 대한 유연한 대응이 가능한 장점 때문에 이용도가 점점 높아지고 있는 추세이다.[6] 그러나 디지털 시그널 프로세서를 내장한 디지털 서보는 전력 소비량이 매우 큰 단점을 가지고 있다. 본 논문에서는 광디스크 재생기의 특성 상 초기화 시간에 대부분의 기능이 몰려 있으므로 DSP의 사이클 수는 많이 차지 하나, 실제로 전력 소비에 주된 영향을 끼치는 시간은 초기화 시간이 아닌 재생 모드 시간 임에 착안하여 디지털 서보의 소비 전류를 획기적으로 줄일 수 있는 방안을 제시하였다. 재생 모드에서의 필터 처리 사이클 수를 최대한 줄일 수 있도록 아키텍처를 변환함과 동시에 디지털 서보의 재생 모드를 병렬 처리함으로써, 전체 시스템의 소비 전력을 크게 줄이는 효과를 얻을 수 있도록 하였다. 즉, 광디스크 재생기의 디지털 서보에 포함되는 DSP-코어의 리소스 공유를 통해 DSP의 동작 속도와 부하를 크게 줄임으로써 소비 전류를 획기적으로 줄이는 효과를 얻어낸 것이다. 이러한 개념은 DSP-코아 뿐만 아니라, ROM, RAM에도 모두 적용되어 기존 아키텍처의 디지털 서보에 비해 소비 전류를 83% 가까이 줄일 수 있는 효과를 얻을 수 있었다.

## Abstract

Digital servo implementation in optical servo chip has been spotlighted since it is easy to integrate with other blocks and it has less sensitive characteristics change in terms of temperature variation and better flexibility to the system variation like pick-up. Therefore, Optical disc players adopted digital servo are increasing in market. However, one drawback of digital signal processor embedded digital servo is power consumption that is one of the most important factors of portable optical disc player system. For that reason, this paper introduces new architecture to reduce power consumption of digital servo by means of reducing DSP load but increasing minimum hardware size. The main idea of reducing power consumption of digital servo greatly is utilizing CDP characteristics as most operations are done and used up most operating steps of DSP at the initial time, but most power consumption is occurred in play mode. Therefore, if operating steps for digital filtering in play mode could be reduced greatly, power consumption of overall system can be reduced greatly. This paper shows an example that low power digital servo architecture whose current is reduced almost 83%, compare to that of digital servo which is not applied by the low power architecture introduced in this paper.

\* 正會員, 高麗大學教 電子工學科

(Dept. of Electronics Eng., Korea University)

接受日字:2000年11月2日, 수정완료일:2001年2月22日

## I. 서 론

본 논문은 디지털 서보의 소비 전류를 획기적으로 줄일 수 있는 방안으로 광디스크 재생기의 특성 상 초

기화 시간과 트랙 씨치 등에 대부분의 기능이 몰려 있으므로 사이클 수는 많이 차지 하지만<sup>[2]</sup>, 실제로 전력이 소비되는 대부분의 시간은 재생 모드임에 착안하였다. 즉, 포커스 씨치에서부터 모든 자동조정 완료까지의 모든 동작은 수 초 이내에 처리되는 기능들이고<sup>[3]</sup> 이러한 동작은 모터의 급격한 구동이 일어나는 시간에 포함되므로 서보에 의한 소비전류 영향이 적으며, 실제로는 이러한 과정 후에 재생 기능으로 바뀌어 포커스 에러(focus error)/트래킹 에러(tracking error) 필터링에 대부분의 시간을 할애하고 있다. 따라서 재생 모드에서의 필터 처리 사이클 수만 줄일 수 있다면 전력을 획기적으로 줄이는 효과를 얻을 수 있는 것이다. 본 논문에서는 범용 16bit-DSP에 부분적인 수정을 가하여 디지털 서보 전용 DSP화 함으로써 재생 모드에서의 효율적인 대응 기능을 구현함으로써 재생 모드에서의 DSP 및 프로그램 ROM의 부담을 줄여 소비 전류의 감소를 실현하였다.

II. 본 론

광디스크 재생기에서 사용되는 서보는 CD (compact disc)/ VCD(vides-CD)/ CD-ROM/ DVD (digital versatile disc)/ DVD-ROM 등과 같은 매체에 저장되어 있는 데이터 값을 읽어내기 위해 픽업을 정확한 위치로 유지하는 기능을 수행한다. 이러한 기능은 크게 포커스(focus), 트랙킹(tracking), 슬레드(sled), 스피들(spindle)의 4종류 여러 값에 대한 조정으로 나누어 수행되고 있다. 기존의 범용 16bit-DSP를 이용한 디지털 서보는 이러한 기능 중에서 포커스, 트랙킹 처리를 88.2KHz 주기로 처리하며, 비교적 반응 속도가 느린 슬레드, 스피들에 대해서는 5.5125KHz의 주기로 처리하고 있다. 이러한 기능은 서보의 여러 가지 모드 중에서 재생 모드에서의 기능을 설명한 것으로 초기화 단계를 포함한 모든 기능은 모드 별로 표1.과 같이 분할되어 있다.<sup>[1]</sup> 각 모드 별로 필요로 하는 사이클수를 보면 최대 191 사이클을 사용하므로, DSP에서 사용하는 마스터 클럭은 16.9344MHz를 사용하여 88.2KHz의 인터럽트당 최대 사이클수는 192가 되도록 사용한 것이다.

표1.에서 16분할 인터럽트의 사이클 수는 사이클 수를 최소화 하기 위하여 5.5125KHz의 느린 주파수로 처

리가 가능한 기능들을 88.2KHz의 인터럽트가 16번 발생할 때 한번씩 처리하는 방법으로 16종류의 루틴이 존재하게 되는데, 그 중에서 최대 사이클 수를 의미한다. 16분할 인터럽트 방법은 사이클 수를 분할하는 효과를 주어 단위 인터럽트 당 사이클 수의 여유를 얻을 수 있게 한다.

표 1. 기존 DSP에서 각 모드별 처리에 필요한 사이클 수

Table 1. Cycles for mode in conventional DSP.

Mode	Interrupt Vector Check	Interrupt Routine	16분할 interrupt	Total cycle
Standby	10	71	0	81
Focus search		142	35	187
Focus on		124	49	183
Jump/track Balance		92	49	151
Sled move		82	35	127
Tracking on		63	49	122
Loop gain		143	37	191
Play		108	35	153

이러한 환경에서 기존 아키텍처를 유지한 디지털 서보의 블록 별 소비전류를 살펴보면 표2.와 같이 전체적으로 54.76mA가 소비되었음을 알 수 있다. 따라서 소비전력은 약 273.8mW가 된다. 이러한 소비 전류를 줄이는 방안으로 적용된 여러 가지 방법을 순차적으로 다음에서 설명한다.

표 2. 기존 디지털 서보 아키텍처에서의 소비 전류

Table 2. Current consumption of digital servo in conventional digital servo architecture.

Block Name	Width (m)	Heigh (m)	Size (mm <sup>2</sup> )	Current Consumption
ROM	2584	930	2.40	25.00 mA
SRAM	1203	1943	2.34	16.21 mA
DSP Core	1700	1775	3.02	13.55 mA
Total			7.76	54.76 mA

1. 재생 모드 최적화

기본적으로 기존 아키텍처에서는 재생 모드를 포함한 모든 모드에서 16.9344MHz의 클럭으로 DSP-코어를 구동한다. 따라서 88.2KHz 인터럽트 주기로 수행되는 모든 기능들이 인터럽트 당 192 사이클 안에 수행되도록 되어 있다. 본 논문에서 제안된 아키텍처에서는 재생 모드에 한정하여 포커스/트래킹 필터를 하드웨어화 함으로써 표 1.에서와 같이 108사이클을 필요로 하던 재생 모드 기능을 96 사이클 이내로 줄일 수 있다. 사이클 반감은 주변 하드웨어 로직 컨트롤과 필터링 계산을 병행으로 처리하도록 구현함으로써 43 사이클로 줄일 수 있게 됨에 따라 얻어지는 효과이다. 따라서 본 아키텍처에서는 기존 주파수의 반에 해당하는 8.4672MHz의 클럭으로 DSP-코어를 구동할 수 있게 된다. 따라서 재생 모드에서의 인터럽트 당 최대 소비 사이클수는 아래와 같다.

$$\text{Max cycle/interrupt}(96) > \text{Interrupt mode check}(10) + \text{PMHW}(43) + 16 \text{ period interrupt routine}(35)$$

이를 가능하게 하기 위해서 재생 모드 루틴을 수행하는 하드웨어(이하 PMHW(play mode hardware)라 칭함)는 포커스, 트래킹 필터링만을 수행하게 되는데, 이때, DSP-코아에 포함되어 있는 곱셈기, 가산기와 SRAM등의 리소스를 공유하며, 인터럽트 발생과 동시에 모드에 따라(재생 모드에서만 동작) 활성화 되도록 한다. 재생 전용 인터럽트 하드웨어가 동작하는 동안 DSP-코아의 클럭은 단절되어 sleep 모드로 동작하게 되어 기본 stand-by 상태의 전류만이 흐른다.

DSP-코아의 sleep 모드 기능은 소프트웨어적으로 STOP 명령의 발생과 함께 내부 클럭이 단절되면서 시작되며, sleep 모드 상태를 알리는 STOPID 신호는 외부 PMHW 블록을 활성화 시키게 된다. 이와 동시에 DSP-코아는 프로세서 버스와 공유 리소스간의 연결을 막고, PMHW 블록의 하드웨어 버스와 공유 리소스를 연결한다. 재생 모드에서의 필터링 기능이 완료되면 다시 DSP-코아가 활성화되며, 공유 리소스들은 다시 프로세서 버스와 연결되고 클럭 역시 다시 공급되기 시작한다.

인터럽트 한 주기 동안의 동작 순서를 구체적으로 살펴보면, 인터럽트가 발생함과 동시에 DSP에서는 모드 상태를 확인하고 메인 루프의 accumulator/ stack

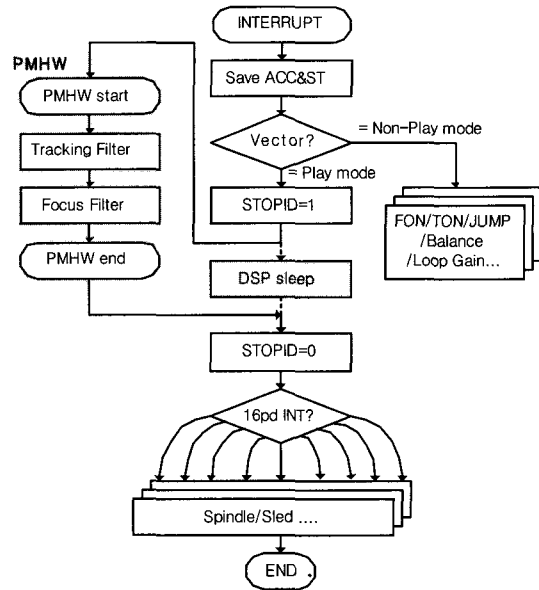


그림 1. 제안된 디지털 서보의 순서도  
Fig. 1. Flowchart of proposed digital servo.

값을 메모리에 저장하는 동작을 수행한다. 여기서 만약 재생 모드임이 확인되면 STOP 명령을 발생시켜 DSP-코아는 sleep 모드로 들어가게 되고, PMHW에 의해 포커스/트래킹 필터링을 수행하게 된다. PMHW에 의한 필터링 기능이 완료되면, DSP-코아는 wake-up되어 16 분할 인터럽트를 통해 슬레드/스핀들 필터, 충격 상태 검사, 불량 Disc 대응 기능 등을 수행하게 된다.

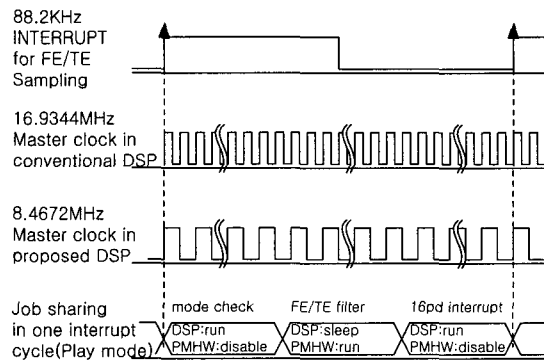


그림 2. 제안된 디지털 서보 시스템의 타이밍도  
Fig. 2. Timing diagram of proposed digital servo System.

이와 같은 방법으로 수행될 경우, 사이클 수 비교에 의하면, 44.7%(8.4672MHz 동작시 96 사이클 중 43 사이클)의 시간은 sleep 모드임을 통해 DSP-코아의 소비

전류 감소효과와 동시에 반감된 8.4672MHz로 역제스되는 ROM/RAM의 소비 전류 감소 효과도 기대할 수 있다.

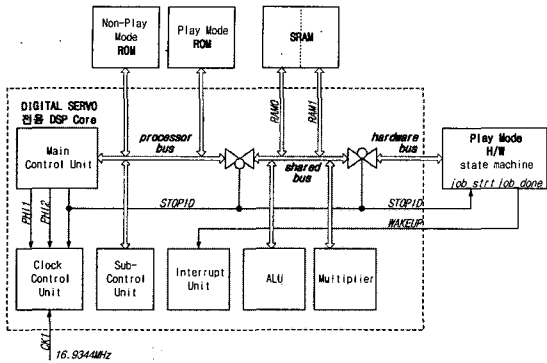


그림 3. 제안된 디지털 서보 아키텍처  
Fig. 3. Proposed digital servo architecture.

2. 디지털 서보 전용 DSP

DSP-코어의 디지털 서보 전용화를 위한 아키텍처를 간단히 보면 그림 3.과 같다. 즉, STOPID 신호에 의해서 ALU, multiplier, SRAM의 버스가 DSP-코어 밖의 PMHW에 의해서 구동될 수 있도록 전환할 수 있는 구조임을 알 수 있다. PMHW는 각종 하드웨어 블록 콘트롤과 필터처리를 병행처리함으로써, 기존 아키텍처와 같은 동작을 반 사이클만에 완료할 수 있다. 본 아키텍처에서 DSP-코어는 주 반복 기능을 수행할 동안 sleep 모드로 들어가면서 코어 외부의 PMHW를 활성화 하면서 일부 공유 버스와 일부 리소스 블록 구동을 위한 최소 전류만을 소비하게 된다. 이러한 동작은 인터럽트 당 44.7%의 시간에 해당하며, 주파수 반감에 의한 소비 전류 감소 효과와 함께 추가 감소 효과를 얻게 한다. 즉, 기존 디지털 서보 아키텍처와 비교하면, DSP-코어의 동작 속도를 16.9344MHz에서 8.4672MHz로 낮춤으로써 1/2의 소비 전류 이득을 얻고, DSP-코어의 실제 동작 시간(sleep 모드 제외)은 거의 반에 가까우므로 이에 따른 소비 전류 이득 1/2이 추가로 얻어지므로 결과적으로 소비 전류를 1/4 가까이 줄일 수 있는 것이다.

그림4.에서 DSP-코어 내부의 구조 변화 내용 중 공유 리소스 부분의 변경 내용을 자세히 보이고 있다. PMHW의 DBplay[15:0] 버스, 공유 버스에 해당하는 DBshare[15:0], 프로세서 버스에 해당하는 DB[15:0]이

STOPID에 의해 주종 관계가 전환됨을 알 수 있다.

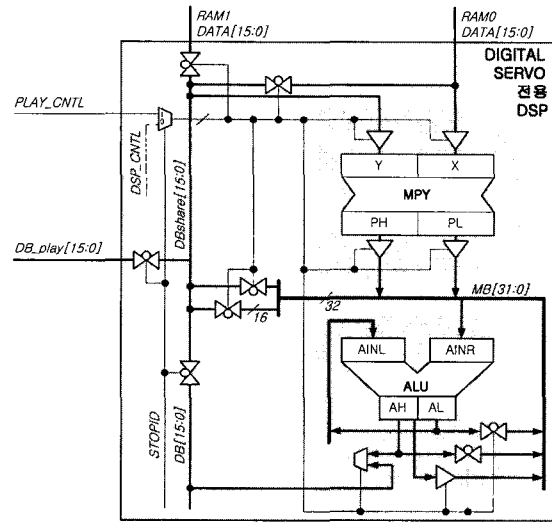


그림 4. Multiplier/ALU 공유를 위한 제안된 DSP-코어 블록 다이어그램  
Fig. 4. Block diagram of DSP-core sharing multiplier and ALU.

공유 리소스인 ALU와 MPY의 다양한 조정 신호들도 STOPID에 의한 버스 전환과 같은 방법으로 전환된다. 즉, STOPID가 high인 경우는 디지털 서보 전용 DSP가 sleep 모드로 들어간 경우로 ALU/MPY의 버스 라인과 콘트롤 신호들이 DSP-코어의 메인 블록들과 단절되고 코어 밖의 재생 모드 전용 하드웨어(PMHW)와 연결된다. STOPID가 low인 경우는 그 반대로 전환된다. 리소스 공유 아키텍처를 통해 PMHW의 구성은 간결해지는 것이다.

3. 재생 모드 전용 하드웨어

재생 모드 전용 하드웨어인 PMHW 블록은 리소스 공유를 통해 간단한 state machine만으로 구현이 가능하다. 즉, 간단한 콘트롤 신호만을 발생시킴으로써, 공유된 리소스와 메모리를 구동하는 것이다. PMHW의 구현으로 얻어지는 가장 큰 장점은 ALU/ multiplier를 이용한 필터링 기능과 외부 하드웨어 콘트롤을 동시에 병행 처리할 수 있음에 있다. 이 블록에 의한 소비 전류의 발생량은 그 시간동안 프로그램 ROM을 액세스하지 않음으로 인한 소비 전류 이득에 비하면 무시할 수 있는 적은 양이다. 본 아키텍처 변환으로 추가되는 PMHW는 약 2,000 게이트 정도이기 때문이다. PMHW의 기능은 그림 1.의 순서도에서도 알 수 있듯이, 포커

스/트래킹 에러 신호의 디지털 필터링이며, 두 필터는 같은 구조를 가지므로 한가지 필터를 위한 state machine으로 두가지 신호에 대한 필터링을 반복 수행하게 된다. 필터링 기능 구현을 위해서는 곱셈기와 가산기 등의 로직들을 필요로 하지만, 본 아키텍처의 특징은 DSP-코어의 리소스를 공유하는데 있으며, 따라서 재생 모드 전용 하드웨어도 단순한 state machine 구조를 한 조정 블록만으로 구현이 가능하다.

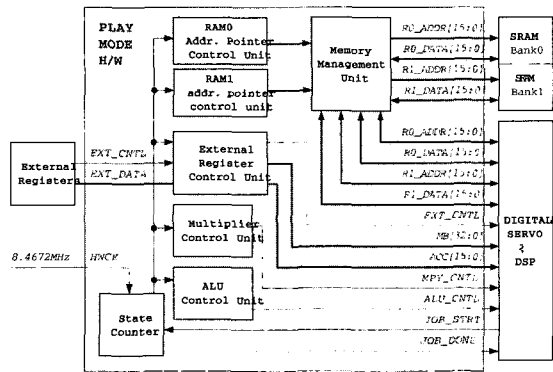


그림 5. 재생전용 하드웨어의 블록다이어그램  
Fig. 5. Block diagram of PMHW(play mode hardware)

그림5는 재생 모드 전용 하드웨어(PMHW)의 블록도로서 MMU(memory management unit), ALU 조정 유닛, MPY 조정 유닛, 외부 레지스터 조정 유닛 등으로 구성되어 있으며, 동작은 state machine 구조로 43 사이클만에 포커스/트래킹 필터 처리를 완료하도록 설계되었다. 그림에서와 같이 DSP-코어가 sleep 모드로 들어가게 되면 DSP내의 명령어 처리 블록 등은 전혀 동작하지 않게 되며, MPY, ALU를 조정하기 위한 모든 조정 신호들은 PMHW로부터 입력받게 된다. 그림5의 부분 블록들 중에서 MMU를 제외한 모든 블록은 STOPID(=JOB\_STRT)가 high일 경우에만 활성화 된다. 외부 레지스터 블록은 ADC 인터페이스 블록/ 상태 레지스터/ 콘트롤 레지스터 등 기존 디지털 서보에서도 존재하던 외부 코어 블록들과의 인터페이스를 위한 블록들을 의미한다.

4. ROM의 분할

ROM에 있어서도 재생 모드시의 소비전류만을 최소화 한다는 개념을 도입하여 감소효과를 얻을 수 있다. 즉, 재생 모드 인터럽트에서만 사용되는 프로그램을 분

할하여 작은 ROM을 구성하여 ROM에 의한 소비전류를 줄일 수 있다. 재생 모드가 되면 재생 모드에서 사용하지 않는 루틴들을 포함하고 있는 큰 용량의 ROM은 비활성화 되고, 그 이외의 모든 모드에서는 두 ROM이 모두 활성화 된다. 비-재생 모드 프로그램 ROM은 각종 자동 조정 기능(포커스/트래킹 입력 게인 조정, 포커스/트래킹 오프셋 조정, 포커스/트래킹 밸런스 조정, 포커스/트래킹 루프 게인 조정 등)과 마이크로 콘트롤러 명령 처리 기능(사용자가 선택하는 기능을 구분하여 각각에 대한 처리, 예를 들어 곡목 변경, 재생, 자동 조정 등을 수행하는 기능), 또 사용자가 재생과 같은 기능을 선택한 경우 디스크의 유무를 확인하고 픽업을 움직여 포커스를 맞추고(focus servo), 디스크를 알맞은 속도로 돌리며(spindle servo), 좌우 트랙을 벗어나지 않도록(tracking servo)함으로써 디스크에 저장되어 있는 정보를 정확하게 읽어내기 시작하기 이전까지 모든 일련의 과정을 수행하는 기능들의 프로그램이 저장된다. 이러한 모든 기능은 재생 기기 사용자가 음악을 듣기 위한 일시적인 작업시간동안만 발생하는 기능임을 알 수 있다. 반대로 재생 모드 전용 프로그램 ROM은 말 그대로 재생 모드에서 사용되는 모든 루틴들을 포함하며, 포커스 필터, 트래킹 필터 루틴들은 PMHW에 의해 수행되므로 제외된다.

기존 디지털 서보의 경우 재생모드에서 사용되는 16분할 인터럽트의 ROM 크기는 약 516word 이다. 여기에서 인터럽트 벡터 검사 기능과 메인 루프 기능을 합하여 재생 모드에서의 사용하는 프로그램만을 추려낼 경우, 프로그램 ROM의 크기는 약 0.7Kword 정도에 불과하다. 즉, 프로그램 사이즈의 대부분을 차지하는 부분이 마이크로 콘트롤러 코멘드 처리와 재생 모드 이외의 프로세스를 위한 명령들이므로 재생 모드에서 사용되는 프로그램만을 분리하여 재생 모드에서는 전체 ROM을 억세스하지 않고, 최적화된 작은 크기의 ROM만을 구동하게 함으로써 전력 소비를 더욱 줄일 수 있다. 제안된 아키텍처에서 8.4672MHz 동작에 약 6Kword ROM을 모두 사용할 경우, 12.06mA가 소비된다. 여기에 sleep 모드가 약 44.7% 임을 고려하면, 소비전류는 약 6.88mA 임을 알 수 있다. 그러나 재생 모드 전용의 프로그램 ROM(0.7Kword)만을 사용할 경우는 약 5.3Kword의 프로그램 ROM은 대기 상태의 전류(stand-by current)만이 소비되고 700word의 ROM에 의한 활성화 전류(active current)만이 존재하므로

ROM에 의한 전체 소비전류를 2.68mA(stand-by 상태인 5.3Kword ROM도 고려)로 줄일 수 있다. 따라서 동작 주파수의 반감을 통한 1/2 감소와 더불어 액세스 해야 할 ROM 크기를 약 1/9로 최소화 시킴으로써 ROM에 의해 약 1/9 이상의 소비전류 감소 효과를 얻을 수 있다.

5. SRAM의 최적화

기존의 SRAM에 할당되어 있던 CD/DVD의 각 배속별 필터 계수 저장을 위한 메모리 할당에 의한 부담을 마이크로 콘트롤러로 옮기고, 16 분할 인터럽트를 위한 테이블등을 가능한 한 ROM으로 전환하여 면적/전력소비 측면 모두에 효과를 얻을 수 있도록 하였다.

따라서 RAM에서는 기본적으로 크기를 대폭적으로 줄일 수 있었으며, 재생 모드에서의 동작 주파수를 1/2로 줄임에 따라, 1/6 이상의 소비전류 감소 효과를 얻었다.

본 논문에서는 적용하지 않았지만, 각 뱅크별로 재생 모드에서만 사용되는 데이터 버퍼 영역이 따로 존재하므로 전체 메모리를 재생 모드용과 그렇지 않은 부분을 따로 구현하여 모드별로 활성화 하도록 함으로써 재생 모드에서 활성화되는 RAM의 크기를 줄이는 방법도 사용할 수 있다.

III. 결 론

DSP-코어를 수정하여 외부 하드웨어와 리소스를 공유하도록 아키텍처를 개선하고, 이를 통해 병렬 프로세스를 가능하게 하여 사이클 수의 반감함으로써 소비전류의 감소 효과를 모든 블록에서 얻을 수 있도록 하였다.

본 논문에서 설명한 방법을 적용한 디지털 서보와 기존 디지털 서보를 같은 공정에서 비교해 보면 표3.과 같다.<sup>[4,5]</sup> 소비 전류가 기존 아키텍처의 54.76mA에서 9.50mA로 83% 가까이 감소됨을 알 수 있으며, 이러한 효과에도 불구하고, 크기 역시 기존 아키텍처의 7.76 mm<sup>2</sup> 에서 6.76 mm<sup>2</sup> 로 1 mm<sup>2</sup> 가까이 감소됨을 알 수 있다. 크기의 감소 효과는 메모리의 크기를 줄인 효과로 증가 없이 구현 할 수 있었다.

본 논문에서 설명한 소비 전류 감소는 0.5um 공정에서 비교한 것으로 약 1/5~1/6에 가까운 소비 전류 감소 효과를 예상할 수 있었으며, 실제 구현은 CD용 디지털

서보, CD-DSP, 1bit-DAC, RF, ADC, PWM driver, ESP 블록이 모두 하나의 칩으로 0.35um공정에서 설계되어 그림 6.과 같이 구현되었다. 소비 전류 측정 결과, 디지털 서보에서는 0.35um 저전력 공정을 사용함에 따른 효과로 인해 0.5um 공정으로 계산된 예상치 값(9.5mA)보다 훨씬 적은 약 5mA@2.4V의 전류 소비만으로 재생 모드 동작이 이루어짐을 확인하였으며, 이 결과는 디지털 서보가 전체 one-chip에서 소비전류를 차지하는 비중이 약 50%에서 20%로 줄어들게 되었음을 알 수 있다. 이 결과는 휴대용 광디스크 재생기에 적용하기에 훌륭한 소비 전류로써, 앞으로 DVD등에도 적용하면 휴대용으로서의 디지털 서보로서 큰 효과가 기대된다.

표 3. 기존 아키텍처와 제안된 아키텍처의 소비 전류 비교표

Table 3. Total current consumption and size comparison in conventional and the proposed architecture.

0.5um process, 5V operation					
Block Name	Size(mm <sup>2</sup> )		소비전류(mA)		감소율
	Conventional	Proposed	Conventional	Proposed	
DSP Core	3.02	3.02	13.55	3.75	1/3.61
ROM	2.40	2.36	25.00	2.68	1/9.33
SRAM x 2	2.34	1.12	16.21	2.51	1/6.46
Sub-Total	7.76	6.50	54.76	8.94	1/6.13
PMHW	0.00	0.46	0.00	0.56	-
Total	7.76	6.96	54.76	9.50	1/5.76

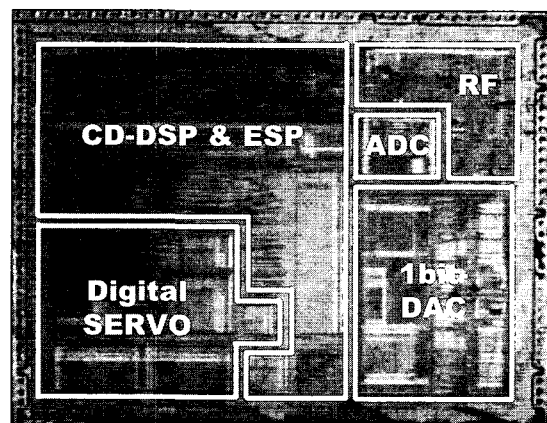


그림 6. 제안된 아키텍처를 적용한 칩 사진  
Fig. 6. Micro-photograph of the chip(0.35um process)

참 고 문 헌

- [1] Yoon-hee Lee, "Single chip processor for CDP and CDROM", in *Proc. Of IEEE Conf. On Consumer Electronics*, pp. 364-365, Jun. 1995.
- [2] Yutaka Uekawa, "The development of digital servo algorithms for optical disc players", *IEEE Trans. Consumer Electronics*, vol. 36, no. 3, pp. 567-571, Aug. 1990.
- [3] Takeshi Sasaki, "A digital servo signal processing LSI for compact disc players", *IEEE Conf. On Consumer Electronics*, pp. 176-177, Jun. 1991.
- [4] *STD85/STDM85 0.5um High Density Gmos Standard Cell Library Data Book*, Samsung Electronics Co., Ltd, 1997
- [5] *Samsung SSP 1610 User's Manual*, Samsung Electronics Co., Ltd, 1998.
- [6] R.W.C. Groen, "One chip digital servo for compact disc", *IEEE Conf. On Consumer Electronics*, pp. 178-179, Jun. 1991.

저 자 소 개



許 峻 豪(正會員)  
 1969년 9월 18일생. 1992년 2월 고려대학교 전자공학과 학사. 1994년 2월 고려대학교 전자공학과 석사. 1994년 2월~현재 삼성전자 책임연구원. 2000년 9월 고려대학교 전자공학과 박사과정

金 壽 遠(正會員) 第 36卷 D編 第2號 參照  
 현재 고려대학교 전기전자전파공학부 정교수