

능동 클램프 모드로 동작하는 단일 전력단 AC/DC 컨버터에 의한 역률개선

論 文

50B-8-4

Power Factor with Single Power Stage AC/DC Converter Operated in Active-Clamp Mode

尹 信 容* · 白 壽 鉉** · 金 龍*** · 金 澈 珍[§] · 魚 昌 鎮^{§§}

(Shin-Yong Yoon · Hyun-Soo Baek · Yong Kim · Cherl-Jin Kim · Chang-Jin Eo)

Abstract - This paper presents the single-stage high power factor AC to DC converter operated in active-clamp mode. The proposed converter is added active-clamping circuit to boost-flyback single-stage power factor corrected power supply. The active-clamping circuit limits voltage spikes, recycles the energy trapped in the leakage inductance, and provides a mechanism for achieving soft switching of the electronic switches to reduce the switching loss. The auxiliary switch of active-clamping circuit uses the same control and driver circuit as the main switch to reduce the additional cost and size. To verify the performances of the proposed converter, a 100W converter has been designed. The proposed converter gives good power factor correction, low line current harmonic distortions, and tight output voltage regulation, as used unity power factor.

Key Words : Single-stage AC/DC converter, Active clamping circuit, Boost-flyback converter, Power factor, Active Clamp Mode.

1. 서 론

산업의 발달과 더불어 많은 시스템이 전자화 및 정보화되어 감에 따라 양질의 직류전원 장치가 더욱 중요시되고 있다. 특히 각종 전자기기는 정밀화, 경량화의 추세에 따라 시스템의 안정화를 위한 속응성과 신뢰성이 필수적으로 요구되고 있으며 고전력 밀도의 직류 안정화 장치에 대한 양질의 전원기술이 개발되고 있다. 기존의 직류전원장치는 다이오드 정류기를 이용함으로써 구성이 간단하고 사고의 위험이 적으며 가격이 저렴한 콘덴서 입력형 다이오드를 주로 사용하여왔다. 그러나 이러한 정류방식은 교류 입력전압의 피크치 부근에서만 입력전류가 흐르기 때문에 전류의 파형이 펄스파형이 되어 역률의 저하와 많은 고조파를 발생한다.

이러한 영향들은 다른 전원 계통의 효율의 저하나 주변의 전자기기에 전자기적 간섭을 끼치면서 소음 및 잡음, 기기의 오동작을 초래하는 등의 심각한 영향을 초래하게 되며 이와 관련된 연구가 다양하게 시도되고 있다.[1],[2] 특히 역률 개선을 기하기 위하여 부스트 컨버터를 사용하는 경우 용량이 큰 인덕터를 사용하거나 매우 높은 주파수의 고주파 스위칭

을 적용하여 THD를 저감하는 방안을 제안하고 있으나, 순시전압이 낮은 경우에는 전류의 왜곡이 심해지고 고조파가 증가하는 단점이 존재하게 된다.[5],[8] 따라서, 본 연구에서는 이러한 기존의 단점을 개선하기 위하여 능동 클램프 모드로 동작하는 단일 전력단 AC/DC 컨버터에 의한 역률 개선을 연구대상으로 한다.

일반적으로 스위칭 전원장치는 교류 입력을 직류로 변환하는 정류부(AC-DC)와 그 직류입력을 부하변동 및 입력전압의 변화에 대해 안정화시키기 위한 DC-DC 변환부로 분류할 수 있다. 각종 전자기기용 직류전원으로 많이 이용되고 있는 커패시터 입력형 정류회로는 순시정전에 대한 대응이나, DC-DC 변환부의 입력전압 변동을 억제시켜 소자의 부담을 줄이기 위해서 큰 용량의 커패시터가 필요하다.

그러나, 커패시터 용량이 커질수록 짧은 시간에 많은 양의 에너지를 저장하기 위한 큰 전류가 흐르게 되며 이때, 피크치는 실효치의 5~10배 정도가 된다. 대체로 정류기의 입력전류 형태는 불연속이므로 입력전압의 왜곡과 입력전류의 고조파 성분으로 인해 주변기기에 영향을 미치게 된다.

이러한 문제들을 해결하기 위해 스위칭 전원의 DC-DC 컨버터에 역률 개선회로를 보상하는 방법에 대한 연구가 제안되고 있다. 특히, 전력변환장치의 부피와 제작비용 등을 줄이기 위해 단일 전력단에서 역률개선과, 입력측과 출력측을 전기적으로 절연하여 DC-DC변환 기능을 동시에 수행하는 단일 전력단(single-stage) 역률개선용 컨버터에 대한 연구가 요구되고 있다[1]~[3].

일반적으로 스위칭 전원장치에서 전원의 역률을 개선시키기 위한 회로방식은 승압형 컨버터(boost-type converter)를 기본 회로로 사용하고 있다. 종래의 단일 전력단 역률개선(PFC) 컨버터에 관한 연구의 경우 승압형 컨버터를 불연속

* 正 會 員 : 東國大 産業技術研究員 傳任研究員 · 工博

** 正 會 員 : 東國大 電氣工學科 教授 · 工博

*** 正 會 員 : 東國大 電氣工學科 副教授 · 工博

§ 正 會 員 : LG 電子 PC설계실 研究員 · 碩士

§§ 正 會 員 : 漢陽大 電氣電子通信工學部 副教授 · 工博

接受日字 : 2000年 10月 20日

最終完了 : 2001年 8月 14日

전류모드(DCM)로 동작시켜 입력전류를 정현파화하여 역률을 개선하는 방법이 주로 사용되어 왔다.[1],[5] 그러나, 이 경우 승압형 컨버터는 DC-DC변환부의 변압기 입력단 커패시터에 입력전압의 2배 이상의 높은 전압이 걸려 반도체 스위치 등의 소자에 높은 전압 스트레스(stress)를 가하게 되는 단점이 존재하게 된다. 또한 단일 전력단 역률개선용 컨버터는 일반 DC-DC 컨버터에 비해 고주파 변압기의 누설 인덕턴스 영향으로 인해 스위칭 동안 높은 전압의 스트레스와 많은 손실을 발생하게 된다[4].

따라서, 본 논문에서는 이러한 문제를 억제할 수 있도록 능동 클램프 모드로 동작하는 고역률 단일전력단 AC/DC 컨버터를 제안한다. 제안된 회로는 부스트-플라이백(boost-flyback) 단일 전력단 컨버터에 능동 클램프 회로를 부가하여 스파이크 전압을 제한하고, 소프트 스위칭을 구현함으로써 입력의 역률을 보정하고 고조파를 저감하여 반도체 소자의 스위칭 손실을 저감시킬 수 있도록 구성하였다 [5]. 또한, 능동 클램프 회로의 보조 스위치는 주 스위치와 동일한 구동회로에 추가함으로써 비용을 저감하도록 구현하였다. 이에 따라 100[W]급 AC/DC 컨버터를 설계, 제작하며 시뮬레이션 및 실험결과를 통하여 이에 대한 타당성을 확인하고자 한다.

2. 단일 전력단 AC/DC 컨버터

2.1 단일 전력단 AC/DC 컨버터 회로

컨버터의 제어방식은 연속 전류모드 (continuous current mode : CCM) 와 불연속 전류모드 (discontinuous current mode : DCM) 로 분류할 수 있다. 그림 1(a),(b),(c)는 승압형 컨버터(boost converter)를 이용한 2단(two-stage)방식 역률 개선용 컨버터의 개략적인 회로도 및 전압, 전류파형을 나타낸다.

CCM 제어방식은 그림 1(b)의 제어방식과 trade-off의 관계가 성립하게 된다. 즉 이는 입력전류와 전압을 검출하여 전류가 전압을 따라 가도록 두 개의 제어루프를 구성해야 하므로 제어가 까다롭다. 추가적으로 이 방식은 전류센서가 필요하게 되며 스위칭 다이오드가 턴 오프 할 때 발생하는 역회복 현상 때문에 노이즈 및 효율의 문제점을 발생시킨다. 따라서 이러한 용량은 대용량 급에 사용된다.

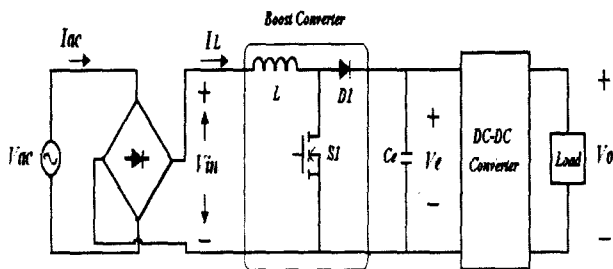
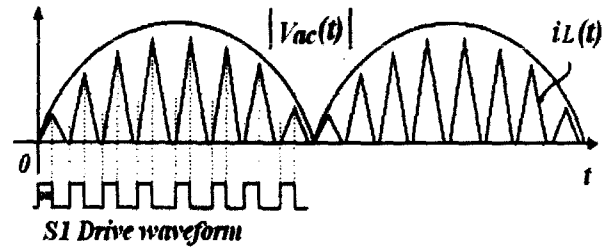


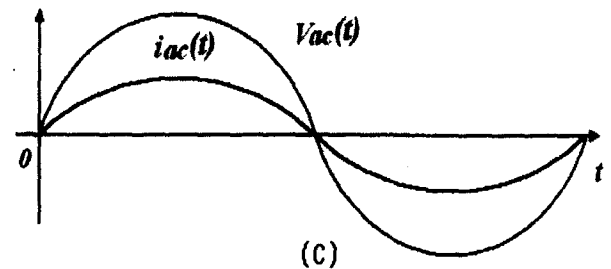
그림 1(a) 승압형 컨버터를 이용한 two-stage 역률개선용 컨버터

Fig. 1(a) Two-stage PFC AC/DC converter with boost topology

DCM 제어방식은 그림 1(b),(c)와 같이 나타나며 불연속전류모드로 즉 영전류 시점에서 스위칭 하므로 스위칭 손실을 최소화 할 수 있는 장점 및 전압과 전류의 검출 없이 주 소자를 스위칭 하게 되면 입력전류의 피크값이 입력전압을 추종하게 되어 입력전류의 평균값이 정현파 형태로 만들어 갈 수 있다. 그러나 이 방식은 높은 전압과 전류의 스트레스를 주 소자에 인가하게 되므로 대용량 급에는 적용이 힘들지만 소용량 급에서 제어가 간단하기 때문에 가장 많이 사용된다.



(b)



(c)

그림 1(b),(c) 불연속전류모드 승압형 컨버터의 역률개선 파형

Fig. 1(b),(c) PFC waveforms of DCM boost converter

승압형 컨버터의 인덕터 입력전류 첨두값은 입력 선간전압을 추종하게 되며 이는 식(1)과 같다.

$$i_{Lpeak} = \frac{|v_{ac}(t)|}{L} DT_s = \frac{V_{in} |\sin \omega_L t|}{L} DT_s \quad (1)$$

여기서,

D : S_1 의 시비율

T_s : 스위칭 주기

이로부터 역률개선을 위한 별도의 전류센서와 제어기 없이 간단한 구조로 역률 개선이 가능하다. 따라서 본 장에서는 이러한 불연속전류모드로 동작하는 승압형 컨버터를 플라이백 컨버터(flyback converter)와 결합하여 높은 역률과 안정화된 출력전압을 얻을 수 있는 단일 전력단 AC/DC 컨버터를 제안한다. 따라서 그림 3은 본 논문에서 제안하는 단일 전력단 방식의 능동 클램프 AC/DC 컨버터를 나타낸 것이다.

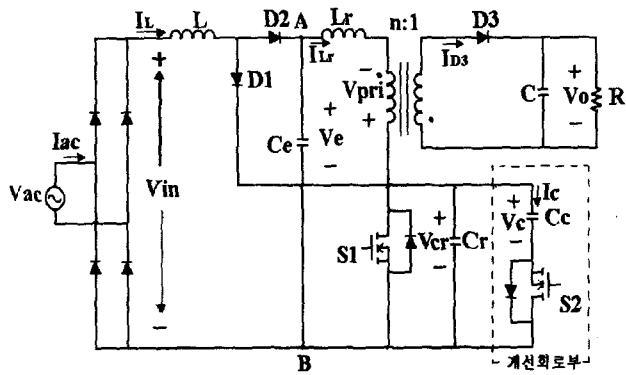
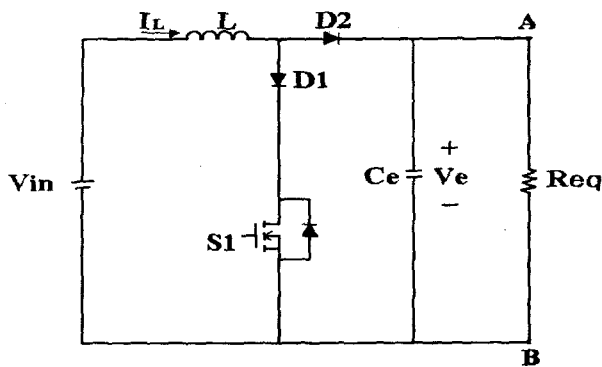


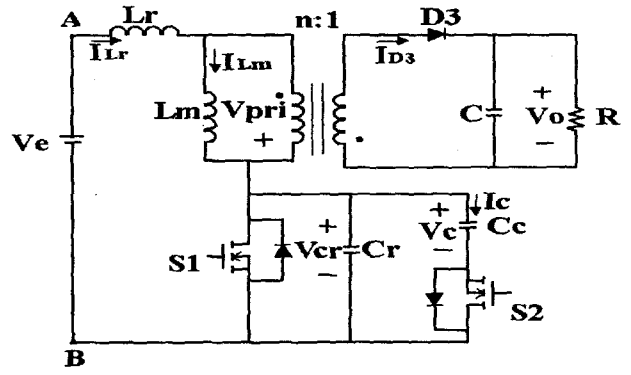
그림 2 제안된 단일 전력단 AC/DC 컨버터
Fig. 2 The proposed single-stage AC/DC converter

역률 개선용 컨버터는 승압형 컨버터를 기본회로로 하였으며 DC-DC 변환부는 기기의 소형화와 제작비용의 절감 및 저 전력의 단일 또는 다중 출력에 적합한 플라이백 컨버터를 채택하였다. 제안된 회로에서 스위칭주기 동안 V_{in} 이 일정 직류전원이라 가정하면, 입력 커패시터 C_e 도 스위칭주기 동안 일정전원을 유지한다. 이때 C_e 가 매우 크기 때문에 제안된 컨버터 회로는 독립적인 두 컨버터로 나누어 생각할 수 있다.

그림 3(a),(b)는 제안된 회로의 부스트 컨버터부와 플라이백 컨버터부의 등가회로이다. 두 컨버터부는 주 스위치 S_1 에 공통으로 접속되어 있고, A점과 B점은 부스트 컨버터부의 출력단자인 동시에 플라이백 컨버터의 입력 단자가 된다. 여기서 (a)의 부스트 컨버터부는 불연속전류모드로 동작하여 역률개선을 수행하고, (b)의 플라이백 컨버터부는 연속전류모드 또는 전류불연속모드로 동작하며 DC-DC변환 기능을 수행한다.



(a) 승압형 컨버터부



(b) 플라이백 컨버터부

그림 3 제안된 단일 전력단 컨버터의 등가회로
Fig. 3 Equivalent circuits of the proposed single-stage converter

여기서, 다이오드 D_1 은 D_2 를 통해 순환하는 변압기의 1차 전류를 제한하는 역할을 한다. C_r 은 스위치 S_1 , S_2 의 기생 커패시터이며 L_r 은 변압기의 누설인덕턴스와 외부 인덕턴스의 합을 나타낸다. C_r 과 L_r 은 직렬 공진회로를 형성하며 소프트 스위칭을 가능하게 한다. 또한 보조 스위치 S_2 와 클램프 커패시터 C_c 는 능동 클램프 회로를 형성하며 주 스위치 S_1 에 걸리는 공진전압을 제한한다. 링크 커패시터 C_e 는 에너지 저장형 커패시터의 기능을 의미한다.

2.2 제안된 단일 전력단 회로의 동작해석

제안된 회로의 동작해석을 위해 다음과 같은 가정을 한다.

- 입력 커패시터 C_e 의 커패시턴스가 매우 크므로 정전압원으로 가정하며, C_e 양단의 리플전압은 무시한다.
- 모든 소자는 이상적이다. 즉, 기생저항, 반도체 스위치의 전도손실은 모두 0이며, 스위치의 지연시간은 무시한다.
- 변압기 2차측의 누설인덕턴스는 무시하고, 자화인덕턴스 L_m 과 1차측에 누설인덕턴스 L_r 을 갖는 이상적인 변압기라 가정한다.

그림 4는 제안된 회로에 의해서 한 주기 동안 발생하는 이론적인 파형을 나타낸다.

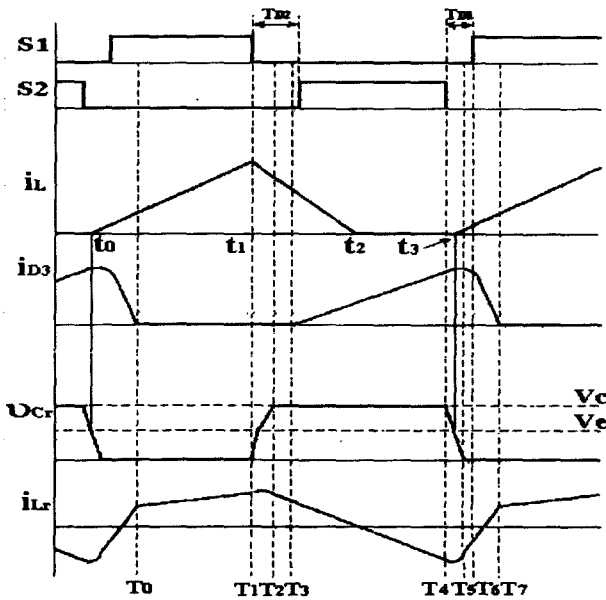
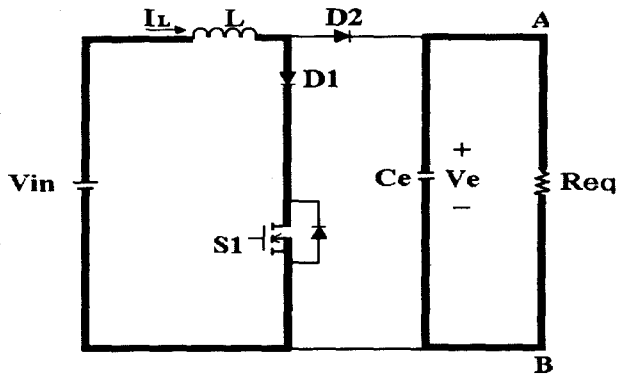


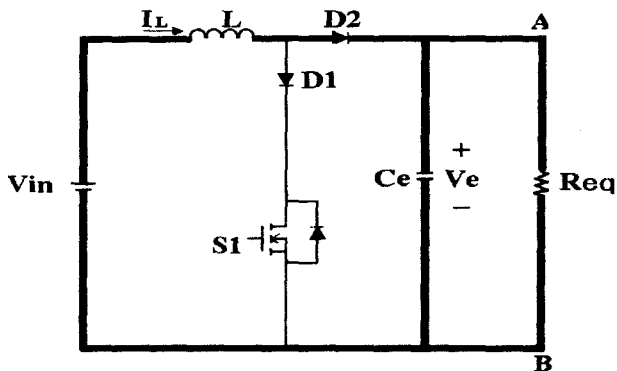
그림 4 제안된 회로의 이론적인 파형
Fig. 4 Steady-states waveforms of the proposed circuit

2.2.1 승압형 컨버터회로의 모드별 동작원리

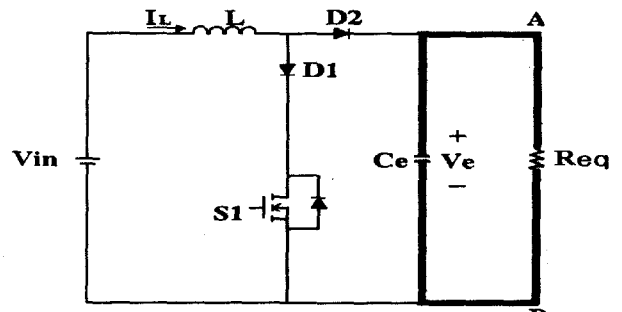
그림 5(a)~(c)는 역률개선을 위한 승압형 컨버터부의 모드별 동작원리를 나타낸 것이다[6][7].



(a) Mode 1 [$t_0 \sim t_1$]



(b) Mode 2 [$t_1 \sim t_2$]



(c) Mode 3 [$t_2 \sim t_3$]

그림 5 승압형 컨버터부의 모드별 등가회로
Fig. 5 Equivalent circuits of boost converter

① 모드 1 [$t_0 \sim t_1$]

주 스위치 S_1 이 도통되면 다이오드 D_2 는 역바이어스되어 차단된다. 입력 전원 V_{in} 에 의해 입력 인덕터 L 에 에너지가 충전되며, L 에 흐르는 전류는 $\frac{V_{in}}{L}$ 의 기울기로 서서히 증가한다.

② 모드 2 [$t_1 \sim t_2$]

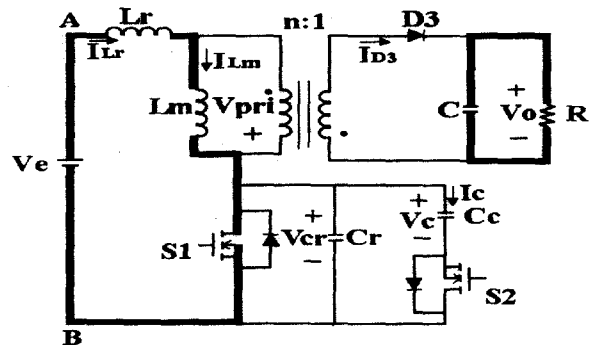
$t = t_1$ 에서 S_1 이 차단되면 D_2 가 도통되어 인덕터 전류 i_L 이 0이 될 때까지 C_e 에 에너지가 충전된다.

③ 모드 3 [$t_2 \sim t_3$]

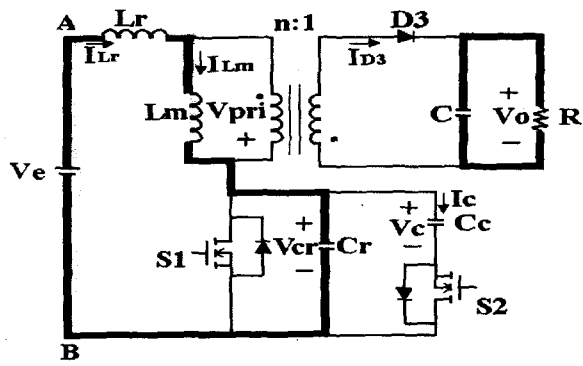
$t = t_2$ 에서 다이오드 D_2 는 차단되고, 인덕터 전류 i_L 은 0 상태를 유지한다. C_e 에 저장된 에너지가 부하측으로 방전된다.

2.2.2 플라이백 컨버터 회로의 모드별 동작원리

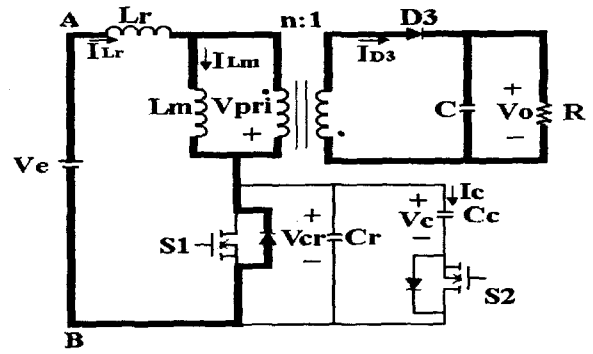
그림 6(a)~(g)는 DC/DC 변환을 위한 플라이백 컨버터부의 모드별 동작원리로서, 모드 1과 모드 5는 각각 자화 인덕터 전류를 선형적으로 충전하거나, 자화 인덕터 전류를 출력측에 전달하는 특징을 가지므로 기존의 플라이백 컨버터의 스위칭 모드와 동일하다. 모드 2~모드 5는 주 스위치의 소프트 턴오프(turn-off) 과정이며, 모드 6~모드 7은 주 스위치의 소프트 턴온(turn-on)과정을 나타낸다.



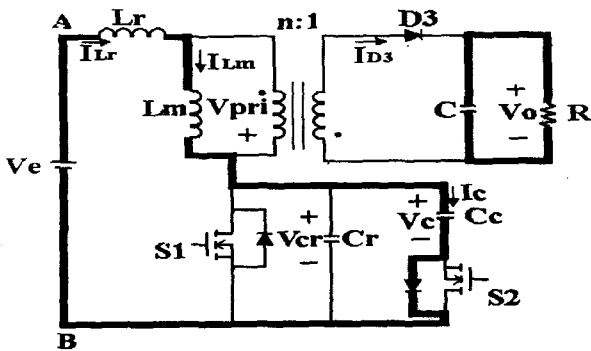
(a) Mode 1 [$T_0 \sim T_1$]



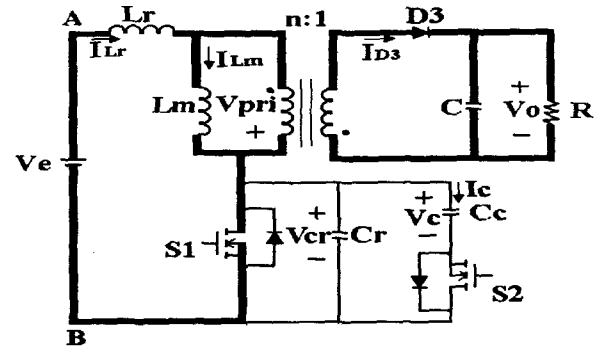
(b) Mode 2 [$T_1 \sim T_2$]



(f) Mode 6 [$T_5 \sim T_6$]



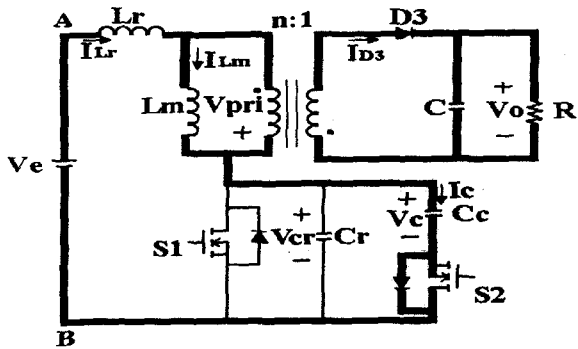
(c) Mode 3 [$T_2 \sim T_3$]



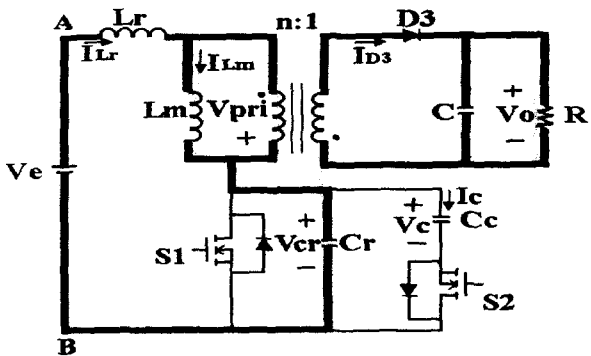
(g) MODE 7 [$T_6 \sim T_7$]

그림 6 플라이백 컨버터부의 모드별 등가회로

Fig. 6 Equivalent circuits of flyback converter



(d) Mode 4 [$T_3 \sim T_4$]



(e) Mode 5 [$T_4 \sim T_5$]

① 모드 1 [$T_0 \sim T_1$]

주 스위치 S_1 이 온(on)상태를 지속하는 모드로서, 자화 인덕터 전류를 선형적으로 증가시킨다. 주 스위치 S_1 을 제외한 모든 스위치(S_2, D_3)는 차단된다.

② 모드 2 [$T_1 \sim T_2$]

주 스위치 S_1 을 T_1 에서 차단하면 자화 인덕터 전류에 의해서 C_r 을 충전한다. 그런데, 자화 인덕터 에너지는 C_r 의 에너지에 비해 매우 크므로 스위치 전압 v_{cr} 은 선형적으로 증가한다.

③ 모드 3 [$T_2 \sim T_3$]

모드 2의 동작 중 T_2 에서 커패시터 C_r 의 전압이 V_c 와 같아지면 보조 스위치 S_2 의 내부 다이오드가 자연적으로도 통되면서 그림 7(c)와 같은 회로를 형성한다. 클램프 커패시터 C_c 는 자화 인덕터와 누설 인덕터에 걸리는 전압을 $V_c - V_o$ 로 고정시킨다. 자화 인덕터와 누설 인덕터에 저장된 에너지는 클램프 커패시터 C_c 를 충전시킨다. 이때, 클램프 커패시터 C_c 의 전압 V_c 는 자화 인덕터와 누설 인덕터에 나뉘어 걸리게 된다. 따라서, 변압기 1차측에 걸리는 전압은 식 (2)와 같다.

$$V_{pri} = (V_c - V_e) \frac{L_m}{L_r + L_m} \quad (2)$$

④ 모드 4 [$T_3 \sim T_4$]

모드 3에서 클램프 커패시터 전압 V_c 가 상승하여 1차측 전압이 2차측 다이오드 D_3 를 도통시킬 정도로 작아지면 $t = T_3$ 에서 그림 7(d)와 같은 회로가 된다. 이때, 변압기의 1차측 전압은 출력전압 V_o 에 의해 대략 nV_o 로 제한된다. 1차측 전압이 출력전압에 의해서 제한되므로 인덕터 L_r 과 커패시터 C_c 는 공진을 시작한다. 이때, 스위치 S_2 는 영전압 턴온을 위하여 다이오드 D_3 가 도통된 상태에서 미리 턴온시켜 주어야 한다.

⑤ 모드 5 [$T_4 \sim T_5$]

$t = T_4$ 에서 보조 스위치 S_2 가 영전압에서 차단되면 인덕터 L_r 과 C_r 이 새로운 공진회로를 구성한다. 이때 변압기 1차측 전압 V_{pri} 는 2차측 전압에 의해서 계속 nV_o 를 유지한다.

⑥ 모드 6 [$T_5 \sim T_6$]

$t = T_5$ 에서 커패시터 전압 V_{cr} 이 감소하여 0이 되면 스위치 S_1 의 내부 다이오드가 턴온되면서 모드 6이 시작된다. 이때 누설인덕터에 걸리는 전압은 $V_e + nV_o$ 가 되므로 인덕터 전류는 그림 5와 같이 급격히 상승한다. 스위치 S_1 이 영전압 턴온하기 위해서는 인덕터 전류가 양(+)이되기 전에 스위치 S_1 을 턴온시켜 주어야 한다.

⑦ 모드 7 [$T_6 \sim T_7$]

모드 6에서 누설 인덕터 전류가 0 보다 커지면 S_1 내부 다이오드를 통하여 흐르던 전류는 S_1 이 턴온되면서 그림 7(g)와 같은 모드 7이 된다. 모드 7은 누설 인덕터 전류가 더욱 증가하여 자화 인덕터 전류와 같아지면 i_{D3} 가 0보다 작아져 다이오드 D_3 가 영전류에서 턴오프 될 때까지 계속 된다.

2.3 정상상태 해석

인덕터의 입력 전류 i_L 은 모드 1과 모드 6 구간동안 0에서부터 선형적으로 증가한다. 입력전류의 피크치는 주 스위치 S_1 이 턴-오프 되는 시점인 $t_1 (= T_1)$ 이며, 이는 식 (3)과 같이 표현된다.

$$i_{L,peak} = \frac{|v_{in}(t)|}{L} DT_s = \frac{V_{in} |\sin \omega_L t|}{L} DT_s \quad (3)$$

여기서,

v_{in} : 정류된 입력전압

$D = (t_1 - t_0) / T_s$, T_s : 스위칭주기

정류된 선간 입력전압이 $v_{in}(t) = V_{in} |\sin \omega_L t|$ 일 경우 입력전류의 평균값은 식 (4)와 같이 표현된다.

$$i_{in,ave}(t) = \frac{1}{2} i_{L,peak}(t) D = \frac{D^2 V_{in}}{2f_s L} |\sin \omega_L t| \quad (4)$$

여기서 만약 정상상태에서 시비율과 스위칭 주파수가 일정하게 유지된다면, 이때의 평균 입력전류는 입력전압과 주기가 같고 크기가 비례하는 형태이므로, 결국 인덕터 전류의 평균치는 전압과 동상이 된다. 따라서, 컨버터는 높은 역률을 발생할 수 있으며 그 만큼의 고조파 성분도 저감시킬 수가 있다.

식 (4)를 이용하여 입력전력을 구하면 식 (5)와 같다.

$$P_{in} = \frac{1}{2} V_{in} i_{in,ave(max)} = \frac{D^2 V_{in}^2}{4f_s L} \quad (5)$$

식 (5)의 입력전력은 입력 커패시터 C_e 에 전력을 공급하고 플라이백 출력단은 이 커패시터로부터 에너지를 공급받는다. 플라이백 단의 입력전력은 식 (6)과 같다.

$$P_i = \frac{V_e^2}{R_i} \quad (6)$$

여기서,

P_i : 플라이백 단의 입력전력

R_i : 플라이백 단의 입력저항

승압 단의 효율을 100[%]라 가정하면 정상상태의 링크 전압 V_e 는 식 (7)과 같다.

$$V_e = kDV_{in} \quad (7)$$

여기서,

$$k = \frac{1}{2} \sqrt{\frac{R_i}{f_s L}}$$

이때 입력단의 역률을 개선하기 위해서 승압 단은 모든 구간에서 DCM으로 동작해야 한다. 따라서 입력 선간전압의 최대값 V_{in} 과 DCM과 CCM의 경계에서 승압 단의 동작을 고려할 때 DCM의 동작 조건은 식 (8)과 같다.

$$V_e \leq \frac{1}{1-D} V_{in} \quad (8)$$

여기서, V_{in} 이 일정한 값으로 유지될 경우 DCM의 동작을 위한 조건은 식(7)과 식(8)로부터 다음과 같이 나타낼 수 있다.

$$V_{in} k \leq (k-1) V_{in} \quad (9)$$

식 (9)로부터 DCM으로 동작하기 위한 입력전압의 최소값을 계산할 수 있다.

또한 최대 시비율과 줌두 입력전압에서 입력 인덕터 L 은 불연속 전류모드(DCM)로 동작하도록 설계한다. 입력 인덕터 L 의 값은 식 (5)로부터 식 (10)과 같이 나타낼 수 있다.

$$L \leq \frac{D^2 V_{in}^2}{4f_s P_{in}} \quad (10)$$

2.4 클램프 커패시터 및 역률개선

클램프 커패시터의 전압에는 변압기의 자화인덕턴스, 누설 인덕턴스 및 클램프 커패시터의 공진 패턴이 발생하며 이는 식 (11)과 같다. 이때 공진 주기가 낮으면 전압의 첨두값이 상승한다. 전압의 첨두값이 상승하는 것을 방지하기 위해서는 식 (12)와 같이 공진 주기의 반 주기가 주 스위치의 차단시간 보다 훨씬 길도록 클램프 커패시터를 선정하여야 한다.

$$f_r = \frac{1}{2\pi \sqrt{LC}} \quad (11)$$

$$\pi \sqrt{(L_m - L_r) \cdot C_c} \gg t_{offmax} \quad (12)$$

- t_{offmax} : 주 스위치 차단시간
- L_m : 변압기 자화 인덕턴스
- L_r : 누설 인덕턴스
- C_c : 클램프 커패시터

$v(t)$ 가 정현파이면 역률은 식 (13)과 같이 표현된다.

$$PF = \frac{V_{rms} \cdot I_{rms(1)} \cos \theta}{V_{rms} \cdot I_{rms}} = \frac{I_{rms(1)}}{I_{rms}} \cos \theta \quad (13)$$

여기서,

- V_{rms} : 입력전압의 실효값[rms]
- I_{rms} : 입력전류의 실효값[rms]
- $I_{rms(1)}$: 기본 고조파 전류의 실효값[rms]
- θ : 전압과 전류의 기본 고조파 변위각

입력전류에 대한 실효값은 식 (14)와 같다.

$$I_{rms} = \sqrt{\sum_{n=1}^{\infty} I_{rms(n)}^2} \quad (14)$$

입력전류의 왜곡 정도를 백분율로 표시하는 총 고조파 왜곡율(Total Harmonic Distortion, THD)은 식 (13)~식 (14)을 이용하여 THD를 표현하면 식 (15)과 같다.

$$THD = \frac{\sqrt{I_{rms}^2 - I_{rms(1)}^2}}{I_{rms(1)}} \times 100 \quad (15)$$

따라서, 입력전압과 전류의 기본 성분이 동상일 때 역률은 식 (16)과 같이 표현되며, 고조파 왜곡을 억제함으로써 고역률이 가능함을 알 수 있다.

$$PF = \frac{1}{\sqrt{1 + \left(\frac{THD}{100}\right)^2}} \quad (16)$$

3. 시뮬레이션 및 실험결과

표 1은 본 논문에서 제안하는 시스템의 설계사양 및 구성 소자를 나타낸 것이다.

표 1 설계 사양 및 구성 소자

Table 1. Design specification and devices

기 호	수 치 [단 위]	기 호	수 치 [단 위]
V_{ac}	110 [V_{rms}]	L_{pri}	782 [μH]
P_o	100 [W]	L_r	46.92 [μH]
V_o	25 [V]	L	87 [μH]
I_o	4 [A]	C_e	160 [μF]
f_s	100 [kHz]	C_c	0.47 [μF]
D_{max}	0.45	S_1, S_2	IRF 840
η	85 [%]	D_3	MBR10100
Core	EER28/28	C	100 [μF]

본 연구에서는 표 1의 설계사양에 따라 100[W]급의 커버터를 제작하였으며, 회로 설계시 출력 정격을 100[W] (25[V]/4[A]) 단일출력으로 설정하였으며, 실험을 통하여 정격부하에서 약 82[%]의 효율을 나타내는 것을 확인할 수 있었다. 여기서 PWM 제어용 IC는 Unitrode사의 UC3842 칩을 사용하였고, 주 스위치와 보조 스위치의 게이트 구동은 TC428 MOSFET 게이트 전용 구동 IC를 사용하여 추가되는 부품수를 줄이고자 하였다. 이때 보조 스위치 구동은 필스트랜스를 제작하여 주 스위치와 보조 스위치의 구동 전원이 분리되도록 하였다.

그림 7은 제안한 능동 클램프 모드로 동작하는 단일전력 단 AC/DC 컨버터회로의 시뮬레이션 결과 파형을 나타낸 것으로 그림 4의 이론적인 동작원리의 해석결과와 일치하고 있으며, 인덕터의 입력전류는 불연속으로 동작함을 알 수 있다.

그림 8은 인덕터 전류와 입력전압 및 전류에 대한 시뮬레이션 결과를 나타낸 것이다. 여기서 입력 전압과 전류가 완전히 동위상으로 제어되고 있으며 안정되게 파형이 출력되고 있다. 이러한 경우는 파형에 왜곡을 발생하는 저차인 제 3, 5차 고조파가 거의 제거된다.

표 2는 능동클램프 회로를 부가하지 않은 모델과 제안된 모델의 동작에 의한 고조파 전류의 크기를 나타낸 것이며 여기서 우수 고조파는 매우 작으므로 무시하고 기수 고조파 크기만을 나타내었다. PSpice를 이용한 표 2의 THD 해석 결과로부터 역률 개선 전의 컨버터 모델에서 역률은 약 89[%] 이나, 역률 개선 방안을 적용한 개선된 모델에서는 역률이 약 98[%] 로 향상되는 것을 확인할 수 있다.

표 2 역률 개선 전후의 고조파 및 역률 비교

Table 2 Harmonic Current comparison table

고 조 파 차 수 구 분	고 조 파					THD
	1차	3차	5차	7차	9차	
기존모델	1	0.1832	0.0559	0.0278	0.0214	49.5[%]
제안된 모델	1	0.0982	0.0071	0.0024	0.0067	18.3[%]

그림 9는 그림 2에서 역률 개선회로를 제거한 상태에서 입력의 선간전압과 입력전류의 실험파형을 측정된 결과이며 그림 10은 역률 개선회로를 부가한 경우의 입력전압과 입력 전류파형을 나타낸 실험결과이다. 여기서 입력 전류가 입력 전압과 동상을 이루며 첨두값을 추종하는 것을 알 수 있으며 이에 따라 역률 개선회로를 부가했을 때 전압과 전류가 거의 동상이 되어 역률이 1에 접근하여 개선되는 것을 확인할 수 있었다.

그림 11(a)는 각각 주 스위치 S_1 의 게이트 구동전압과 드레인과 소스사이의 양단 전압을 측정된 결과이며, 그림 11(b)는 정격부하시의 출력특성을 나타낸 것이다. 그림에서 주 스위치 차단시 양단 전압이 클램프 커패시터의 일정전압에 의해 제한되고 있으며 또한, 영전압의 턴온 및 턴오프가 이루어져 소프트 스위칭이 가능함을 알 수 있었다.

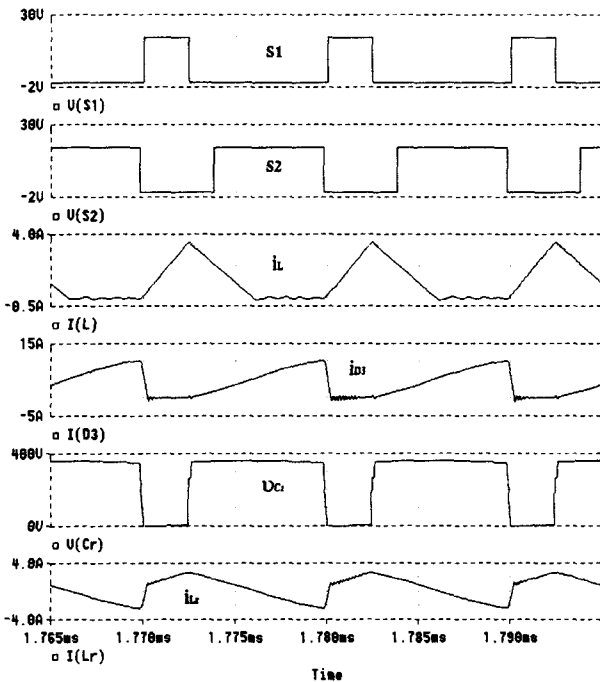


그림 7 클램프 모드에 의한 시뮬레이션 파형
Fig. 7 Simulation waveforms by clamp mode

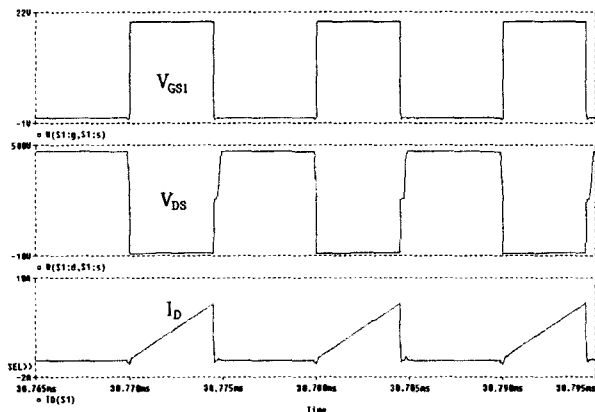


그림 9 주 스위치 S_1 전압, 전류의 시뮬레이션 파형
Fig. 9 Simulation waveforms of main switch voltage and current

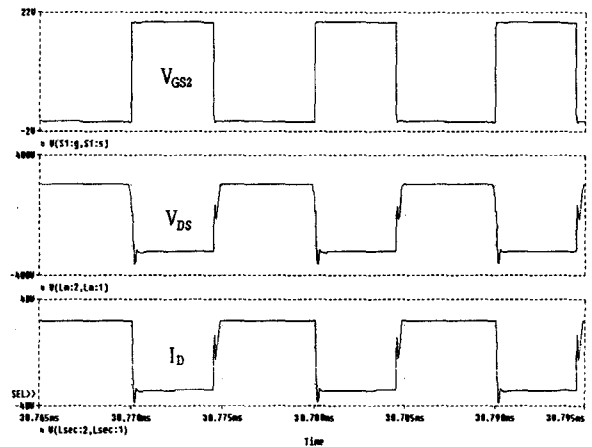


그림 10 보조 스위치 S_2 전압, 전류의 시뮬레이션 파형
Fig. 10 Simulation waveforms of sub-switch voltage and current

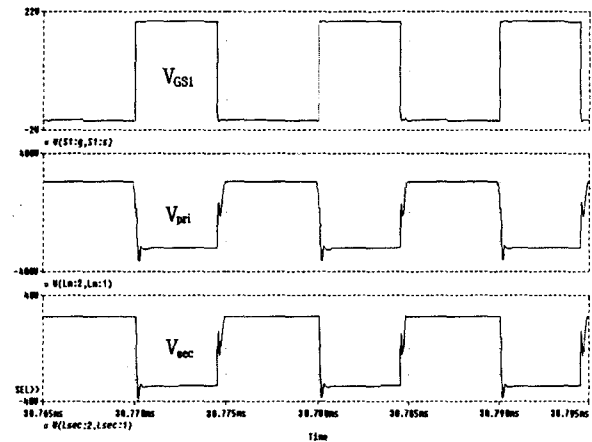


그림 11 변압기 1, 2차측 전압의 시뮬레이션 파형
Fig. 11 Simulation waveforms of transformer primary and secondary voltage

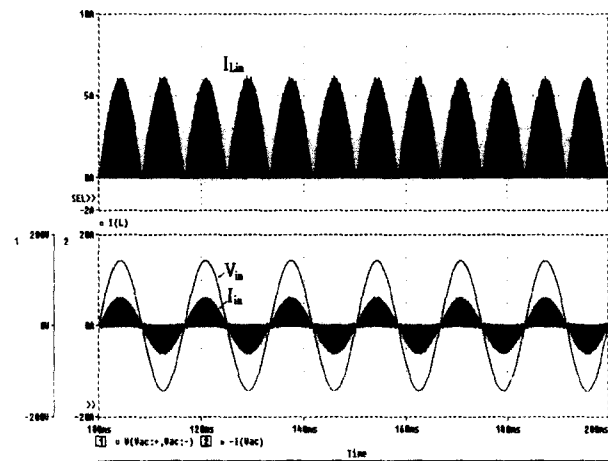


그림 12 인덕터 전류 및 입력 전압과 전류의 시뮬레이션 파형
Fig. 12 Simulation result of I_{in} , input voltage and current

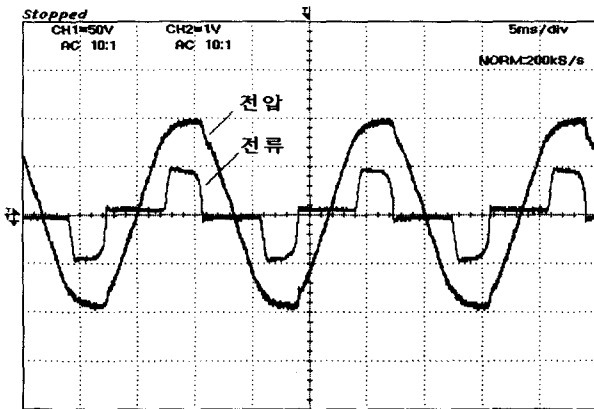


그림 13. 역률개선 전 입력전압 및 전류 파형
(50V/div, 1A/div)

Fig. 13 Input voltage and current waveforms without PFC

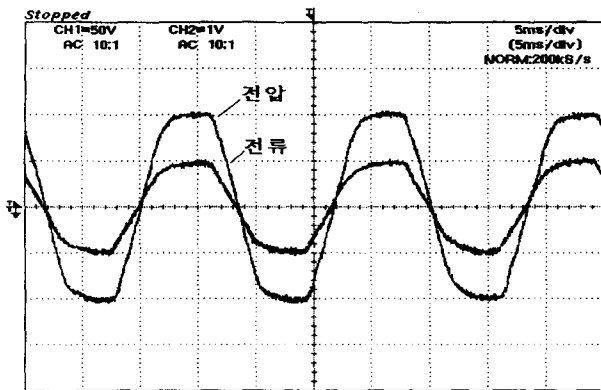


그림 14 역률개선 후 입력전압 및 전류 파형
(50V/div, 1A/div)

Fig. 14 Input voltage and current waveforms with PFC

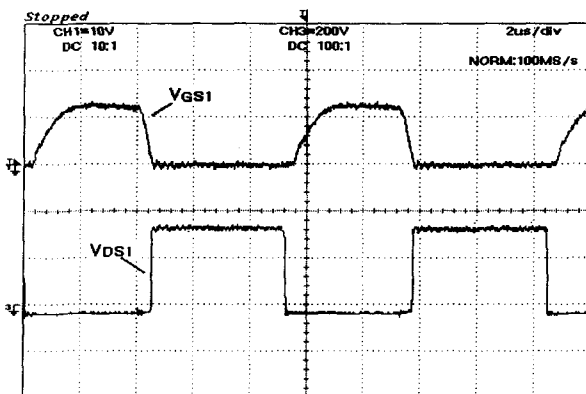


그림 15 주 스위치 S₁의 게이트와 양단전압 파형
(10V/div, 200V/div)

Fig. 15 Waveforms of switch S₁ V_{GS} and V_{DS}

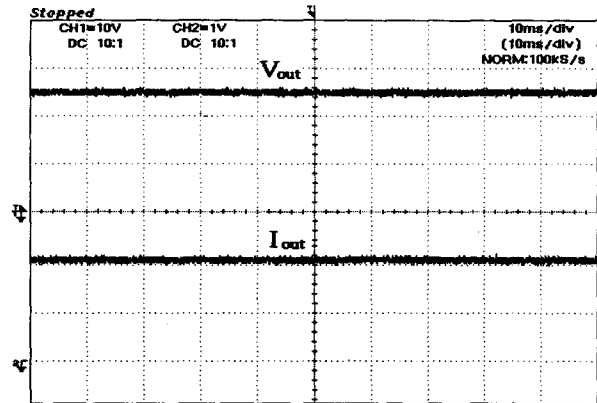


그림 16. 출력 전압과 전류 파형 (10V/div, 2A/div)

Fig. 16 Waveforms of output voltage and current

4. 결 론

본 연구에서는 고역률로 운전할 수 있는 능동 클램프모드의 승압형-플라이백 단일 전력단 AC/DC 컨버터를 제안하였다. 제안한 컨버터는 단일 전력단에서 승압형 컨버터와 DC/DC 변환을 동시에 수행할 수 있으며, 보조 스위치의 능동 클램프 회로를 이용하여 스위칭시 주 스위치에 발생하는 높은 스파이크 전압을 일정전압으로 제한하여 스위칭 스트레스를 감소시키도록 구성하였다.

또한, 변압기 누설 인덕턴스와 스위칭 소자의 기생 커패시터를 이용한 불연속 전류모드의 소프트 스위칭 기법을 적용하여 주 스위치와 보조 스위치의 영전압 스위칭을 구현하여 스위칭시 손실을 줄일 수 있었다. 따라서 본 연구에서 제안한 컨버터의 시뮬레이션 및 실험결과 왜형 되지 않고 정현적인 입력 전압과 전류의 동상인 파형을 얻을 수 있었으며 이에 따라 고역률과 낮은 고조파를 개선하였다. 제안된 회로의 검증은 위해서 PSpice에 의한 시뮬레이션을 수행하였으며 제안한 100[W]용 컨버터를 제작하였다.

참 고 문 헌

- [1] R. redl. L. Balogh and N.O. Solcal, "A new family of single stage isolated power-factor corrector with fast regulation of the output voltage," in proc. IEEE PESC'92 Rec, pp1137-144, 1992
- [2] D. Y. Huh. et, "New group of ZVS PWM converters operable on constant frequency and application to power factor correction circuit," IEEE PESC'92 record, pp1441-1446, 1992
- [3] SMPS 기술 조사 전문위원회, "SMPS 기술 현황," 대한 전기학회 기술조사보고, pp84-102, 1997
- [4] R. Watson, F. C. Lee & G. C. Hua, "Utilization of active-clamp circuit to achieve soft switch in flyback converters," Proceedings of the IEEE, pp909-916
- [5] R. Watson, G. C. Hua, and F. C. Lee, "Characterization of an active clamp flyback topology for power factor correction applications," Proceedings

of the ninth annual applied power electronics conference, pp412-418, 1994.

- [6] 백수현, 김용, 이윤중, 한경희, "전력전자", 통일출판사, 1994
- [7] 김희준, "스위치 모드 파워 서플라이", 성안당, 1996.
- [8] 박귀태 외, "인버터 에어컨용 능동 역률개선회로 설계 및 해석", 대한전기학회 논문지 46권 5호, pp 699-704, 1997
- [9] Dragan Maksimovic, "Design of the clamped-current

high-power factor boost rectifier," IEEE Trans. on Ind. Appl. Vol.31, No.5, pp 986-992, 1995

감사의 글

본 연구는 동국대학교 전문학술지 논문 게재 연구비 지원으로 이루어졌음.

저 자 소 개



윤 신 용 (尹 信 容)

1964년 9월 1일 생. 1992년 서울산업대 전기공학과 졸업. 1994년 동국대 전기공학과 졸업(석사). 1999년 동 대학원 전기공학과 졸업(공학박). 1999년~현재 동국대 산업기술연구원 전임연구원. 1997년~현재 동서울대학 전기과 겸임 교수.



김 철 진 (金 澈 珍)

1980년 한양대 공대 전기공학과 졸업. 1983년 동 대학원 전기공학과 졸업(석사). 1991년 동 대학원 전기공학과 졸업(공학박). 1991-1995년 생산기술연구원, KETI 제어기기 연구실장. 1995-현재, 한라대 전기전자제어 공학부 부교수



백 수 현 (白 壽 鉉)

1949년 5월 2일 생. 1972년 한양대 전기공학과 졸업. 1974년 동 대학원 전기공학과 졸업(석사). 1981년 동 대학원 전기공학과 졸업(공학박). 1977~현재 동국대 전기공학과 교수. 현재 대한전기학회 전기기계 및 에너지변환분야(B) 회장(평의원). 1999~현재 동국대 산업기술연구원 원장.



어 창 진 (魚 昌 鎭)

1972년 8월 27일 생. 1998년 동국대 전기공학과 졸업. 2000년 동국대 전기공학과 대학원 졸업(석사). 2000~현재 LG전자 PC 설계실 연구원.



김 용 (金 龍)

1957년 3월 20일 생. 1981년 동국대 전기공학과 졸업. 1983년 동 대학원 전기공학과 졸업(석사). 1994년 동 대학원 전기공학과 졸업(공학박). 1998년~1995년 대림대학 제어계측과 교수. 1995년~현재 동국대 전기전자공학부 부교수.