

# 스위치 모드 파워 서플라이에서의 전도 전자파 장애의 시뮬레이션과 분석

論 文

50B-3-4

## Simulation & Analysis of Conducted EMI in Switched Mode Power Supplies

李東映\* · 李載昊\*\* · 閔勝賢\*\* · 趙普衡\*\*\*  
(Dong-Young Lee · J. H. Lee · S. H. Min · Bo-Hyung Cho)

**Abstract** - Exact simulation of conducted EMI in switched mode power supplies is proposed. In order to achieve exact simulation, PSPICE active component ABM model and modified transformer model are proposed. Each model parameter is extracted from measurements and data-books. PSPICE simulation results with high frequency PCB pattern model are accordant with EMI measurements for a 50[W] isolated flyback converter. EMI relations of each component and EMI patterns are analyzed.

**keyword** : Electro-Magnetic Interference(EMI) , Analog Behavioral Model(ABM), Partial Element Equivalent Circuit(PEEC)

### 1. 서 론

최근들어 FCC, VDE, CISPR 같은 기관들의 EMI/EMC 규제가 전보다 더욱 엄격해지고 있다. 정확한 EMI의 예측은 하드웨어를 만들기 전에 EMI 규제를 값싸게 만족시킬 뿐만 아니라 EMI 문제들을 보다 쉽게 대처할 수 있게 한다.

최근 EMI 예측 방법들이 많이 제안되었다. 대부분의 방법들은 수동 소자, 능동 소자, PCB 같은 특별한 부분에 중점을 둔 시간 영역의 시뮬레이션 방법들이다[3][4]. 어떤 방법은 스위치나 다이오드 같은 노이즈원의 주파수 스펙트럼 분석을 사용하기도 했다[5]. 이러한 방법들은 시스템 소자들 간의 상호 작용을 해석할 수 없고 어떤 방법들은 시스템 하드웨어를 필요로 하기도 한다.

본 논문의 목적은 스위치 모드 파워 서플라이의 전도 EMI를 정확히 시뮬레이션할 수 있는 모델링 틀을 개발하고 시스템 소자간의 상호 작용에 의한 EMI 노이즈를 분석하는 것이다. 이러한 목적을 달성하기 위해서 다음과 같은 고주파수(150 kHz ~ 30 MHz)의 소자 모델 개발이 필요하다.

- (1) 능동 소자 모델(스위치, 다이오드, 등등)
- (2) 수동 소자 모델(변압기, 캐패시터, 인덕터, 저항, 등등)
- (3) 인쇄 회로 기판(PCB) 패턴 모델

이러한 모델로부터 50 W 플라이백 컨버터의 EMI 패턴을 시뮬레이션하고 실험 측정 결과와 비교하였으며 각 소자들 간의 상호 작용과 EMI 패턴 간의 관계를 분석하였다.

### 2. 본 론

#### 2.1 고주파수 소자 모델링

##### 2.1.1 능동 소자 모델링

스위치, 다이오드 같은 능동 소자들은 스위치 모드 파워 서플라이의 주 노이즈원이다. 특히 스위치의 기생 공진 전압과 전류는 EMI 패턴에 많은 영향을 미친다. 그래서 정확한 공진 주파수, 크기, 승강/하강의 과도 상태를 예측할 수 있는 소자 모델이 필요하다. 그러나 PSPICE 같은 상용 시뮬레이션 소프트웨어는 사용할 수 있는 라이브러리 모델이 제약되어 있고 모델 파라미터 값의 부정확성 때문에 EMI 시뮬레이션에 직접 사용하기가 어렵다. 테스트 소자의 정확한 모델을 얻기 위해서 수식 지향의 ABM(Analog behavioral model) 모델이 개발되었다. 이 ABM 모델은 MOSFET과 다이오드의 특성 방정식으로 구성되어 있으며 모델 파라미터를 구하기

\* 正 會 員 : 서울大 電氣工學部 博士課程  
\*\* 準 會 員 : 서울大 電氣工學部 碩士  
\*\*\* 正 會 員 : 서울大 電氣工學部 正教授 · 工博  
接受日字 : 2000年 1月 25日  
最終完了 : 2001年 3月 2日

위해서 데이터북의 특성 곡선을 사용한다.

그림 1은 MOSFET ABM 모델을 보여준다. MOSFET 모델은 두가지 부분으로 나누어진다. 하나는 DC 전달 함수 특성의 모델이다. 다른 부분은 보디 다이오드 모델과 기생 캐패시턴스(Cgs, Cgd, Cds) 모델이다. DC 전달 함수 모델은 턴온/오프 특성을 나타낸다. 수식 (1.a)는 턴오프 특성을 나타내고 수식 (1.b)는 포화 영역에서의 턴온 특성을, 수식 (1.c)는 선형 영역에서의 턴온 특성을 나타낸다. 수식 (1.d)(1.e)는 드레인 포화 전압과 전류를 나타낸다. 그림 2는 수식(1.a ~ 1.e)를 사용한 DC 전달 특성의 PSPICE ABM 모델을 보여준다. MOSFET의 기생 캐패시턴스 모델은 시스템 인덕턴스와 공진 오실레이션을 발생시키므로 중요한 요소이다. 드레인-소스 캐패시턴스는 보디 다이오드의 접합 캐패시턴스로 모델하였다. 보디 다이오드 모델은 역전압에 따라 비선형적인 캐패시턴스 특성을 나타내야 한다. MOSFET의 보디 다이오드는 PSPICE의 다이오드 모델을 사용하였다. 수식 (2.b)는 드레인-소스 캐패시턴스를 나타낸다. 일반적으로 게이트-소스 캐패시턴스는 상수 값으로 모델될 수 있다. 게이트-드레인 캐패시턴스의 특성 곡선은 비선형적이고 불연속이다. 간단한 모델로 구현하기 위해서 그림 3과 같이 근사적인 연속 특성 곡선으로 모델하였다. 수식 (3.a ~ 3.c)는 게이트-드레인 캐패시턴스를 나타낸다. 그림 4는 수식 (2.a ~ 3.c)을 사용한 기생 캐패시턴스의 PSPICE ABM 모델을 보여준다. 그림 5는 능동 소자의 모델링 과정을 나타내고 IRF840 MOSFET의 모델 파라미터와 그 값들을 표1에 정리하였다.

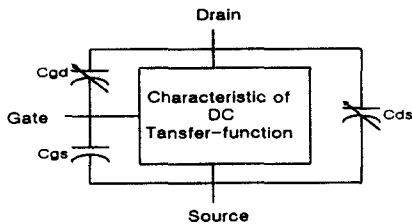


그림 1 MOSFET 모델의 구조  
Fig. 1 Scheme of MOSFET model

$$\text{if } V_{gs} < V_{th} \quad I_{ds} = 0 \quad (1.a)$$

$$\text{if } V_{gs} \geq V_{th} \quad \text{if } V_{ds} \geq V_{dsat} \quad I_{ds} = I_{dsat} (1 + \lambda \times V_{ds}) \quad (1.b)$$

$$\text{if } V_{ds} < V_{dsat} \quad I_{ds} = \left[ I_{dsat} - I_{dsat} \frac{(V_{dsat} - V_{ds})^2}{V_{dsat}^2} \right] (1 + \lambda \times V_{ds}) \quad (1.c)$$

$$V_{dsat} = K (V_{gs} - V_{th})^m \quad (1.d)$$

$$I_{dsat} = K_p (V_{gs} - V_{th})^n \quad (1.e)$$

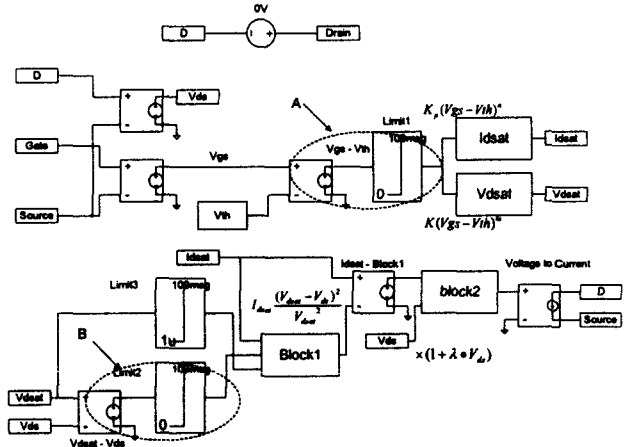


그림 2 MOSFET DC 전달 함수의 PSPICE ABM 모델  
Fig. 2 PSPICE ABM of MOSFET DC transfer-function

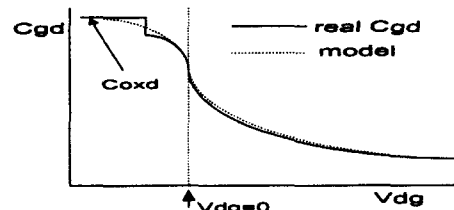


그림 3 MOSFET Cgd 값의 근사 곡선  
Fig. 3 Approximation of MOSFET Cgd

$$C_{gs} = \text{const} \quad (2.a)$$

$$C_{ds} = \frac{C_{jds}}{(1 + V_{ds}/V_{jds})^{M_{ds}}} \quad (2.b)$$

$$C_{gd+} = \begin{cases} \frac{C_{jgd}}{(1 + V_{dg}/V_{jgd})^{M_{gd}}} & (V_{dg} \geq 0) \\ C_{jgd} & (V_{dg} < 0) \end{cases} \quad (3.a)$$

$$C_{gd-} = \begin{cases} 2C_{jgd} - \frac{C_{jgd}}{(1 - V_{dg}/V_{jgd})^{M_{gd}}} & (V_{dg} < 0) \\ C_{jgd} & (V_{dg} \geq 0) \end{cases} \quad (3.b)$$

$$C_{gd} = C_{gd+} + C_{gd-} - C_{jgd} \quad (3.c)$$

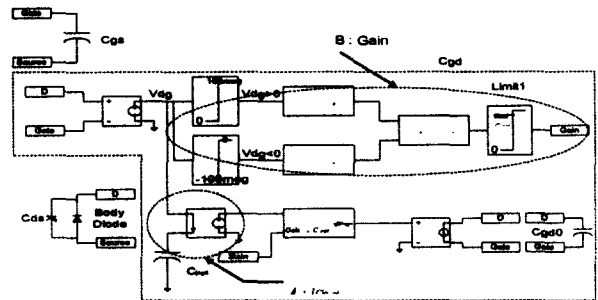


그림 4 MOSFET 기생 캐패시턴스의 PSPICE ABM 모델  
Fig. 4 PSPICE ABM of MOSFET parasitic capacitance

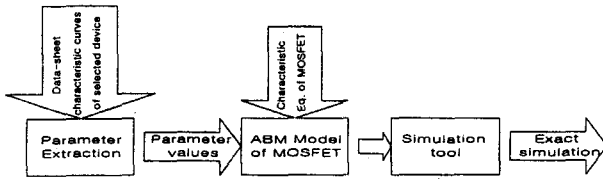


그림 5 능동 소자의 모델링 다이어그램  
Fig. 5 Active component modeling diagram

모델의 정확성을 검증하기 위해서 간단한 테스트 회로를 구현하였다. 그림 6은 스위치 공진 테스트 회로이다. 스위치 공진 회로는 5[uH]의 인덕터와 IRF 840의 직렬 연결로 구성되어 있다. 그림 7은 IRF 840의 테스트 회로와 PSPICE 라이브러리 모델, 제안된 ABM 모델의 비교 결과이다. 결과에서 보듯이 PSPICE 라이브러리 모델이 작은 공진 첨두치와 다른 공진 주파수를 나타내는 반면 ABM 모델은 실험파형과 매우 유사하게 시뮬레이션 되고 있다. 나중에 보여지는 것과 같이 공진 첨두치와 주파수는 시스템의 전체 EMI 특성에 주된 영향을 미친다.

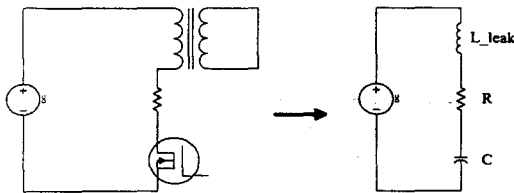


그림 6 능동 스위치의 공진 테스트 회로  
Fig. 6 Switch resonant test circuit

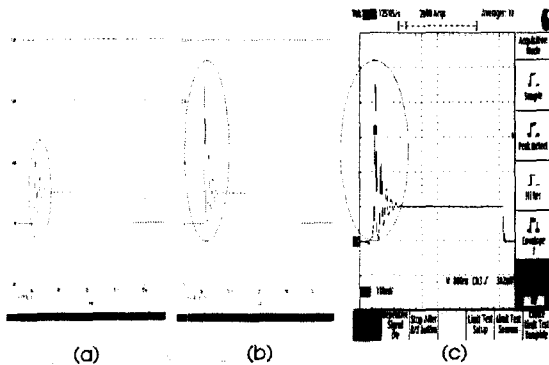


그림 7 IRF 840의 시뮬레이션 및 실험 결과  
(a) PSPICE 라이브러리 모델 시뮬레이션 결과  
(b) 제안된 PSPICE ABM 모델 시뮬레이션 결과  
(c) 실험 결과  
Fig. 7 Simulation & experimental results of IRF 840  
(a) PSPICE library model simulation results  
(b) Proposed PSPICE ABM simulation results  
(c) Experimental results

표 1 IRF 840 스위치 모델의 파라미터 값  
Table 1 Parameter values of IRF 840

parameter	name	value	
DC transfer-function	Vth	threshold voltage	4.0871
	K	drain saturation voltage	6.5816
	m		1.5546
	Kp	drain saturation current	5.2428
	n		1.5605
		$\lambda$	channel length modulation
Body diode	Rs	ohmic resistance	10 m $\Omega$
	n	emission coefficient	1.7
	Is	saturation current	31.6 nA
Cds	Cjods	zero-bias drain source capacitance	1.1452 nF
	Mds	drain source grading coefficient	0.6523
	Vjds	drain source junction potential	1.4084 V
Cgd	Cjogd	zero-bias gate drain capacitance	1.6961 nF
	Mgd	gate drain grading coefficient	1.9541
	Vjgd	gate drain junction potential	4.5454
	Cgd0	gate drain overlap capacitance	30 pF
Cgs	Cgs	gate source overlap capacitance	1.2 nF
Coxd	Coxd	oxide capacitance	2.13 nF

2.1.2 수동 소자 모델링

저항, 캐패시터, 인덕터 같은 수동 소자들은 능동 소자의 동작 특성과 상호 작용을 한다. 본 논문에서는 실험적 측정 데이터를 사용한 모델링 방법을 사용하였다.

캐패시터와 저항 모델

캐패시터와 저항 모델의 파라미터 값들은 임피던스 분석기 (HP 4194A)의 측정 결과로부터 추출하였다. 그림 8은 고주파수 영역(150 kHz ~ 30 MHz)을 만족하는 캐패시터와 저항의 등가 모델이다. 그림 9는 400 [V], 68 [uF]의 전해 캐패시터의 측정 임피던스와 모델 임피던스를 나타낸다.

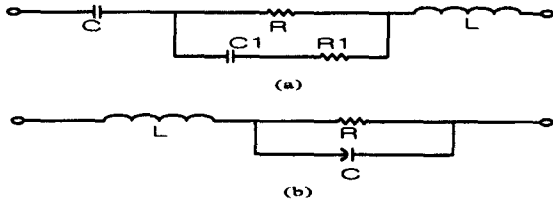


그림 8 캐패시터와 저항의 고주파수 동가 회로 모델

(a) 캐패시터의 고주파수 동가 회로 모델

(b) 저항의 고주파수 동가 회로 모델

Fig. 8 Equivalent circuit model of high frequency capacitor & resistor

(a) high frequency model of capacitor

(b) high frequency model of resistor

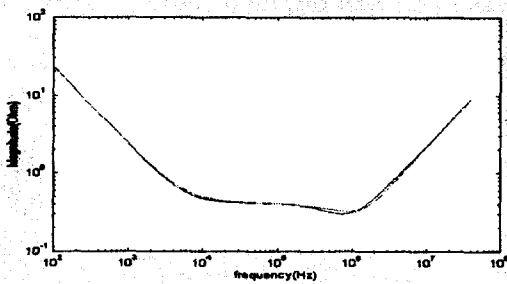


그림 9 68 [uF] 400 [V] 전해 캐패시터의 측정된 임피던스와 모델 임피던스 곡선(C=68[uF], R=0.41[Ω], L=35.4[nH], R1=0.6[Ω], C1=350[nF])

Fig. 9 Measured impedance & model impedance of 68 [uF] 400 [V] electrolytic capacitor(C=68[uF], R=0.41[Ω], L=35.4[nH], R1=0.6[Ω], C1=350[nF])

**변압기 모델**

그림 10은 전형적인 EMI 침투치가 발생하는 주파수 영역인 수 MHz 이상까지 유효한 변압기의 동가 회로 모델이다. 변압기 모델의 파라미터 값들은 임피던스 분석기로 측정된 변압기 1차, 2차 권선의 개방/단락 임피던스 특성으로부터 추출하였다. 그림 11은 측정 데이터와 모델 시뮬레이션 결과이다. 제안된 모델이 고주파수에서의 이중 침투치를 포함한 관심있는 주파수 전 영역에서 정확히 시뮬레이션되고 있음을 볼 수가 있다.

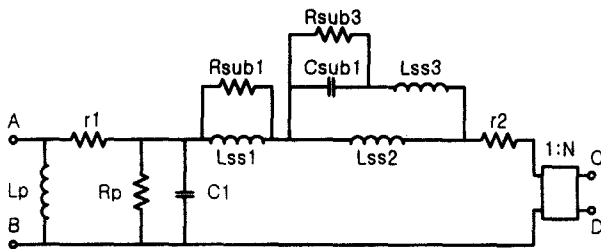


그림 10 변압기의 개선된 동가 회로 모델

Fig. 10 modified equivalent circuit model of transformer

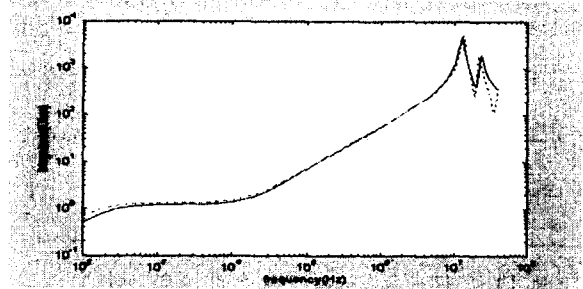


그림 11 2차측을 단락시킨 플라이백 변압기의 측정된 임피던스와 개선된 동가 모델 임피던스 곡선

Fig. 11 Measured impedance & modified model impedance of flyback transformer with secondary windings shorted

그림 12에서 자화 인덕턴스  $L_p$ 는 주파수  $f_1$ 에서 변압기 임피던스 크기로부터 계산되고 권선 캐패시턴스  $C_1$ 은 수식 (4.a)로부터 계산할 수 있다. 그림 14에서 누설 인덕턴스  $L_{ss1}$ 과  $L_{ss2}$ 는 주파수  $f_3$ 과  $f_4$ 의 변압기 임피던스로부터 계산할 수 있고 에디 전류 손실 저항  $R_{sub1}$ 은 주파수  $f_3 \sim f_4$ 의 임피던스 곡선을 일치시킴으로 구할 수 있다. 첫 번째 임피던스 침투치는 주파수  $f_5$ 에서 지배적인 파라미터인  $C_1$ ,  $L_{ss2}$ ,  $C_{sub1}$ ,  $R_{sub3}$ 로 모델할 수 있고 두 번째 임피던스 침투치는 주파수  $f_6$ 에서 지배적인 파라미터  $C_1$ ,  $L_{ss3}$ ,  $C_{sub1}$ 로 모델할 수 있다.  $L_{ss3}$ 은 수식 (4.c)로 계산할 수 있다.

플라이백 SMPS의 EMI 분석을 위해서는 2차 권선을 단락시킨 임피던스가 중요하다. 왜냐하면 이 임피던스가 스위치와 다이오드의 기생 캐패시턴스와 공진을 일으키기 때문이다. 변압기 임피던스의 부정확한 모델은 EMI 패턴의 침투치와 주파수의 오차를 일으킨다. 테스트 시스템에서 플라이백 변압기는 10 ~ 20 MHz 근처에서 두 개의 임피던스 침투치를 갖고 이 침투치가 고주파수 EMI 패턴에 중요한 요소라는 것이 증명되었다.

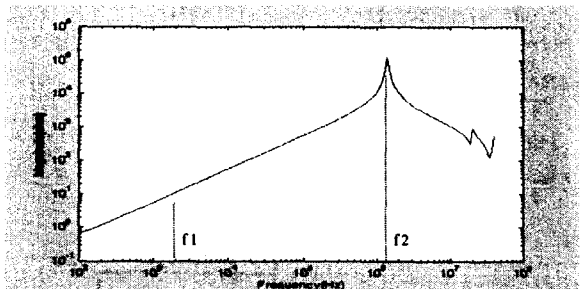


그림 12 2차측을 개방시킨 플라이백 변압기의 측정된 임피던스 곡선

Fig. 12 Measured impedance of flyback transformer with secondary windings open

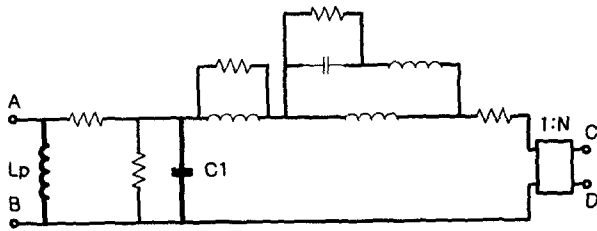


그림 13 f1, f2 주파수에서 지배적인 파라미터 값  
Fig. 13 Dominant parameters at frequency f1, f2

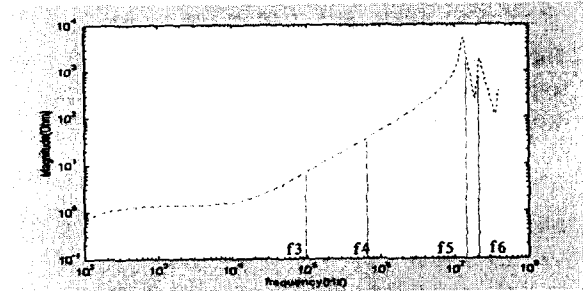


그림 14 2차측을 단락시킨 플라이백 변압기의 측정된 임피던스 곡선  
Fig. 14 Measured impedance of flyback transformer with secondary windings shorted

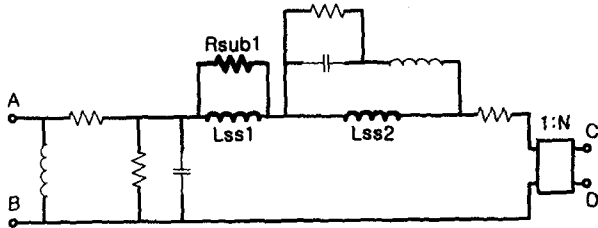


그림 15 f3, f4 주파수에서 지배적인 파라미터 값  
Fig. 15 Dominant parameter at frequency f3, f4

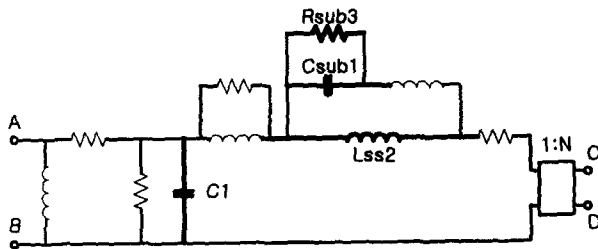


그림 16 f5 주파수에서 지배적인 파라미터 값  
Fig. 16 Dominant parameter at frequency f5

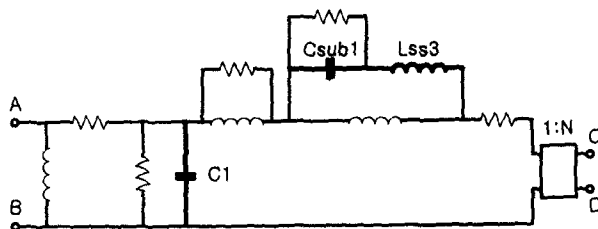


그림 17 f6 주파수에서 지배적인 파라미터 값  
Fig. 17 Dominant parameter at frequency f6

$$f_2 = \frac{1}{2\pi\sqrt{L_p \times C1}} \quad (4.a)$$

$$f_5 = \frac{1}{2\pi\sqrt{L_{ss2} \times (C1 + C_{sub1})}} \quad (4.b)$$

$$f_6 = \frac{1}{2\pi\sqrt{L_{ss3} \times \left(\frac{C1 \times C_{sub1}}{C1 + C_{sub1}}\right)}} \quad (4.c)$$

PCB 패턴 모델

스위칭 주파수가 증가할수록 PCB 패턴간의 전계/자계 필드의 결합들이 전체 EMI에 많은 영향을 미친다. 특히 높은 전압과 전류의 과도 상태 때문에 PCB 패턴 간의 필드 결합들이 중요한 EMI 노이즈원이 된다. PCB 패턴들은 PEEC(partial element equivalent circuit)방법에 의해 등가 RLC 회로로 나타낼 수 있다. PEEC 방법은 PCB 도체 패턴간의 기하학적인 적분을 이용한다[9][10]. 그림 18에서 보듯이 일반적으로 PCB 패턴은 직렬 저항과 인덕터, 접지 PCB에 대한 병렬 캐패시터로 구성된 T 형의 회로로 나타나고 패턴 인덕터간의 상호 인덕턴스와 패턴 도체간의 상호 캐패시턴스로 모델된다.

본 논문에서는 상업용 소프트웨어인 Parasitic Parameter (Pacific Numerix Co.)를 사용하여 PEEC 방법을 적용하였다 [9][10].

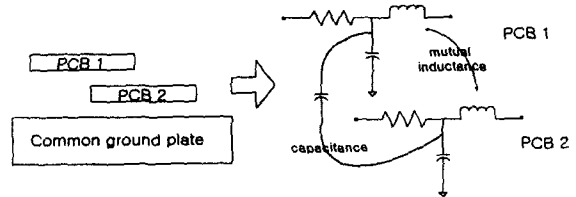


그림 18 PCB 패턴의 등가 회로 모델  
Fig. 18 PCB pattern equivalent circuit model

2.2 PSPICE 시스템 모델링

2.2.1 PSPICE 시스템 모델

제한된 능동, 수동 소자 모델과 PCB 패턴 모델을 통합하여 50[W]의 플라이백 컨버터 시스템을 PSPICE 시뮬레이션 파일로 구현하였다. 이 컨버터 시스템은 70 kHz의 스위칭 주파수로 동작한다. 입력 전압은 110 [Vac], 출력 전압은 19 [Vdc]이다. 이 컨버터에 사용된 스위치는 IRF 840 (500[V],8[A])이고 다이오드는 8TQ100 (100[V],8[A])이다. 컨버터 PCB 패턴은 16 [um]의 구리판으로 제작되어 있다. 수동 소자는 입력 캐패시터 (68[uF],400[V])와 출력 캐패시터 (220[uF],35[V]), 필터 캐패시터(220[nF],400[V]), 필터 인덕터, 플라이백 변압기들이다. common 모드 EMI와 differential 모드 EMI를 분석하기 위해서 LISN(Line Impedance Stabilization Network) 회로 모델을 사용하였다. 구현된 PSPICE 시뮬레이션으로부터 시간 영역에서 각 소자들의 시뮬레이션 동작 결과를 얻었다.

### 2.3 EMI 측정 set-up과 측정 절차

전도 EMI를 측정하기 위해서 LISN을 제작하였다. 그림 19는 제작된 LISN의 회로도이다. 표 2에는 LISN 제작시 사용된 파라미터 값들과 제원을 나타낸다. 실제 EMI 측정에 사용되는 공인 장비와 비교하여서 그 성능을 증명하였다. EMI를 측정하기 위해서는 외부 EMI가 차단되어 있는 공인된 shield room에서 실험이 행해져야 한다. 하지만 본 연구에서는 측정 결과와 시뮬레이션 결과를 수시로 비교 검증하고 수정하기 위해서 실험실 수준의 EMI 측정 set-up을 구축하여 결과를 분석하였다. 그림 20은 EMI 측정 set-up과 측정 방법의 흐름도를 보여준다.

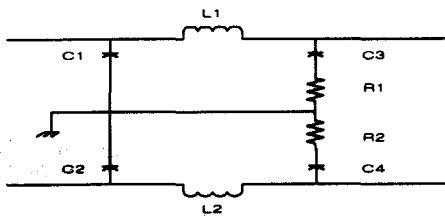


그림 19 LISN의 구조

Fig. 19 structure of LISN(line impedance stabilization network)

표 2 제작된 LISN의 제원 및 파라미터 값

Table 2 parameters & spec. of LISN

소자	값	비고
캐패시터	0.1uF(C3, C4), 1uF(C1, C2)	WIMA, small ESL 전압 : 220 [Vac]
인덕터	50uH(L1, L2)	PQ3535, Litz wire 20 turns, air gap 10 A 용량
저항	50Ω(R1, R2)	500Ω 5% 탄소피막 저항 10개 병렬

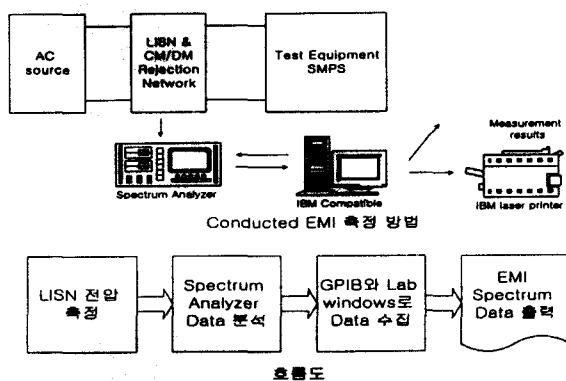


그림 20 EMI 측정 Set-up과 흐름도

Fig. 20 EMI measurement set-up & flow-chart

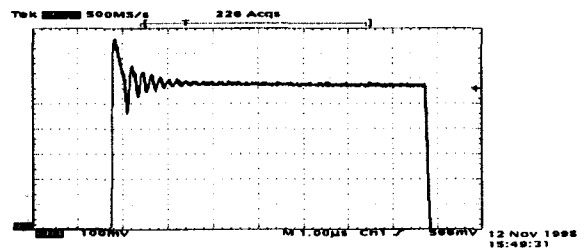
### 2.4 시뮬레이션과 실험 결과

그림 21과 22는 스위치의 턴-오프 전압, 스위치 전류의 실험과 시뮬레이션 파형이다. 시뮬레이션 결과와 실험 결과가

공진 주파수와 침두치에서 모두 일치한다. 그림 23과 24는 주파수 영역에서의 EMI LISN 전압이다. 주파수 영역의 결과는 시간 영역의 파형을 PSPICE FFT(Fast Fourier Transform)로 변환하여 구하였다.

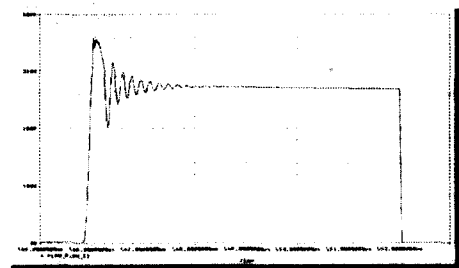
이 시스템에서 시뮬레이션 결과는 실험 결과와 전반적인 EMI 패턴에서 일치한다. 특히 5.5 MHz와 20 MHz의 EMI 침두치의 크기가 실험 결과와 일치한다. 이러한 EMI 침두치의 크기는 EMI 규제를 만족하는데 매우 중요하다. 낮은 주파수 대역에서의 EMI 크기 또한 실험 결과와 일치한다. 낮은 주파수의 하모닉스들은 컨버터의 70 kHz 스위칭 주파수의 하모닉스들이다. 5.5 MHz의 침두치는 플라이백 변압기의 누설 인덕턴스와 스위치의 기생 캐패시턴스(Cds, Cgd, Cgs, Cox)간의 스위칭 턴-오프 공진에 의한 것이다. 그리고 20 MHz의 침두치는 플라이백 변압기의 누설 인덕턴스와 다이오드의 접합 캐패시턴스의 턴-오프 공진에 의해 발생한다.

그래서 이 시스템에서는 침두치를 줄이기 위해서 스위치와 다이오드에 스너버 회로가 필요하다. 그림 23은 스너버 회로와 EMI 필터가 없는 시뮬레이션 결과이다. 시뮬레이션 모델이 EMI의 크기를 정확히 예측할 뿐만 아니라 침두치 발생의 원인도 설명해 준다. 그림 25와 26은 PCB 패턴에 의한 EMI의 영향을 보여준다. 낮은 주파수에서는 DM (differential mode) EMI 노이즈가 지배적이다. 스위칭 주파수의 스위칭 펄스 전류에 의해 낮은 주파수의 하모닉스 EMI 노이즈가 발생한다. 높은 주파수에서는 CM(common mode) EMI 노이즈가 지배적이다. 빠르고 높은 스위칭 턴-오프 전압의 과도 상태 PCB 패턴간의 기생 캐패시턴스를 충전/방전시키는 전류에 의해 EMI 노이즈가 발생한다. 이러한 EMI의 크기는 전압이 빨리 변하는 PCB 패턴간의 캐패시턴스 값에 비례한다. 또한 PCB 패턴간의 상호 인덕턴스가 필터 캐패시터와 함께 고주파수의 EMI 노이즈를 막기도 한다.



(a) 실험 결과

(a) Experimental results

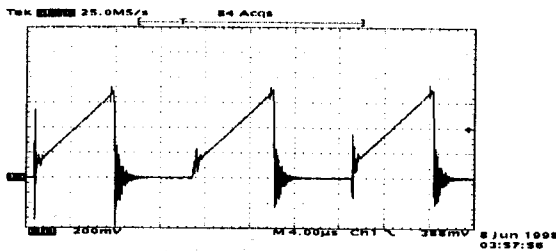


(b) 시뮬레이션 결과

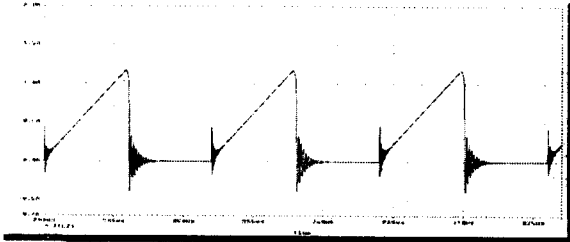
(b) Simulation results

그림 21 스위치 턴오프 전압

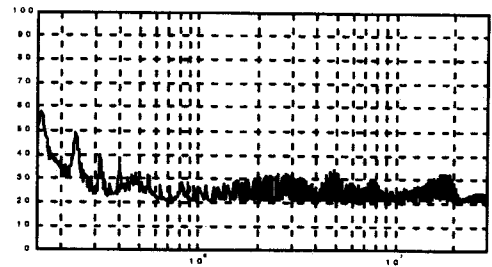
Fig. 21 Switch off-voltage



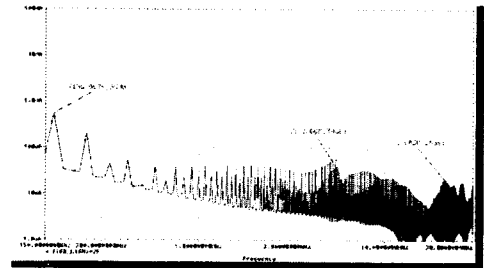
(a) 실험 결과  
(a) Experimental results



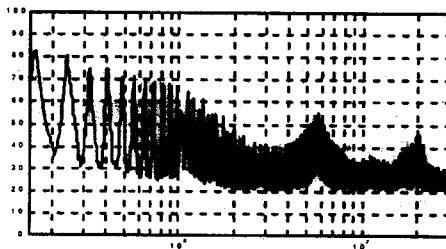
(b) 시뮬레이션 결과  
(b) Simulation results  
그림 22 스위치 전류  
Fig. 22 Switch current



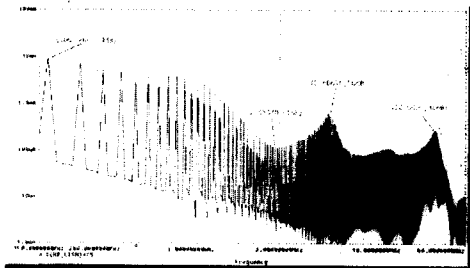
(a) 실험 결과  
(a) Experimental results



(b) 시뮬레이션 결과  
(b) Simulation results  
그림 24 스너버와 EMI 필터가 있는 EMI LISN 전압  
Fig. 24 EMI LISN voltage with snubber and EMI filter



(a) 실험 결과  
(a) Experimental results



(b) 시뮬레이션 결과  
(b) Simulation results  
그림 23 스너버와 EMI 필터가 없는 EMI LISN 전압  
Fig. 23 EMI LISN voltage without snubber and EMI filter

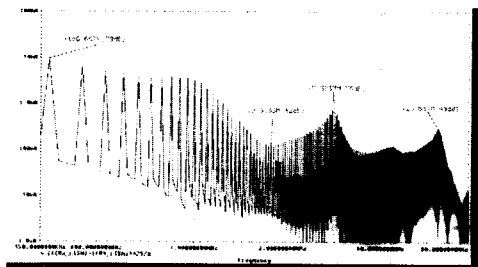


그림 25 디퍼렌셜 모드 EMI 패턴  
Fig. 25 Differential mode EMI pattern

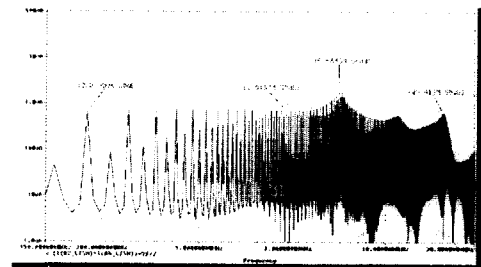


그림 26 커먼 모드 EMI 패턴  
Fig. 26 Common mode EMI pattern

### 3. 결 론

스위치 모드 파워 서플라이의 전도 EMI를 정확히 시뮬레이션하기 위해서 고주파수의 소자 모델을 개발하였다. 각 소자 모델들은 실험 결과를 통하여 검증하였다. 능동 스위치는 PSPICE ABM 모델로 모델링하고 개량된 플라이백 변압기의 모델은 고주파수(이 경우에는 20 MHz)까지의 침투치를 정확히 예측할 수 있다. 시뮬레이션 결과로부터 EMI 패턴과 중요한 동작 상태, 기생 성분 간의 상호 작용들을 분석하였다. EMI 시뮬레이션의 시스템 모델은 EMI 크기뿐만 아니라 중요한 침투치의 원인들을 예측 가능케 했다. 하드웨어를 만들기 전에 제안된 시뮬레이션 툴을 통하여 EMI/EMC 설계가 최적화 될수 있다. 앞으로, 제안된 시뮬레이션 툴을 사용하여 PCB 패턴의 형상과 스너버 회로, EMI 필터, 능동 소자, 수동 소자들의 관점에서 EMI 특성을 정량적으로 분석할 계획이다.

#### 감사의 글

본 연구는 삼성전기(주)의 연구비 지원에 의하여 이루어진 연구입니다.

#### 참 고 문 헌

- [1] David A. Williams "A Tutorial on EMI Charaterization of Switching Regulators," IEEE APEC 96 pp. 333-339.
- [2] Richard Redle, "Power Electronics and Electromagnetic Compatibility," IEEE PESC 96 pp. 15-21.
- [3] E. Laboure, F. Costa, C. Gautier, W. Melhem, "Accurate Simulation of Conducted Interferences In Isolated DC to DC Converters Regarding To EMI Standards," IEEE PESC 96, pp. 1973-1978.
- [4] Wei Zhang, Michael T. Zhang, F.C. Lee, "Conducted EMI Analysis of a Boost PFC Circuit," IEEE APEC 97 pp. 223-229.
- [5] W. Teulings, J. L. Schanen, J. Roudet, "A New Technique For Spectral Analysis of Conducted Noise of A SMPS Including Interconnects," IEEE PESC 97 pp. 1516-1521.
- [6] B. Cogitore, J. P. Keradec, J. Barbaroux, "The Two Winding Transformer : An Experimental Method to Obtain a Wide Frequency Range Equivalent Circuit," IEEE Trans. on Instrumentation and Measurement, Vol. 43, No. 2, pp 364-371, April, 1994
- [7] Takayasu Sakurai, A. Richard Newton, "A Simple MOSFET Model for Circuit Analysis," IEEE Trans. on Electron Devices, Vol. 38, No. 4, pp. 887-893, 1991.
- [8] Ron Kielkowski, "Practical Device Modeling," McGraw-Hill, 1995.
- [9] Hansruedi Heeb, Albert E. Ruehli, "Three-Dimensional Interconnect Analysis Using Partial Element Equivalent Circuits," IEEE Trans. on Circuits and Systems, Vol. 39, No. 11, pp. 974-982 Nov. 1992
- [10] Albert E. Ruehli, "Equivalent Circuit Models for

Three-Dimensional Multiconductor Systems," IEEE Trans. on Microwave Theory and Techniques, vol. MTT-22, No. 3, pp. 216-221 Mar. 1974

### 저 자 소 개



이 동 영 (李 東 映)

1971년 9월 24일 생. 1995년 서울대 전기공학과 졸업. 1997년 동 대학원 전기공학과 졸업(석사) 1997~현재 동 대학원 전기공학부 박사 과정  
Tel : 02-880-1785, Fax : 02-878-1452  
E-mail : ldking@plaza1.snu.ac.kr



이 재 호 (李 載 昊)

1973년 4월 19일 생. 1997년 서울대 전기공학과 졸업. 1999년 동 대학원 전기공학과 졸업(석사)



민 승 현 (閔 勝 賢)

1974년 3월 1일 생. 1997년 서울대 전기공학과 졸업. 1999년 동 대학원 전기공학과 졸업(석사)



조 보 형 (趙 普 衡)

1952년 2월 11일 생. Cal Tech 졸업(석사) Virginia Tech 졸업(공학) 1980년~1982년 TRW 항공우주 연구소. 1985년~1989년 Virginia Tech 조교수. 1989년~1995년 Virginia Tech 부교수. 1995년~현재 서울대 전기공학부 교수  
Tel : 02-880-7260, Fax : 02-878-1452  
E-mail : bhcho@snu.ac.kr