패킷 방식의 DRAM에 적용하기 위한 새로운 강조 구동회로

論 文
50C - 4 - 4

A New Pre-Emphasis Driver Circuit for a Packet-Based DRAM

金 俊 倍* · 權 五 敬**
(Jun-Bae Kim · Oh-Kyong Kwon)

Abstract - As the data rate between chip-to-chip gets high, the skin effect and load of pins deteriorate noise margin. With these, noise disturbances on the bus channel make it difficult for receiver circuits to read the data signal. This paper has proposed a new pre-emphasis driver circuit which achieves wide noise margin by enlarging the signal voltage range during data transition. When data is transferred from a memory chip to a controller, the output voltage of the driver circuit reaches the final values through the intermediate voltage level. The proposed driver supplies more currents than conventional one at the intermediate voltage level, to increase the data signal voltage range. This circuit is applicable to a packet-based memory system, because it needs no additional control signal and realizes very small area. The circuit has been designed in a 0.18 μm CMOS process, and HSPICE simulation results have shown that the data rate of 1.32 Gbps can be achieved. Due to its result, the proposed driver can achieved higher speed than conventional driver by 10%.

Key Words : Pre-emphasis, Driver, Packet-Based Memory

1. 서 론

미세 반도체 기술이 발전하여 시스템의 처리 속도가 증가하기 때문에 데이터를 고속으로 전송하는 메모리 시스템의 필요성이 점점 증대되고 있다[1]. μBGA를 사용하여 패키지에 의한 기생 성분을 감소시키고 DRAM의 핀, 모듈, 주기판(mother board) 및 커넥터 등에서 발생되는 잡음을 최소화할 수 있도록 임피던스를 정합시킨 패킷 방식의 고속 DRAM이 개발되었다[2]. DRAM을 직렬로 장착하여 분기(branching)에 의해서 발생되는 잡음을 감소시킬 수 있으나, 버스 채널에 DRAM이 연속적으로 연결되어 있어 부하 증가와 높은 전송 속도에서 발생하는 표피 효과 때문에 데이터 신호는 감쇄된다[3]. 따라서, 신호의 잡음 마진 및 신호유지 시간(setup/hold time)을 충분히 확보하지 않으면 수신회로에서 데이터를 오류없이 정확하게 검출할 수 없게 된다.

데이터 신호의 감쇄되는 정도를 예상하여 보상회로를 사용하거나 데이터 신호가 천이할 때 강조 구동회로를 사용하여 신호의 스윙 폭을 증가시키면 데이터를 고속으로 전송하여도 신호의 잡음 마진이 충분하기 때문에 수신회로에서 데이터를 정확하게 검출할 수 있다[4-7]. 이러한 회로들은 데이터를 수 Gbps로 수 미터까지 전송하는 serial link에 사용되었다. 표피 효과 및 유전체 손실 때문에 감쇄되는 신호를 보상하기 위해 설계된 보상 회로는 복잡한 제어 신호들이 추가되어 회로가 복잡하다[4][5]. 강조 회로는 신호의 상승부와 하강부에서 짧은 시간동안 스윙 폭을 증가시키는 회로이기 때문에 데이터의 전송 속도보다 매우 빠른 제어신호가 필요하다[6][7].

고속 메모리의 구조는 그림 1(a)과 같이 DRAM 컨트롤러(Master)와 DRAM(Slave) 부분으로 나눌 수 있으며 종단 저항은 Z_0로 정합되도록 설계되어 있다. DRAM 컨트롤러에서 DRAM으로 데이터를 전송할 때 WRITE 동작을 수행하고, DRAM에서 DRAM 컨트롤러로 데이터를 전송할 때 READ 동작을 수행한다. WRITE 동작을 수행할 때는 종단 저항이 정합되어 있기 때문에 그림 1(b)와 같이 신호의 반사가 없으며 t_1 만큼 지연되어 Master에서 보낸 신호가 Slave에 도착된다. 그러나, READ 동작을 수행하기 위해서 Slave에서 보낸 신호는 Master 방향과 종단 저항이 있는 방향으로 진행된다. 따라서, DRAM에서 송신하는 신호는 그림 1(c)와 같이 중간 단계인 $\Delta V/2$만큼 강하한 후 최종적으로 low 상태로 강하된다.

컨트롤러 회로는 메모리의 동작속도보다 빠르게 동작하기 때문에 기존의 강조 회로를 컨트롤러 회로 내에 설계하여 WRITE의 동작을 수행할 때 전송되는 데이터 신호가 천이할 때 스윙 폭을 증가시킬 수 있다. 그러나, DRAM회로의 동작 속도는 버스 채널에 전송되는 데이터의 전송 속도와 같거나 느리기 때문에 READ 동작을 수행할 때 기존의 강조회로를 사용하기 위해서는 강조 회로뿐만 아니라 데이터의 전송 속도보다 빠른 제어신호를 생성시키는 회로도 DRAM 구동회로에 추가되어야 하는 단점이 있다.

따라서, 본 논문에서는 고속으로 동작하는 메모리 시스템

* 漢陽大 工大 電子電氣컴퓨터工學部 博士課程
** 漢陽大 工大 電子電氣컴퓨터工學部 敎授 · 工博
接受日字 : 2001年 3月 19日
最終完了 : 2001年 4月 6日

에 적용하기 위해서 버스 채널에서 데이터 신호가 천이되는 특성을 이용하여 제어 신호가 필요하지 않은 강조 구동회로를 제안한다. 2 절에서는 데이터 신호가 천이할 때 버스 채널의 특성과 제안한 강조 구동회로의 기본 동작을 설명하고, 3 절에서는 0.18 μm CMOS공정의 SPICE 파라미터로 강조 구동회로를 설계하여 적용한 패킷 방식 메모리 시스템의 성능을 분석하였다.

2. 제안하는 강조 구동회로

패킷 방식 메모리 시스템에서 사용하고 있는 버스 채널의 특성 임피던스는 28 Ω이며, 데이터 신호는 기준전압(V_{REF}) 1.4 V를 중심으로 +/-400 mV로 스윙하고, 전류 모드의 개방 드레인 출력 구동회로를 사용한다[8]. 수신 회로의 옵셋(offset) 전압, V_{REF}에서 발생하는 잡음, SSN(Simultaneous Switching Noise) 및 누화(crosstalk) 잡음 때문에 데이터 신호가 감쇄 및 왜곡되며, V_{TT}에서 전류를 많이 공급하게 되면 V_{TT} 전원단의 전압강하가 발생된다. 이러한 잡음들은 데이터 신호의 스윙폭을 감소시켜, 메모리 시스템의 데이터 전송 속도를 감소시킨다. 수신회로에서 데이터 신호가 안정적으로 검출되기 위해서 setup/hold 시간 동안 데이터 신호의 전압이 V_{REF}를 기준으로 100 mV 이상 높거나 낮아야 된다[9]. 제안한 강조 구동회로를 회로 시뮬레이션으로 평가할 때는 V_{REF} 잡음과 누화 등을 고려하여 버스 채널에 전송되는 데이터 신호가 V_{REF}를 기준으로 +/-125 mV 이상 될 때 정상적으로 동작하는 것으로 가정하였다.

그림 2는 잡음이 발생하여도 고속으로 데이터를 전송할 수 있으면서 메모리 시스템에 적용이 가능한 강조 구동회로를 나타내고 있으며 표 1은 그림 2에서 제안한 강조 구동회로의 입력 신호에 따른 구동회로의 동작 상태를 나타내고 있다. CS 신호가 0일 때는 구동회로의 출력이 고임피던스 상태가 되어 버스 채널과 독립된 상태가 되며 CS 신호가 1일 때는 입력 신호인 Vin 신호에 따라 출력이 결정된다. 그림 2에서 MN4와 MN5는 기존에 사용되는 데이터 신호의 구동회로이며, MN3, MN2, MN1은 high 상태에서 low 상태로 천이하는 데이터 신호를 강조하는 회로이고, MN6는 low 상태에서 high 상태로 천이하는 데이터 신호를 강조하는 회로이다. 메모리 시스템이 READ 동작을 수행할 때, 구동회로의 동작에 의해서 흐르는 전류는 구동회로에 연결된 배선의 양쪽, 즉, 그림 2에서 interconnect #2와 interconnect #3으로 전파된다. 그림 2에서 I_s 는 주 구동 회로에 의해서 흐르는 전류를 I_{a1}, I_{a2}는 보조 드라이버에 의해서 흐르는 전류를 나타내었다.

표 1 Vin과 CS에 따른 드라이버의 동작 상태.
Table. 1 The operation modes of driver according to Vin and CS.

Status of Vout	Vin	CS
Low	1	1
High	0	1
High-Z	X	0

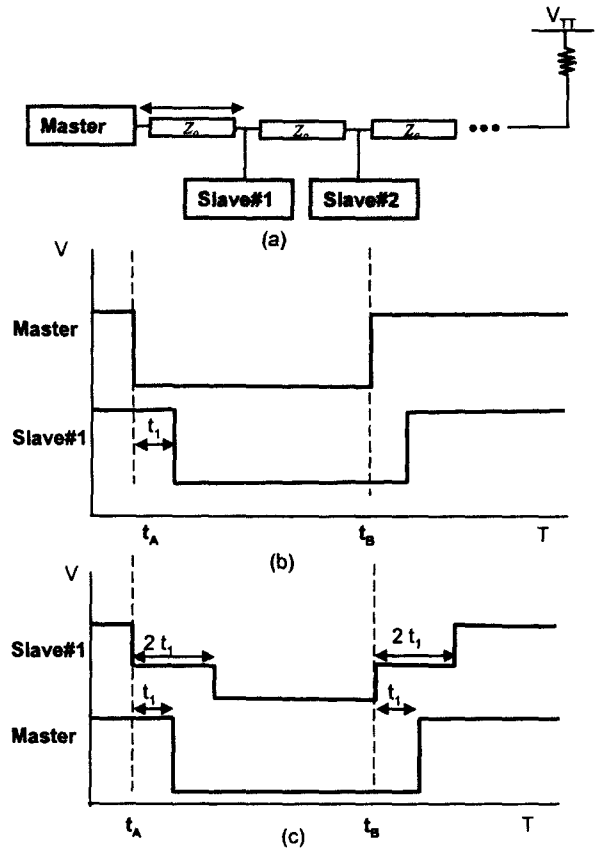

그림 1 Master와 여러 개의 Slave로 구성된 메모리 시스템 (a) 블록 다이어 그램 (b) WRITE 모드에 있어 Master와 Slave#1에서의 파형, (c) READ 모드에 있어 Master와 Slave#1에서의 파형. Master는 DRAM 컨트롤러, Slave는 DRAM 그리고 t_1은 Master와 slave사이의 지연 시간이다.

Fig. 1 Memory system consisting of Master and several Slaves, (a) Block diagram, (b) waveforms at Master and Slave#1 in WRITE mode,(c) the waveforms at Master and Slave#1 in READ mode. Master is a DRAM controller, Slave is a DRAM, and t_1 is delay time between Master and Slave#1.

2.1 버스 채널의 신호가 high에서 low로 천이하는 경우

제안한 드라이버가 high에서 low로 천이하는 경우의 파형을 그림 3의 t_A 시간에 나타내었다. 그림 1(a) Slave#1에서 high 상태에서 low 상태로 변환되는 데이터를 전송할 때 그림 3의 t_A 시간에 Slave#1에서 출력 전압은 ΔV/2만큼 강하하여 $2t_1$동안 지속된다. 이 때, 보조 드라이버 그림 2의 MN3, MN2를 동작시켜 전류를 버스 채널에 추가적으로 흐르게 하여 Slave#1에서의 전압을 더욱 강하시킨다. MN2와 MN3의 문턱 전압은 각각 0.4 V와 0.7 V이고 MN2와 MN3의 게이트는 드레인에 연결되어 있으며 MN2와 MN3는 직렬과 연결되어 있다. 따라서 버스 채널의 전압이 1.1 V가 되면 강조 구동회로는 off가 되며 버스 채널의 데이터 신호 전압이 1.4 V 이상이 되면 출력 신호는 강조된다. 그리고, 버스 채널의 데이터 신호 전압이 1.1 V에서 1.4 V일 때는

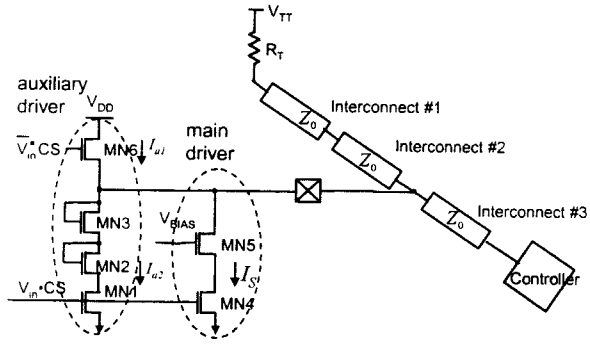

그림 2 제안하는 강조 출력 회로.

Fig. 2 Proposed pre-emphasis output driver.

전류가 적게 흐르기 때문에 출력 신호는 거의 강조되지 않는다. MN1, MN4는 문턱 전압이 0.4 V이고 MN5, MN6는 문턱 전압이 0.7 V이다.

기존 구동회로에서는 low 상태로 천이할 때 Is의 전류가 흐르지만 제안한 강조 구동회로를 사용하면 버스 채널 전압이 1.4 V이상 될 때 기존 구동회로보다 I_{a2}만큼 전류가 더 흐르게 된다. 따라서, 강조되는 신호의 전압은 식(1)과 같다.

$$V_{master} = V_{TT} - I_S \cdot Z_0 - I_{a2} \cdot Z_0 \qquad (1)$$

2.2 버스 채널의 신호가 low에서 high로 천이하는 경우

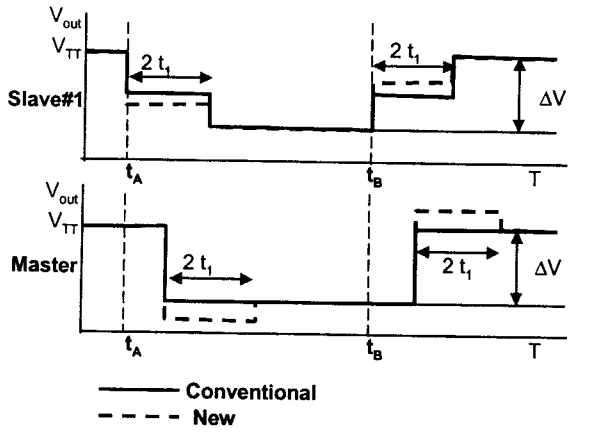

그림 3 READ 모드에서 제안한 출력 회로를 사용하였을 때 Master와 Slave#1에서의 파형.

Fig. 3 Waveforms of Master and Slave#1 in READ using the proposed output driver.

제안한 드라이버가 low에서 high로 천이하는 경우의 파형을 그림 3에 t_B 이후의 시간에 나타내었다. low 상태의 신호가 기존 구동 회로인 그림 2의 MN4에 입력되면 MN4는 off 상태로 고임피던스 상태가 되고 구동회로 쪽으로 전류가 흐르지 않는다. 따라서, 버스 채널에서 전압이 상승하게 되지만, V_{TT}의 신호가 컨트롤러까지 도착해서 반사된 신호가 slave에 도착하기 전까지 $2t_1$ 시간 만큼 slave에서의 전압은 $\Delta V/2$의 중간 상태의 전압으로 유지하고 있으며 반사 신호가 도착하면 slave에서 전압은 V_{TT}가 된다. 제안한 강조 구동 회로에서는 출력 수준이 high 상태로 천이할 때, MN6의 게이트 전압이 V_{DD}가 되기 때문에 slave에서 전압이 1.8 V가 될 때까지 t_B에서 $t_B + 2t_1$ 까지 MN6를 on시켜 버스 채널에 전류를 공급한다. 따라서, high 상태로 천이할 때 중간 상태에 있는 slave에서의 전압을 상승시키게 된다. 이 때 MN6에 의해서 추가적으로 버스 채널에 공급되는 전류는 slave에서의 전압에 따라 변하게 된다.

버스 채널 전압이 $V_{TT} - \Delta V/2$ 인 경우에는 그림 2에서 MN6의 게이트-소오스간 전압 V_{gs6}는

$$V_{gs6} = V_{DD} - V_{TT} + 0.5 \cdot \Delta V \qquad (2)$$

이므로 대략 V_{gs6}의 전압이 1.1 V를 나타내며, 이때 버스 채널에 공급되는 전류 I_{ds6}는

$$I_{ds6} = I_{a1} = \frac{W}{2L} \mu C_{ox} (V_{gs6} - V_{th})^2 \qquad (3)$$

식 (3)과 같이 결정된다. 이 때 추가적으로 공급된 전류 I_{ds6}는 배선의 양쪽으로 전파되며, Master에서는 전반사가 발생하여 나타나는 전압은

$$V_{master} = V_{TT} + Z_0 \cdot I_{ds6} = V_{TT} + Z_0 \cdot I_{a1} \qquad (4)$$

식 (4)와 같이 되어 기존보다 Z_0 I_{ds6}만큼 전압이 상승하게 된다. 그리고, 드라이버의 출력 전압이 V_{TT}가 되면 MN6의 문턱 전압이 0.7 V이기 때문에 V_{gs6}의 전압은 0.7 V가 되어 MN6는 off상태가 되어 전류를 더 이상 버스 채널에 공급하지 않는다. 따라서, 천이가 끝나고 정상 상태에서는 기존의 전압 수준을 유지한다.

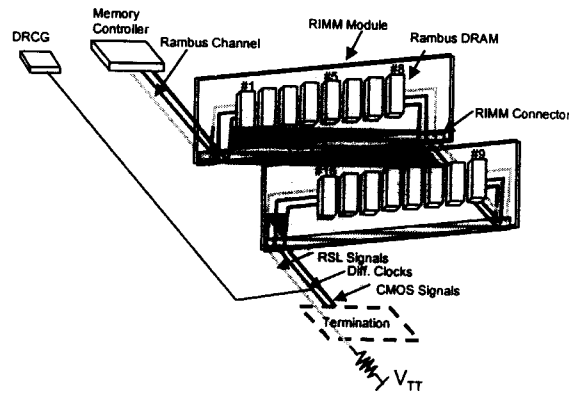

그림 4 메모리 모듈과 컨트롤로로 구성된 메모리 시스템.

Fig. 4 Memory system composed of memory module and controller.

3. 회로 시뮬레이션 및 토의

그림 4는 2개의 메모리 모듈과 컨트롤러로 구성된 메모리 시스템을 나타내고 있다. 각각의 메모리 모듈은 8개의 DRAM으로 구성되어 있으며 배선의 종단에서 RSL 신호들은 28 Ω의 종단 저항을 통하여 V_{TT} 전원이 연결되어 있다. 각각의 배선은 Z_0의 특성 임피던스로 정합되어 있으며 2번째 RIMM module의 8번째 DRAM이 컨트롤러에서 가장 멀리 떨어져 있다. 즉, 16번째 있는 DRAM의 데이터 신호가 천이하면 첫 번째 DRAM 보다, Z_0의 특성 임피던스를 가진

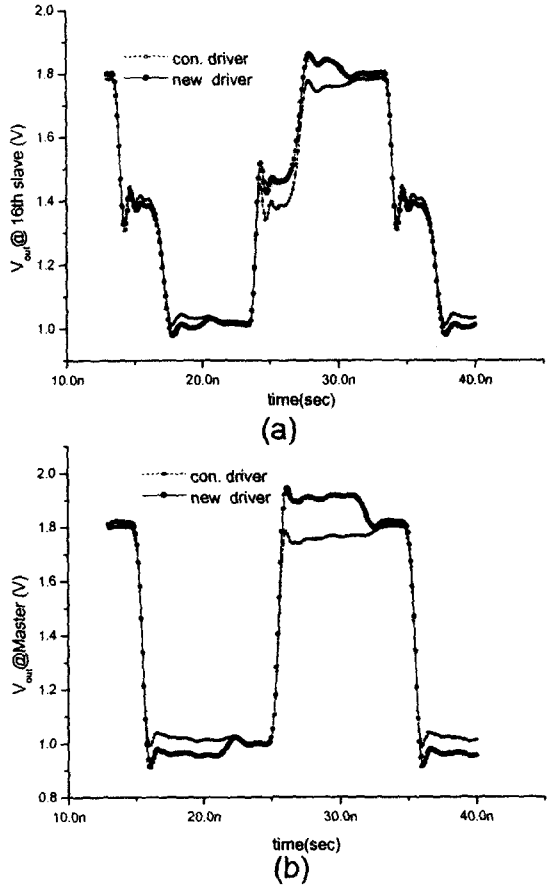

그림 5 READ 모드에서 DRAM이 데이터를 전송할 때 출력 파형 (a) 16 번째 slave에서의 파형 (b)master에서의 파형.

Fig. 5 Output waveforms when DRAM transmits data in READ mode: (a) output waveforms at 16th slave, and (b) output waveforms at master

16 배 만큼의 긴 배선을 거쳐 컨트롤러에 도착하기 때문에 master까지 신호의 지연 시간이 가장 많이 소요되고, 15개 DRAM 각 pin의 load에 의한 감쇄가 발생하여 신호 전송시 최악의 조건이 된다.

따라서, 메모리 시스템을 회로 모델링하여 16번 DRAM에서 전송되는 특성을 HPSICE[10]의 시뮬레이션을 통하여 평가하였다. 데이터가 변환될 때 출력전압이 강조되는 특성을 확인하기 위해서 출력 파형, 랜덤 패턴에 대한 eye diagram, 전송량에 따른 eye 폭의 변화, 그리고 V_{TT} 에 따른 최대 전송 속도 변화를 HSPICE 시뮬레이션 통하여 평가하였다.

배선의 모델은 HSPICE에서 제공하는 W model을 사용하고, MOS model 은 HSPICE Level 28를 사용하였다. 그리고, RIMM에 대한 모델은 [2]를 참조하여 설정하였다.

그림 5는 제안한 강조 구동회로를 사용하여 DRAM를 구동하였을 때와 강조회로가 없는 기존 구동회로를 사용하여 16번째의 DRAM를 구동하였을 때 Slave 및 Master에서 나타나는 출력 파형을 나타내고 있다. 기존의 구동회로를 사용하여 DRAM을 구동하였을 때보다 제안한 강조 구동회로를 사용하면 출력 파형의 상승부와 하강부에서 전압이 50

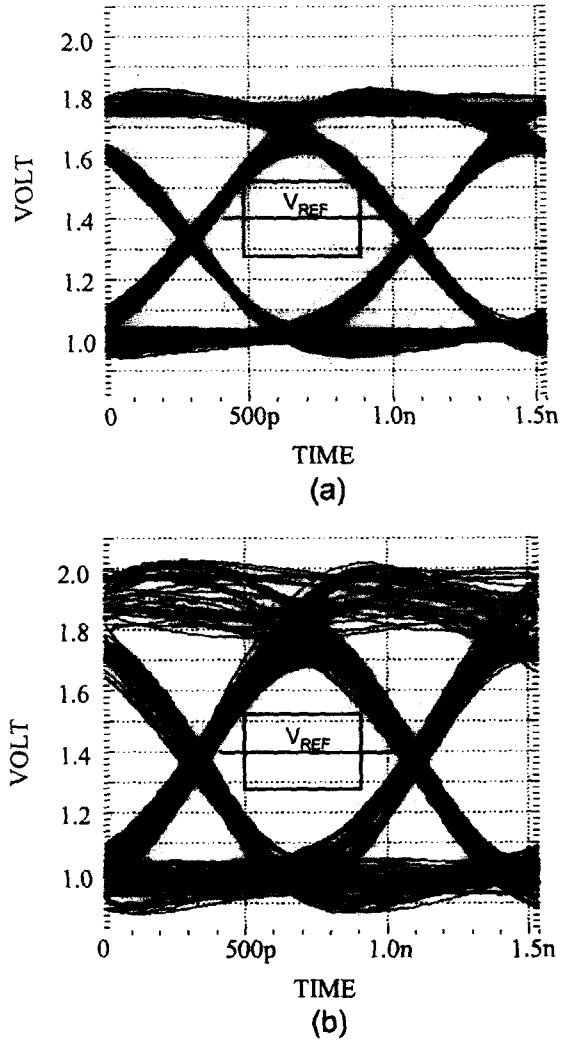

그림 6 1.3 Gbps로 데이터를 전송할 때 eye diagram : (a) 기존의 드라이버를 사용한 경우, (b) 제안한 드라이버를 사용한 경우, (사각형은 규격 상자 (specification box)를 의미하며 데이터 신호가 규격 상자 내에 있으면 규격을 만족시키지 못함.).

Fig. 6 Eye diagram at rate of 1.3 Gbps (a) the conventional driver (b) the proposed driver, (The rectangular means the specification box. The data signal in the specification box does not satisfy specification.).

mV 이상 상승 또는 하강하는 것을 알 수 있다. Master에서 반사된 신호가 Slave에 도착할 때까지 Slave에서 강조회로가 동작하여 버스 채널에 전류를 공급시켜 버스 채널의 출력 전압을 강조시킨다.

그림 6은 데이터 신호의 잡음 마진을 확인하기 위해서 1.3 Gbps로 전송되는 400개의 유사 random 데이터를 버스 채널에 전송하였을 때 출력 신호의 eye diagram을 나타내고 있다. 입력 신호의 상승 시간과 하강 시간은 200 psec로 하였으며, 50% 듀티(duty)를 만족하는 신호를 인가하였다. 400개 이상의 신호를 전송하였을 때에는 eye diagram이 거의 일정하게 나타나기 때문에 400개의 신호를 전송하는 경우에

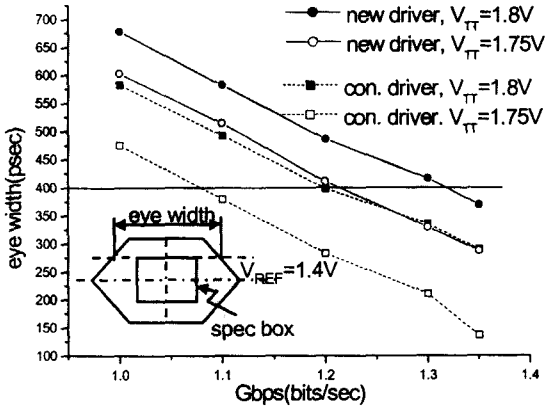

그림 7 16번째 DRAM이 READ 동작을 수행할 때 전송되는 데이터 신호가 V_{REF}보다 125mV 이상 스윙하는 구간에서의 eye width (eye width가 400psec 이상일 때 규격 상자를 만족시킴).그림

Fig. 7 Eye width of data signal higher than V_{REF} by over 125mV in READ mode of 16th DRAM (data signals with eye width of over 400 psec satisfy the specification box.).

eye diagram을 그려 데이터 패턴에 따른 전송되는 신호의 왜곡 특성을 평가하도록 하였다. Eye diagram 내부에 있는 사각형은 메모리 시스템의 규격을 만족시키는 영역을 나타내고 있다. High 상태의 출력은 V_{REF}보다 125 mV이상 높아야 되고 low 상태일 때는 125 mV 이상 낮아야 되고 사각형의 가로축은 eye width라 하며 400 psec 이상되어야 된다. 이 사각형을 규격 상자(specification box)라 하며 eye diagram이 규격 상자밖에 있으면 메모리 시스템의 규격을 만족시키고 데이터를 DRAM에서 컨트롤러로 데이터를 정확하게 전송할 수 있으며, 그렇지 않으면 규격을 만족시키지 못한다.

기존 구동회로를 사용하여 설계된 DRAM에서 1.3 Gbps로 데이터를 전송할 때 eye diagram을 나타낸 그림 6 (a)에서 보면 high 상태의 전압이 규격 상자 내부로 들어오게 되어 컨트롤러에서 데이터를 정확하게 검출할 수 없게 된다. 그러나, 제안한 강조 구동회로를 사용하여 데이터를 1.3 Gbps로 전송하면 그림 6 (b)에 나타낸 것같이 규격 상자를 만족시키며 DRAM에서 오류 없이 데이터를 전송할 수 있다. 그림 6(a)에서 보는 바와 같이 LOW 마진이 크기 때문에 MN6만으로 HIGH 마진을 확보하는 것만으로 충분하다. 그러나, LOW 마진이 부족하였을 경우에는 MN1, MN2, MN3를 이용한 LOW 쪽의 강조를 더욱 크게 수행하면, 마진을 확보하는데 유용할 것이다.

그림 7은 V_{TT}의 전압이 1.75 V일 때와 1.8 V일 때 데이터 신호가 전송되는 속도를 변화시키면서 버스 채널에 전송되는 데이터 신호 전압이 V_{REF}를 기준으로 125 mV 클 때의 eye width를 나타내고 있다. V_{TT} 전압이 1.8 V이고 기존 구동회로를 사용하였을 때는 최대 전송속도가 1.2 Gbps이지만, 제안한 강조 구동회로를 사용하면 V_{TT}가 1.8 V일 때 데이터의 전송속도가 1.32 Gbps가 되어도 400 psec이상의 eye width를 만족시킨다.

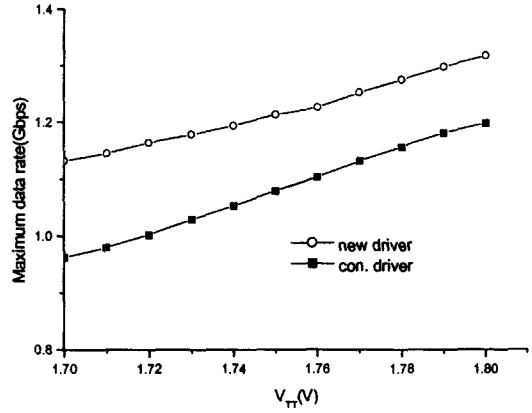

그림 8 16번째 DRAM이 READ할 때 V_{TT}에 따른 최대 전송속도

Fig. 8 Maximum data rate vs. V_{TT} in READ mode of 16th DRAM

V_{TT}에서 버스 채널에 공급되는 전류가 크기 때문에, V_{TT}의 전압이 심하게 변동된다. 따라서, V_{TT}가 1.7 V에서 1.8 V까지 변할 때 데이터 신호의 최대 전송 속도를 회로 시뮬레이션을 통하여 그림 8에 나타내었다. V_{TT}가 1.75 V일 때 기존의 구동회로를 사용하면 DRAM의 최대 전송 속도는 1.08 Gbps이며, 제안한 강조 구동회로를 사용하면 V_{TT}가 1.75 V가 되어도 최대 1.21 Gbps까지 DRAM의 데이터를 전송할 수 있음을 알 수 있다. 그리고, V_{TT}가 1.71 V 이하가 되면 기존 구동회로를 사용하면 데이터의 전송속도가 1 Gbps이하로 떨어지지만 제안한 강조 구동회로를 사용하면 V_{TT} 전압이 1.7 V가 되어도 1.1 Gbps 이상의 속도로 데이터를 전송할 수 있다.

3. 결 론

메모리 시스템은 출력 핀이 매우 많기 때문에 serial link에서 사용되는 복잡한 강조 회로를 사용하여 데이터 신호를 전송시킬 수 없다. 따라서, 버스 채널에서 신호가 천이될 때 버스 채널에 더 많은 전류를 공급하여 출력 신호의 상승부와 하강부에서 전압을 더욱 증가 또는 감소시키는 강조 회로를 제안하였다. 제안한 강조 회로는 고속의 제어 신호가 필요하지 않으며 회로의 면적도 작기 때문에 출력 핀이 많은 메모리 시스템에 적용할 수 있다.

잡음 마진이 125 mV일 때 기존 구동회로를 사용하면, 1.2 Gbps 이상으로 데이터를 전송하기 어렵지만, 제안한 강조 구동회로를 적용하여 메모리 시스템을 설계하면 최대 1.32 Gbps까지 데이터를 전송할 수 있으며, 기존 구동 회로를 사용하였을 때 보다 10 % 전송 속도가 향상됨을 HSPICE로 확인하였다. 또한, 구동 회로가 동시에 동작하여 종단 전압(V_{TT})이 100 mV가 감소되는 경우에도 제안한 강조 구동회로를 사용한 메모리 시스템은 1.1 Gbps이상 데이터를 전송할 수 있다.

참 고 문 헌

[1] Takashi Sato *et al.*, A 5-GByte/s Data-Transfer Scheme with Bit-to-Bit Skew Control for Synchronous DRAM, IEEE J. Solid-State Circuits, vol. 34, no. 5, pp. 653 660, May 1999.

[2] RIMM Module Design Guide http://www.rambus.com/developer/downloads/RimmModuleDesignGuide_100.pdf.

[3] Jared L. Zerbe *et al.*, 1.6 Gb/s/pin 4-PAM Signaling and Circuits for a Muti-Drop Bus, Symposium on VLSI Circuits Digest of Technical Papers, pp. 128-131, 2000.

[4] William J. Dally, Transmitter Equalization for 4Gb/s Signaling. IEEE Micro, pp 48-56, Jan/Feb, 1997.

[5] David A. Johns *et al.*, Integrated Circuits for Data Transmission Over Twisted-Pair Channels, IEEE Journal of Solid-State Circuits, vol. 32, no. 3, pp. 398-406, March 1997.

[6] Albert X. Widmer *et al.*, Single-Chip 4 500-MBd CMOS Transceiver, IEEE J. Solid-State Circuits, vol. 31, no. 12, pp.2004-2013, Dec. 1996.

[7] Alan Fiedler, A 1.0625Gbps Transceiver with 2x-Oversampling and Transmit Signal Pre-Emphasis, ISSCC Digest of Technical Papers pp. 238-239, 1997.

[8] 256/288-Mbit Direct RDRAM, http://www.rambus.com/developer/downloads/rdram.256d.0105-1.1.book.pdf.

[9] Rambus Corp. Direct Rambus Design Release: ReleaseD1-02 and Dell specification, Feb. 16, 2001.

[10] Avant! Corp., HSPICE Users Manual, 1996.

저 자 소 개

김 준 배 (金 俊 倍)

1969년 4월 28일 생. 1993년 한양대 전자공학과 졸업. 1995년 동 대학원 졸업 (석사). 1995년~현재 동 대학원 전자전기컴퓨터공학부 박사과정. 주관심 분야는 고속 I/O 회로 설계 등임.

Tel : 02-2290-0359, Fax : 02-2297-7701

E-mail : jun_bae_kim@hotmail.com

권 오 경 (權 五 敬)

1955년 생. 1978년 2월 한양대 공과대 전자공학과. 1986년 6월 Stanford University, Dept. of Electrical Engineering, (석사). 1988년 3월 Stanford University, Dept. of Electrical Engineering, (공박). 1980년 1월~1983년 5월, 금성 전기(주) 기술 연구소, 연구원. 1983년 5월~1987년 12월, Stanford University, Stanford Electronics Laboratories, 연구조교. 1987년 12월~1992년 8월, Texas Instruments, Semiconductor Process & Design Center, 책임연구원. 1992년 9월~현재, 한양대 공과대학 전자전기컴퓨터공학부, 교수. 주관심 연구분야는 Smart Power Integrated Circuits 설계 및 제조 공정, 전자 패키징 및 Interconnection 설계, 제조 공정 및 테스트 및 Flat Panel Display 기술 및 구동회로 설계임

Tel : 02-2290-0359, Fax : 02-2297-7701

E-mail : okwon7@chollian.net