

An ASIC Implementation of Synchronized Phasor Measurement Unit based on Sliding-DFT

金 琮 潤* · 張 泰 奎** · 金 載 和***

(Chong-Yun Kim · Tae-Gyu Chang · Jae-Hwa Kim)

Abstract - This paper presents an implementation method of multi-channel synchronized phasor measurement device, which is based on the ASIC implementation of the sliding-DFT. A time-shared multiplier structure is proposed to minimize the number of gates required for the implementation. The design is verified by the timing simulation of its operation. The effect of coefficient approximation in the recursive implementation of the sliding-DFT is analytically derived and verified with the computer simulations.

Key Words : Sliding-DFT, Phasor measurement, ASIC

1. 서 론

최근 들어 전력의 수요가 급증함에 따라 전력계통의 규모 증가와 전력 품질의 안정적인 유지가 요구되고 있다. 그러나 전력계통의 내적 및 외적 요인에 의하여 고장이 발생하고, 전기적 고장으로 인하여 광역 정전이 발생할 수 있다. 이러한 사고를 미연에 방지하기 위해서는 전력시스템의 실시간 상태 데이터를 동기 시각에 측정하여 감시·제어에 이용할 수 있는 장치가 필수적이다.

기존의 동기 위상 측정 장치에 대한 연구는 주로 FFT나 DFT를 기반으로 한 알고리즘을 고가의 DSP 칩을 이용하여 소프트웨어적으로 구현하는 기법들이 주를 이루고 있다. 이러한 방식들은 디지털 신호 처리에 있어 DSP 프로세서의 고유한 파이프 라이닝이나 병렬 처리와 같은 구조를 최대한 활용하여 구현의 효율성을 극대화할 수 있는 장점을 가지고 있다 [1]. 그러나 상업적으로 대량생산함에 있어서는 ASIC과 같은 전용 하드웨어로 구현하는 것이 경제적인 측면에서 유리하다.

SDFT(sliding discrete fourier transform)는 매 입력 샘플마다 연속적으로 겹치는 N-points 신호 구간에 DFT를 계산하는 것을 일컫는다. SDFT는 시간에 따라 변하는 스펙트럼 특성을 추적해야 할 경우에 유용하며 영상처리, 적응 필터링등에서 그의 응용을 찾을 수 있다[2][3]. 이러한 DFT는 첫 번째 주파수 성분이 페이저와 같음을 이용하여 페이저 측정에 응용할 수 있다. 이 때 DFT의 복소수 계수를 유한 비트로 근사 표현하고, 순환구조로 계산한다면 범용 마이크로 컨트롤러나 ASIC으로 구현하기가 더욱 경제적이다. 이러한 구현에 있어서 고속연산과 경제성을 고려하여 유한 bit

의 고정소수점 연산을 수행하게 된다. 그러나 순환구조 구현은 오차파급 특성 때문에 근사 구현에 따른 오차에 민감하다. 따라서 계수 근사 bit수와 DFT 구간길이 등의 설계변수를 결정할 때는 근사에 따른 오차 영향을 고려해야한다. 특히 범용 마이크로컨트롤러나 ASIC 합성으로 구현할 때 구현속도와 경제성을 동시에 만족시키기 위해 복소수 계수를 근사 표현 할 때는 적절한 설계 파라미터의 선택을 위해 bit수 제한에 기인한 오차영향의 해석은 필수 사항이다[4].

본 논문에서는 순환 DFT를 계수 근사에 의한 구현시 발생하는 오차의 영향을 해석하여 이를 순환 구현에 있어 설계 지침으로 하였으며, 이의 시뮬레이션 결과를 나타내었다. 이를 바탕으로 동기 위상 측정 장치를 위한 DFT(Discrete Fourier Transform) 순환 알고리즘을 ASIC 또는 FPGA등의 전용하드웨어로 합성하기 위한 구현 방법을 제시하였다. 설계 과정에서 최소의 게이트로 하드웨어를 구현하기 위해서 상대적으로 많은 수의 게이트를 요구하는 곱셈기를 시분할에 의해 공유하는 구조에 대하여 기술하였으며, 설계한 하드웨어의 내부동작을 보여주는 시뮬레이션을 통해 설계의 정확성을 확인하였다.

2. 순환 DFT에 기초한 페이저 연산 알고리즘과 오차 영향 해석

순환 DFT 알고리즘은 현재 신호 블록의 DFT 값을 구할 때 이전 신호 블록의 DFT 값을 이용하는 기법이다. 이는 매 입력 샘플마다 블록 단위로 주파수 값을 계산하는 block-DFT등과 같은 비 순환 기법들에 비해 계산량을 크게 줄일 수 있어, 실시간 응용에서처럼 고속연산이 필요한 경우에 매우 유용하다[5][6]. 본 장에서는 DFT 순환 구현을 기반으로 한 페이저 연산 알고리즘을 제시하고 있으며, 알고리즘의 순환 구현에 있어 계수 근사에 따른 오차의 영향을 해석적으로 구하는 과정을 기술하였다. 오차 해석을 위해 페이저 연산 순환식을 통해 오차 전력을 해석적으로 구하였

* 正 會 員 : 中央大 電子電氣工學部 博士課程

** 正 會 員 : 中央大 電子電氣工學部 教授

*** 正 會 員 : 삼성전자(주) 디지털미디어 총괄 중앙연구소

接受日字 : 2001年 7月 31日

最終完了 : 2001年 10月 31日

으며, 이는 복소수 계수를 표현하는 bit수와 DFT 구간길이, 부가 잡음에 대한 정량적인 해석식으로 얻는다.

2.1 페이지 연산을 위한 순환 DFT 알고리즘

DFT 순환식은 DFT 값을 표현할 때 sliding-index 'n' 을 이용해서 표현할 수 있으며, 페이지 연산은 DFT 순환식에서 첫 번째 주파수 성분만을 이용한다. 신호열 $x(n)$, $x(n+1)$, ..., $x(n+N-1)$ 의 N-points DFT는 식 (1)과 같이 표현된다.

$$X_1(n) = \sum_{m=0}^{N-1} x(n+m) W_N^m \quad (1)$$

여기서, W_N 은 진동계수(twiddle coefficient)로 $e^{j2\pi/N}$ 와 같다. $X_1(n)$ 은 n-번째 데이터블록의 첫 번째 주파수 성분을 나타내며, 식 (1)에서 $X_1(n+1)$ 과 $X_1(n)$ 의 관계를 통해 식 (2)와 같이 페이지 연산을 위한 순환식을 얻는다.

$$\begin{aligned} X_1(n+1) &= \sum_{m=0}^{N-1} x(n+1+m) W_N^m \\ &= W_N [X_1(n) + x(n+N) - x(n)] \end{aligned} \quad (2)$$

여기서, $X_1(n+1)$ 은 창을 한 샘플 지연시킨 다음 창의 데이터블록의 첫 번째 주파수 성분을 나타낸다. 식 (2)에서 다음 블록의 첫 번째 주파수 성분 $X_1(n+1)$ 은 현재 블록의 $X_1(n)$ 에 블록에 새로 들어오는 신호 $x(n+N)$ 을 더하고 블록에서 나가는 신호 $x(n)$ 을 뺀 후에 진동계수 W_N 을 곱해서 얻을 수 있음을 나타낸다.

그러나 식 (2)와 같은 방법으로 페이지를 계산하면 결과 값이 매번 반시계 방향으로 $2\pi/N$ 만큼씩 돌아가는 형태로 나타나게 되는데, 이런 형태로 계산이 행해지면 정상상태에서 페이지가 일정치 않게 된다. 따라서 정확한 페이지를 얻기 위해서는 순환 방식을 사용할 때 $\exp\{-j(2\pi/N)n\}$ 만큼 보정해 주어야 하며, 그 결과 식을 식 (3)에 나타내었다.

$$\begin{aligned} X_p(n+1) W_N^{n+1} &= W_N [X_1(n) W_N^n + x(n+N) - x(n)] \\ X_p(n+1) &= X_p(n) + W_N^n \cdot \{x(n+N) - x(n)\} \end{aligned} \quad (3)$$

여기서, $X_p(n) = X_1(n) W_N^n$ 을 나타내는 것으로 보정된 페이지 값을 나타낸다. 이와 같은 방법으로 순환 DFT를 구하면 정상상태에서 항상 동일한 페이지를 가지게 된다. 이에 대한 페이지 연산 순환 알고리즘의 신호 흐름도를 그림 1에 나타내었다. 그림 1에서 보듯이 N 샘플 차이가 나는 입력 신호 $x(n+N)$ 과 $x(n)$ 의 차에 진동계수를 곱하고 이를 누적시킴으로써 실시간으로 페이지를 측정할 수 있다.

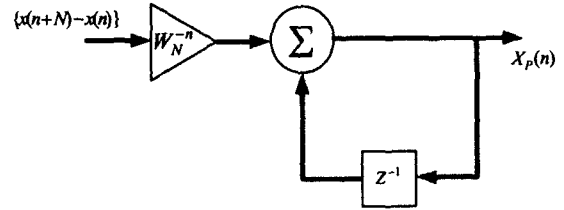


그림 1. 페이지 연산 순환식의 신호 흐름도
Fig. 1. Signal flow diagram of the recursive phasor measurement

2.2 페이지 연산의 오차 영향 분석

페이지 연산을 위한 순환 DFT 알고리즘의 구현에 있어 계수를 근사화하고 순환 DFT를 수행하면 블록내의 실제 페이지 값과 근사 계산된 페이지 값의 차이가 생겨 오차가 누적되게 되는데 이러한 오차의 양을 해석적으로 구할 수 있다. 오차의 영향을 해석하기 위해서 근사 순환 DFT식을 이용하여 오차 방정식(error dynamics)을 정의하고 이를 토대로 근사 비트 수에 대한 오차의 특성을 분석한다. 오차 전력은 오차파급의 주요 영향 요소인 근사 bit수, DFT 구간 길이와 잡음에 관한 closed-form으로 유도할 것이다. 대상 신호는 응용측면에서 일반성을 고려하여 단일 sine파에 평균이 '0'인 가우스 백색신호가 가산된 신호로 설정하였다.

식 (3)에서 계수의 유한 비트 구현은 다음의 식 (4)와 같이 유한 비트 구현된 페이지 값 $\hat{X}_p(n)$ 에 대하여, 양자화된 진동계수 \hat{W}_N^{-n} 을 이용하여 기술할 수 있다.

$$\hat{X}_p(n+1) = \hat{X}_p(n) + \hat{W}_N^{-n} \{x(n+N) - x(n)\} \quad (4)$$

이 때 페이지 오차 $E(n+1)$ 을 근사 페이지 값과 실제 페이지 값의 차이로 정의하여 식 (5)와 같이 나타낼 수 있다.

$$E(n+1) = \hat{X}_p(n+1) - X_p(n+1) \quad (5)$$

식 (5)에 (3)식과 근사 페이지 연산 순환식 (4)를 대입하고 $E(n+1)$ 과 $E(n)$ 의 관계로 정리하면 (6)과 같은 오차 방정식을 얻는다.

$$E(n+1) = E(n) + (\hat{W}_N^{-n} - W_N^n) \{x(n+N) - x(n)\} \quad (6)$$

이 오차방정식은 진동계수오차 $\hat{W}_N^{-n} - W_N^n$ 와 입력 신호의 계측 오차에 따라 특성이 결정된다. 오차 방정식을 통해 순환 DFT 구현에 있어 오차의 영향을 해석하기 위하여 오차 전력을 구한다. 오차 전력의 유도에서 필요한 기하학적 해석을 위해 새로운 변수 δ_n 과 입력 항 $U(n)$ 을 도입하여 식 (6)을 (7)과 같이 다시 쓸 수 있다.

$$E(n+1) = E(n) + \delta_n W_N^n U(n) \quad (7)$$

여기서, $\delta_n \triangleq \frac{\widehat{W}_N^{-n} - W_N^n}{W_N^n}$, $U(n) \triangleq x(n+N) - x(n)$ 을

나타낸다. 이 오차방정식은 입력이 $U(n)$ 인 1차 시스템 방정식 형태로 나타나며, 오차방정식의 특성을 결정하는 δ_n 는 계수 양자화 비트 수에 따라 결정된다.

본 논문에서는 순환 DFT의 오차특성을 나타내는 관계식을 얻기 위해 오차 전력을 구하였으며, 오차전력은 δ_n 의 기하학적 분포특성에 관계하는 비트 수, DFT 블록 길이, 부가 잡음에 관한 식으로 나타난다. 오차전력은 다음에 식 (8)과 같이 블록길이 만큼의 오차 누적으로 유도할 수 있다.

$$E(n) = \sum_{m=0}^{N-1} \delta_m W_N^m U(m) \quad (8)$$

오차의 평균전력밀도의 기대치 σ_E^2 은 (8)의 양변에 절대값 제곱을 취하고 평균을 취하여 식 (9)와 같이 나타낼 수 있다.

$$\begin{aligned} \sigma_E^2 &\triangleq \epsilon\{|E(n)|^2\} \\ &= \sum_{m=0}^{N-1} \epsilon\{|\delta_m W_N^m|^2\} \cdot \epsilon\{|U(m)|^2\} \\ &= \frac{4}{3} \Delta_b^2 \cdot \sigma_n^2 \cdot N \end{aligned} \quad (9)$$

여기서, $U(m)$ 의 전력은 N 샘플 떨어진 신호의 차이로 한 주기를 N번 샘플링하기 때문에 잡음의 전력으로 나타낼 수 있다. 진동계수의 크기를 b 비트로 근사화하면, 근사계수

\widehat{W}_N^{-m} 는 복소수 평면상에서 2^{-b} 의 길이를 갖는 정사각형 격자점으로 표시할 수 있다. 이에 대해 계수 근사시 버림을 하는 경우를 가정하면 계수 근사 오차 $\delta_m W_N^m$ 는 그림 2에 보인 것과 같이 실수축, 허수축이 각각 한 변의 길이가 2^{-b} 인 정사각형 영역에 균등하게 분포하는 확률변수로 가정할 수 있다. $|\delta_m|^2$ 는 $|\delta_m W_N^m|^2$ 과 같기 때문에 이를 토대로 계수 근사 오차에 대한 기대값을 구하면 식 (10)과 같다 [7].

$$\begin{aligned} \epsilon\{|\delta_m|^2\} &= \int \int_R |\delta_m|^2 \cdot p_\delta dR \\ &= \frac{2}{3} \Delta_b^2 \end{aligned} \quad (10)$$

여기서, $\Delta_b = 2^{-b}$, $p_\delta = \frac{1}{4\Delta_b^2}$.

식 (9)에서의 해석식을 통해 주파수 변화가 없는 입력 신호에 대해 잡음성분만이 있는 상황에서 입력 신호의 한 주기를 N 샘플로 샘플링한 후, 순환 DFT 알고리즘을 수행하게 되면 error canceling 효과가 생겨 오차 전력이 일정한

상수로 수렴하는 특성을 알 수 있다. 이는 pole이 단위원에 존재하는 시스템이 발산하지 않는 특이한 경우라고 할 수 있다. 이를 통하여 순환 알고리즘을 수행하는 경우 오차의 누적이 없어 이의 하드웨어 구현이 가능함을 알 수 있다.

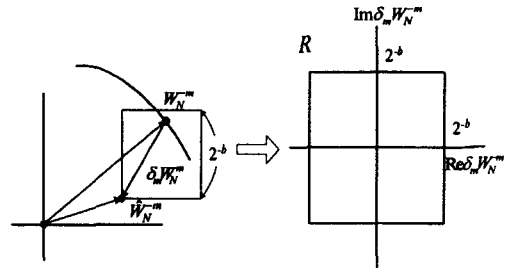


그림 2. 계수오차 $\delta_k W^k$ 의 공간적인 확률분포
Fig. 2. Spatial distribution of the twiddle factor error $\delta_k W^k$

3. 페이지 연산기의 곱셈기 공유 구조

본 장에서는 다 채널의 페이지 연산 장치를 전용하드웨어로 구현하기 위한 설계 방법에 대하여 기술하였으며, 이를 최소의 게이트의 수로 구현하기 위하여 비교적 많은 게이트를 차지하는 연산기인 곱셈기를 시분할에 의해 공유하는 구조를 제시하였다.

다 채널 페이지 연산기는 PT, CT에서 출력되어 필터를 거친 아날로그 신호인 전압, 전류를 동기된 클럭신호로 샘플링하여 디지털 신호로 변환한 신호를 입력으로 받아들인다. 이때의 샘플링 주파수를 기본 주파수 60 [Hz]의 32배인 1.92 [KHz]로 하였으며, 동기 위상은 샘플링 주파수에 따라 연속적으로 들어오는 입력 데이터에 대하여 DFT 순환 기법 적용하여 측정하였다.

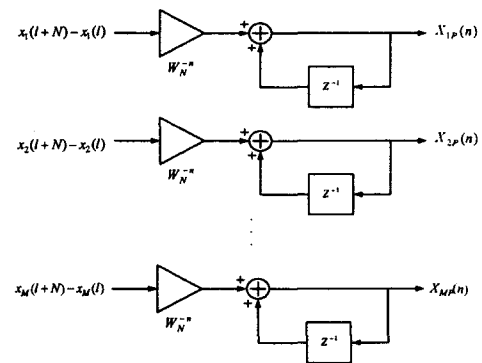


그림 3. 다 채널 위상 측정 장치의 병렬 구현 구조의 블록도

Fig. 3. Parallel realization structure of the multi-channel phasor measurement unit

본 논문에서 설계한 다 채널 페이지 연산기의 구조도를 그림 3에 나타내었으며, 그림에서 보듯이 여러 개의 채널을 갖도록 설계하였다. 페이지 연산 장치에서 한 채널의 출력

샘플을 얻기 위해서는 1번의 복소수 곱셈 연산과 2번의 덧셈 연산이 필요하게 된다. 각 채널별로 동일한 형태를 가진 구조를 구현할 때, 독립적으로 구현하여 병렬로 조합하는 방식은 시스템 타이밍 측면에서 구현이 단순·용이하고 연산 지연이 없는 반면에 요구되는 게이트의 양이 많게 된다. 이에 본 논문에서는 정확한 타이밍을 이용하여 동일한 구조를 공유함으로써 순차적으로 채널별 출력 결과를 얻고 이를 각각 더하는 순차 구현 방식을 적용하였으며, 공통적으로 사용된 연산 모듈중에 게이트의 소요량이 큰 곱셈기를 시간 구별로 공유하여 구현에 필요한 게이트를 최소화할 수 있는 구조를 도출하였다.

곱셈기 공유는 하나의 입력으로 진동계수, W_N^k 을 순차적으로 입력시키고 또 다른 입력으로 각 채널 데이터 입력의 현재 시간 값과 지연 값의 차인 $\{x_i(n+N) - x_i(n)\}$ 을 순차적으로 입력하여 곱셈을 수행하고 이를 이전의 출력 값들과 각각 더함으로써 각 채널의 출력 샘플을 완성하는 방식으로 이루어진다. 본 논문에서 설계한 곱셈기 공유 구조의 입출력 타이밍 도를 그림 2에 나타내었다. 그림 2에서 각 채널의 출력 결과 값이 타이밍 분할을 통해 계수와 입력 데이터의 곱셈을 수행한 후 두 클럭의 시간 지연 후에 나타나도록 하였다.

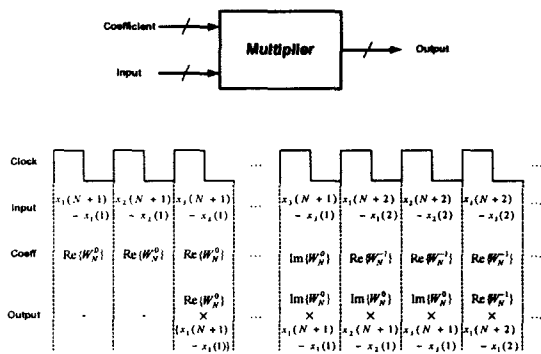


그림 4. 구현한 공유 곱셈기의 타이밍 구조도

Fig. 4. Timing diagram of the implemented time-shared multiplier

공유 곱셈기를 게이트 지연이 없는 이상적인 조합회로로 구현했을 경우에는 입력이 인가된 후 지연 없이 계산 결과를 얻을 수 있으나 실제적으로 게이트의 지연이 있는 조합회로로 구현하면 이에 해당하는 충분한 시간을 대기하여야만 정확한 연산 결과를 얻을 수 있다. 본 논문에서 계수 및 입력 신호를 16 비트의 정밀도로 표현하는 경우를 고려할 때, 16×16 비트의 조합회로 곱셈기는 Altera사의 FLEX10K FPGA에서의 합성을 대상으로 하여 131.1 [nsec]의 지연을 갖는 것으로 측정되었다. 하나의 곱셈이 클럭지연 없이 완성되기 위해 필요한 시간은 $1.92 \text{ [KHz]} \text{ 샘플링을 기준으로 } 86.82 = 1/1920/6 \text{ [usec]}$ 이므로 131.1 [nsec]의 지연은 이를 충족하는 충분한 지연 시간이다. 고속 타이밍이 필요하지 않은 연산에서는 타이밍을 분할하여 필요한 하드웨어를 줄이는 설계가 유효하다 하겠다. 이러한 구조에 따른 페이지 연산 장치의 설계사양과 설계 및 오차 영향 해석식에 대한 시뮬레이션 결과를 4절에 기술하다.

4. FPGA에 기초한 시스템 구현 및 시뮬레이션 결과

본 장에서는 3장에서 설계한 페이지 연산기를 하드웨어로 구현한 결과와 동작 시험 결과를 제시하였으며, 설계한 페이지 연산기를 VHDL로 기술하고 이에 대한 하드웨어 시뮬레이션을 수행하여 설계의 정확성을 확인하였다. 또한 계수 근사 구현에 따른 오차 영향에 대한 시뮬레이션을 통해 해석식의 정확성을 확인하였다.

3절에서 공유 곱셈기를 적용한 페이지 연산기의 설계 사양을 표 1에 나타내었다. 곱셈기의 출력은 오차 영향을 줄여 정밀도를 높여주기 위하여 truncation 시키지 않은 32 bits로 하였으며, 가산기는 overflow를 방지하기 위하여 guard bit을 두었다.

표 1. 구현한 다 채널 페이지 연산기의 설계 사양

Table 1. Design parameters of the implemented multi-channel phasor measurement unit

사양 신호	비트 수	Number 시스템	비고
입력 샘플	16	2's complement	ADC 출력
진동 계수	16	2's complement	W_N^k
Multiplier	입력 16	signed magnitude	
	출력 32		
Accu- mulator	입력 32	2's complement	Guard bits
	출력 32+3		
출력 샘플	16	2's complement	위상값

그림 5에서는 구현한 페이지 연산 장치의 내부 동작을 보여주는 하드웨어 시뮬레이션 결과를 나타내었다.

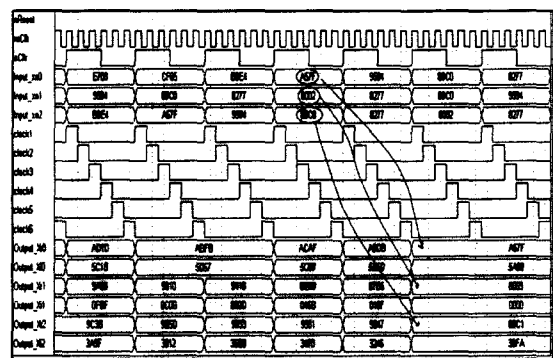


그림 5. 구현한 다 채널 위상 측정 장치의 입출력 과 내부신호 시뮬레이션 결과

Fig. 5. Simulation results of input/output and internal signals of the implemented multi-channel phasor measurement unit

여기서는 3채널을 동시에 출력으로 내보내는 설계 구조를 가지도록 하였으며, 샘플링 클럭, sClk, 을 6개로 타이밍

분할하여 3 채널에 대한 복소수 계산을 하도록 하였다. 순차 구현 방식으로 인해 현재 입력 샘플에 대한 출력 페이지 값이 두 클럭 지연되어 나타남을 알 수 있으며, 하드웨어 게이트 지연을 고려한 시뮬레이션을 통해 설계한 페이지 연산 장치의 설계의 정확성을 확인하였다.

본 논문에서 유도한 해석식 (9)을 검증하기 위해서 해석식과 시뮬레이션 결과를 비교하였다. 입력 신호는 단일 sine 파에 백색 잡음이 가산된 신호를 대상으로 하였으며, SNR은 10 [dB], 근사 bit 수는 8 비트로 하였다. 세 가지 다른 구간길이, N=64, 128 그리고 256 인 경우에 대하여 블록내의 오차를 구하고 이를 100번 평균하여 오차 전력을 추정하였으며, 그림 6에 시행 횟수를 바꾸어 가며 표시한 시뮬레이션 결과를 해석적으로 유도한 식과 나타내었다. 그림에서 오차 전력이 시행 횟수를 증가시켜도 error canceling 효과가 있어서 발산하지 않고 일정한 상수로 수렴하는 것을 볼 수 있으며, 해석적으로 유도한 결과와 시뮬레이션 실험 결과가 정확하게 일치함을 알 수 있다.

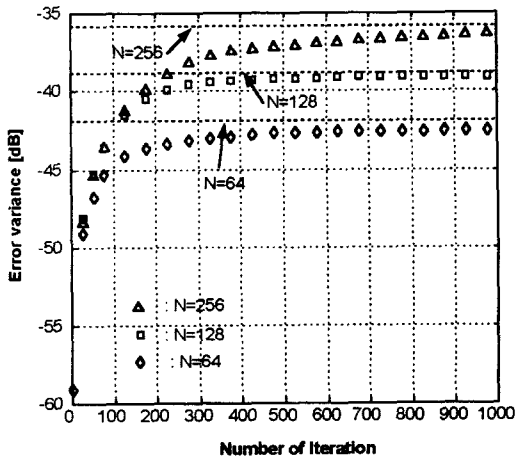


그림 6. 시뮬레이션 실험과 해석식을 통해 구한 오차 전력 비교. 해석식은 점선으로 나타내었고, 서로 다른 세가지 구간 길이 N=64, 128, 그리고 256인 경우의 시뮬레이션 실험 결과는 각각 \diamond , \square , 그리고 \triangle 로 나타내었다.

Fig. 6. Error variance comparison of the analytically derived results with the measured data obtained from the computer simulation experiment. The analytically derived results are illustrated with the marks \diamond , \square , and \triangle , for the three different size of the data block, i.e., N=64, 128, and 256, respectively.

그림 7은 구간 길이에 대하여 근사 bit 수를 바꾸어 가며 오차 전력의 해석식과 이에 대한 시뮬레이션 결과 비교를 보여주고 있으며, SNR은 10[dB]로 하였다. 그림에서 점선은 각 구간길이에 대한 해석식을 나타내어 있으며, 시뮬레이션은 각 구간길이에 대하여 시행 횟수를 달리 해 수렴한 값들을 나타내어 있다. 그림에서 보듯이 해석식과 시뮬레이션 결과가 일치함을 알 수 있다.

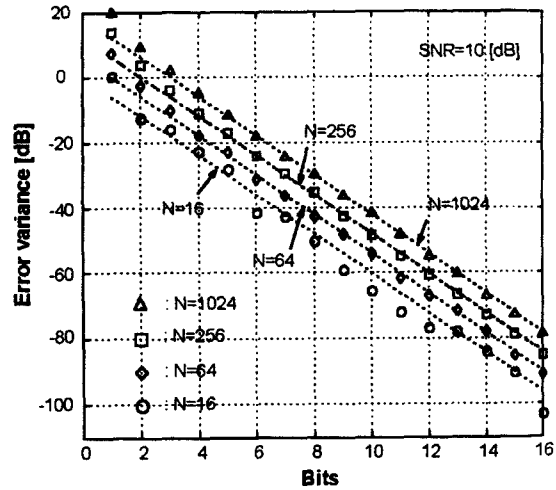


그림 7. 시뮬레이션 실험과 해석식을 통해 구한 오차 전력 비교. 해석식은 점선으로 나타내었고, 서로 다른 네 가지 구간 길이 N=16, 64, 256, 그리고 1024 인 경우의 시뮬레이션 실험 결과는 각각 \circ , \diamond , \square , 그리고 \triangle 로 나타내었다.

Fig. 7. Error variance comparison of the analytically derived results with the measured data obtained from the computer simulation experiment. The analytically derived results are illustrated with the marks, \circ , \diamond , \square , and \triangle , for the four different size of the data block, i.e., N=16, 64, 256, and 1024, respectively.

그림 6과 그림 7의 결과를 통해 해석적으로 구한 식 (3)이 정확하고, 페이지 연산을 위한 DFT 순환 알고리즘을 구현하는 설계 지침으로 유용하다고 결론을 내릴 수 있다.

6. 결 론

본 연구에서는 다 채널 페이지 연산 장치를 설계하고, 이를 FPGA로 합성한 결과와 이의 동작 시험 결과를 기술하였다. 이의 경제적 구현을 위하여 시분할에 의한 순차적인 구현 방식을 이용하여 곱셈기를 설계하고 적용하였다. 동일한 형태의 구조를 가지고 있는 장치를 구현하는데 있어서 게이트 수요가 채널 수가 늘어남에 따라 비례적으로 증가한다. 따라서 소요되는 게이트 수가 많은 연산기인 곱셈기를 각각의 연산 시에 시분할을 통해 공유하여 사용함으로써 독립적인 병렬구현 시에 비하여 월등히 적은 게이트만을 사용하여 구현할 수 있도록 하였다.

또한 순환 알고리즘을 계수 근사화하여 구현할 때 발생하는 오차의 영향을 해석적으로 구하는 과정을 기술하였다. 오차 전력의 해석식은 DFT 구간길이, 근사 비트수, 그리고 부가 잡음에 대하여 해석적으로 구하였으며, 이에 대한 시뮬레이션과 해석값이 일치하여 유도한 해석식의 타당성을 확인하였다. 이러한 오차 영향 해석을 기반으로 곱셈기 공유 구조를 적용한 페이지 연산 장치에 대한 동작 시뮬레이션을 수행하여 안정적인 성능을 나타내는 것을 확인하였다.

본 연구에서 설계한 페이지 연산 장치는 비교적 적은 하드웨어로도 정밀하게 동기 위상을 측정할 수 있어 경제성 및 성능 측면에서 매우 경쟁력이 있을 것으로 기대한다.

감사의 글

본 논문은 기초전력공학공동연구소의 중기 기초 연구 지원 사업에 의해 수행한 연구결과입니다. (과제 번호 : 99-중기-03)

참 고 문 헌

[1] Y.C. Lim, Bede Liu, "Pipelined Recursive Filter with Minimum Order Augmentation," IEEE Trans. on Signal Processing, vol. 40, no. 7, pp. 1643-1650, July 1992.

[2] K. J. R. Liu, C.T. Chiu, K.K. Kolagotla, and J.F. Ja' Ja', "Optimal unified architectures for the real-time computation of time-recursive discrete sinusoidal transforms," IEEE Trans. on Circuits Syst. Video Technol., vol. 4, pp. 168-180, Apr. 1994.

[3] N. R. Murthy and M. N. S. Swamy, "On the computation of running discrete cosine and sine transforms," IEEE Trans. on Signal Processing, vol. 40, no. 6, pp. 1430-1437, June 1992.

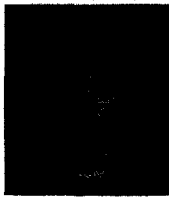
[4] Gabor Peceli, "A Common Structure for recursive Discrete Transforms," IEEE Trans. on Circuits and Systems, Vol. CAS-33, No. 10, pp. 1035-1036, Oct. 1986.

[5] Frabcoise Beaufays, Bernard Widrow, "On the Advantages of the LMS Spectrum Analyzer Over Nonadaptive Implementation of the Sliding-DFT," IEEE Tran. on Circuits and Systems-part I : Fundamental Theory and Applications, Vol. 42, No. 4, pp. 218-220, April 1995.

[6] A. V. Oppenheim and C. J. Weinstein, "Effects of finite register length in digital filtering and the Fast Fourier Transform," Proceedings of IEEE, vol.60, no. 8, pp. 957-976, Aug. 1972.

[7] Jae-Hwa Kim, and Tae-Gyu Chang, "Analytic Derivation of Finite Wordlength Effect of the Twiddle factors in Recursive Implementation of the Sliding-DFT," IEEE Transactions on Signal Processing, No. 5, Vol. 48, pp. 1485-1488, May 2000.

저 자 소 개



김 중 윤 (金 琮 潤)
 1976년 5월 1일 생. 1998년 중앙대 제어계측공학과 졸업. 2000년 동 대학원 제어계측학과 졸업(석사). 2000~현재 전자전기공학부 박사과정. 주관심 분야는 이동통신, 디지털 신호처리등임.
 Tel : 02-820-5318, Fax : 02-812-1293
 E-mail : mukko@jupiter.cie.cau.ac.kr



김 재 화 (金 載 和)
 1974년 2월 18일 생. 1996년 중앙대 제어계측공학과 졸업. 1998년 동 대학원 제어계측학과 졸업(석사). 2002년 동대학원 제어계측학과 졸업 (공학). 2002년~현재 삼성전자(주) 디지털미디어 총괄 중앙연구소. 주관심 분야는 이동 통신, 디지털 신호처리, 오디오/비디오 코딩 등임.
 Tel : 031-200-3675, Fax : 031-200-3147
 E-mail : jamsoon@intizen.com



장 태 규 (張 泰 奎)
 1955년 11월 13일 생. 1979년 서울대 전기공학부. 1981년 한국과학기술원 전기 및 전자공학과 졸업(석사). 1981년~1982년 현대엔지니어링(주). 1982년~1984년 현대전자산업(주). 1987년 Univ. of Florida 전기공학과 졸업(공학). 1987년~1990년 Tennessee State University, Assistant Professor, 1990년~현재 중앙대학교 전자전기공학부 교수. 주관심분야는 신호처리, 이동통신, 디지털 오디오등임.
 Tel : 02-820-5318, Fax : 02-812-1293
 E-mail : tgchang@jupiter.cie.cau.ac.kr