

## 대화면/고화질 TFT-LCD 개발을 위하여 ELA 및 SMC로 제작된 다결정 실리콘 박막 트랜지스터의 화소 특성 비교

손 명 식

동국대학교 밀리미터파 신기술 연구센터  
(2000년 10월 5일 접수)

### Comparative Pixel Characteristics of ELA and SMC poly-Si TFTs for the Development of Wide-Area/High-Quality TFT-LCD

Myung-Sik Son

Millimeter-wave Innovation Research Center, Dongguk University  
(Received October 5, 2000)

**요 약** - 본 논문에서는 ELA(excimer laser annealing) 및 SMC(silicide mediated crystallization) 공정으로 제작된 다결정 실리콘 TFT-LCD(Thin Film Transistor-Liquid Crystal Display) 화소의 전기적 특성을 Spice 회로 시뮬레이션을 통해 비교 분석하였다. 복잡한 TFT-LCD 어레이(array) 회로의 전기적 특성 분석을 위하여 GUI(Graphic User Interface) 방식으로 손쉽게 복잡한 회로를 구성할 수 있는 PSpice에 AIM-Spice의 다결정 실리콘 박막 트랜지스터 소자 모델을 이식하고, AIM-Spice의 변수 추출법을 개선 체계화하였으며, ELA 및 SMC 공정으로 각기 제작된 다결정 실리콘 박막 트랜지스터에 적용하여 단위 화소 및 라인 RC 지연을 고려한 화소 특성을 비교 분석하였다. 비교 결과 ELA 다결정 실리콘 박막 트랜지스터 소자가 SMC에 비해 TFT-LCD의 화소 충전 시간 및 킥백(kickback) 전압 특성이 모두 우수하게 나타남을 확인하였다.

**Abstract** - In this paper, we present a systematic method of extracting the input parameters of poly-Si TFT (Thin-Film Transistor) for Spice simulations. This method has been applied to two different types of poly-Si TFTs such as ELA (Excimer Laser Annealing) and SMC (Silicide Mediated Crystallization) with good fitting results to experimental data. Among the Spice circuit simulators, the PSpice has the GUI (graphic user interface) feature making the composition of complicated circuits easier. We added successfully the poly-Si TFT model of AIM-Spice to the PSpice simulator, and analyzed easily to compare the electrical characteristics of pixels without or with the line RC delay. In the comparative results, the ELA poly-Si TFT is superior to the SMC poly-Si TFT in the charging time and the kickback voltage for the TFT-LCD (Thin Film Transistor-Liquid Crystal Display).

## 1. 서 론

최근 들어 엑시머 레이저 결정화 기술(ELA)을 바탕으로 한 저온 poly-Si(다결정 실리콘) TFT(Thin-Film Transistor)를 이용한 LCD(Liquid Crystal Display)에 대한 연구 개발이 매우 활성화되고 있으며, 일본에서는 이미 10인치급 제품이 생산되고 있는 실정이다. 저온 다결정 실리콘 TFT는 캐리어 이동도가 비정질 실리콘에 비해 100배 이상으로 매우 높기 때문에 화소 스위

치뿐만 아니라 구동 회로 및 신호선 구동 회로를 유리 기판 위에 구현할 수가 있다. 또한, 높은 이동도는 단위 화소의 크기를 줄여 화소의 화질에 영향을 끼치는 킥백 전압을 줄일 수 있고, 저장용 정전용량(storage capacitance)을 줄임으로써 개구율을 향상시킬 수 있는 등 비정질 실리콘 TFT에 비해 많은 장점을 가진다. 또한 구동 회로를 일체화시켜 모듈의 경박단소화하는데 유리하고 초고해상도가 가능하기 때문에 차별화된 경쟁력을 갖으며, 대면적화에 유리하다. 그러나, 이러한

장점에도 불구하고 비정질 실리콘 TFT에 비하여 원가 경쟁력 면에서 현재까지 개발된 기술로는 어려움이 존재하고 있다 [1].

이러한 저온 다결정 실리콘 TFT의 성공적인 기술력 확보 및 TFT-LCD의 대화면/고화질 추세에 따른 전기·광학적 특성을 분석하기 위한 TFT-LCD 어레이(array) 회로 특성을 분석할 수 있는 시뮬레이터의 개발이 필수적이라고 사료된다. 복잡한 회로 시뮬레이션 결과의 정확성은 얼마나 입력 변수를 정확히 추출 적용하느냐이며 사용자의 실수를 최대한 줄여 복잡한 회로를 정확하게 구성 가능하게 하느냐에 달려있다. 상용 회로 시뮬레이터 중에서 poly-Si TFT 모델을 가지고 있는 AIM-Spice는 회로 구성을 텍스트 방식으로 하는 반면, poly-Si TFT를 가지고 있지 않은 PSpice에서는 그림을 사용한 GUI 방식의 회로 구성이 손쉽게 구성 가능하다. TFT-LCD 어레이와 같은 복잡한 반복 회로를 구성할 때는 PSpice를 사용하는 편이 훨씬 쉽고 사용자가 회로 구성시 텍스트 방식으로 회로를 구성할 때 보다 실수할 확률을 줄여 정확한 회로 구성이 가능하다.

본 논문에서는 저온 다결정 실리콘 TFT-LCD 성공적인 기술 개발을 위해 기존의 상용 시뮬레이터인 Spice를 효과적으로 사용하여 TFT-LCD의 전기적 특성 분석을 수행할 수 있는 시뮬레이터를 구성하였다. 위에서 언급된 다결정 실리콘 TFT-LCD 어레이 회로 분석용 상용 시뮬레이터들의 문제점들을 개선 적용하기 위하여 우선 문헌 [2-4]에 발표된 두 가지의 다른 poly-Si TFT 소자들의 I-V(전류-전압) 특성 실험 데이터로부터 AIM-Spice 시뮬레이터의 다결정 실리콘 TFT 소자 모델 [5]의 입력 변수들을 체계적으로 추출하는 방법을 개선 적용하였다. AIM-Spice의 다결정 실리콘 TFT 모델은 subthreshold, above-threshold, leakage 전류와 kink 전류를 모두 고려하는데, 이 전류들을 기술하는 입력 변수의 상호 의존성과 식의 전후 상관 관계를 고려하여 입력 변수를 추출하는 방법을 체계화하고 개선하였다. 제작된 ELA poly-Si TFT와 SMC poly-Si TFT 소자들 [2-4]의 I-V 특성 곡선에 적용한 결과, 두 경우의 입력변수가 상당히 다름에도 불구하고, 두 경우 모든 전압 영역에서 아주 뛰어난 I-V 특성 일치 결과를 얻었다. 또한, 사용자의 정확한 TFT-LCD 어레이 회로 구성을 위하여 PSpice에 AIM-Spice의 poly-Si TFT 소자를 이식하였으며, ELA 및 SMC poly-Si TFT의 전기적 특성 특성을 비교 분석하였다.

## 2. 다결정 실리콘 TFT 소자 특성 파라미터 추출

다결정 실리콘 TFT-LCD 어레이의 전기적 특성을 정확히 시뮬레이션하기 위해서는 우선 어레이에 사용되는 단위 poly-Si TFT 소자의 전기적 특성을 정확히 모델링하여 표현해야 한다. AIM-Spice 상의 다결정 실리콘 TFT 모델은 많은 입력 변수를 포함하므로 정확한 입력 변수를 체계적으로 추출하는 것이 가장 중요하다. 본 논문에서는 I-V 실험 데이터가 주어졌을 때 그에 맞는 입력 변수를 체계적으로 구하는 방법을 제시하였고, 이러한 방법을 사용해 두 종류의 n-채널 poly-Si TFT 소자의 I-V 특성을 시뮬레이션하여 실험값과 비교하였으며, C-V(정전용량-전압) 특성 관련 변수는 실험 데이터가 있는 경우 일치시켜 사용 가능하도록 검증 가능한 타당한 방법을 도입 설명하였다. 소자 특성 방정식에서 부호만 바꾸면 간단히 p-채널 poly-Si TFT 소자를 표현할 수 있으므로 p-채널 소자인 경우에도 실험 데이터에 대해 입력 변수 추출이 가능하도록 이식 완료되어 구성되었다. 따라서, 본 논문에서는 모두 n-채널인 경우에 대해서만 수식을 적용 설명해 나가도록 한다.

### 2.1. I-V 특성 파라미터 추출

본 연구에서는 AIM-Spice에서 사용할 수 있는 MOSFET level 16의 poly-Si TFT 모델 [5]을 사용하였다. M. Shur 그룹 [6-9]에서 제안한 이 PSIA2 모델 [5]은 poly-Si TFT의 특징인 kink 효과와 열전자 전계 방출(thermionic field emission) [10]에 의한 누설전류를 고려하여 기존 모델을 수정한 것이다. 이 모델의 I-V 특성은 게이트 전압에 따라 above-threshold 영역, sub-threshold 영역, 누설(leakage) 전류 영역, 및 kink 전류 영역으로 나눌 수 있다. poly-Si TFT의 sub-threshold 전류는 확산에 의한 전류가 지배하는 MOSFET의 sub-threshold 전류와 유사하며 식 (1)과 같이 기술된다.

$$I_{sub} = MUS \cdot c_{ox} \cdot \frac{W}{L} \cdot V_{sth}^2 \exp\left(\frac{V_{gs} - VON}{V_{sth}}\right) \left[1 - \exp\left(-\frac{V_{ds}}{V_{sth}(I)}\right)\right]$$

여기서는 W는 채널의 너비, L은 채널의 길이,  $C_{ox}$ 는 단위 면적당 절연막의 정전용량, MUS는 sub-threshold 이동도(mobility) 계수이며, VON은 온-전압(on-voltage)을 나타낸다. 그리고,  $V_{sth} = \eta T \cdot k_B T$

이며, ETA는 sub-threshold ideality factor,  $k_B$ 는 Boltzmann 상수, T는 절대온도를 나타낸다. 식 (1)을 변형하면 MUS에 대해 다음과 같이 쓸 수 있다.

$$MUS = \frac{L \cdot \exp(b + VON/V_{sth})}{c_{ox} \cdot W \cdot V_{sth}^2 \cdot [1 - \exp(-V_{ds}/V_{sth})]} \quad (2)$$

여기서, b는  $\ln[I_d(V_{gs})]$  그래프의 선형적인 부분을 일치시킨 결과의 y축 절편을 나타낸다.

한편 above threshold current,  $I_a$ 는 식 (3)과 같이 표현된다.

$$I_a = \mu_{FET} \cdot c_{ox} \cdot \frac{W}{L} \cdot V_{ds} \left[ V_{gte} - \frac{V_{ds}}{2\alpha_{sat}} \right] \quad (3)$$

여기서,  $V_{gte} = V_{sth} \left[ 1 + \frac{V_{gt}}{2V_{sth}} + \sqrt{DELTA^2 + \left( \frac{V_{gt}}{2V_{sth}} - 1 \right)^2} \right]$ ,

$V_{gt} = V_{gs} - VON$ , 이다.

$V_{gt} \gg V_{sth}$ 일 때, 유효 게이트 스윙 전압  $V_{gte}$ 는 근사적으로  $V_{gt}$ 가 되고, above threshold current는 식 (4)로 근사할 수 있다.

$$I_a \approx \mu_{FET} \cdot c_{ox} \cdot \frac{W}{L} \cdot V_{ds} \left[ V_{gt} - \frac{V_{ds}}{2\alpha_{sat}} \right] \quad (4)$$

I-V 데이터를 측정할 때의 온도와 트랜지스터가 동작할 때의 온도가 같다면  $\alpha_{sat} = ASAT$ 인 관계가 성립한다. 식 (3)의 전계효과 이동도  $\mu_{FET}(V_{gs})$ 를 결정하는 중요한 변수로는 MU0, MU1, MMU가 있으며 식 (5)와 같이 표현된다.

$$\frac{1}{\mu_{FET}(V_{gs})} = \frac{1}{MU0} + \frac{1}{MU1 \cdot (2V_{gte}/V_{sth})^{MMU}} \quad (5)$$

누설 전류는 크게 열전자 전계 방출에 의한 성분과 드레인 접합의 다이오우드 전류 성분으로 나뉘어진다.

$$I_{leak} = IO \cdot W \left[ \exp\left(\frac{BLK \cdot V_{ds}}{V_{th}}\right) - 1 \right] \cdot [X_{TFE}(F) + X_{TE}] + I_{diode} \quad (6)$$

$$I_{diode} = IOO \cdot W \cdot \exp\left(-\frac{EB}{k_B T}\right) \left[ 1 - \exp\left(-\frac{V_{ds}}{V_{th}}\right) \right] \quad (7)$$

여기서  $F = V_{ds}/DD - (V_{gs} - V_{FB})/DG$ 이며, 이것은 드레인 근처의 전기장의 최대 세기를 의미한다. 식 (6)의 첫 번째 대괄호 안의 항은 DIBL(drain induced barrier lowering)효과를, 두번째 대괄호 안의 항들은

단위시간당 열전자 전계 방출에 의한 트랩(trap)으로부터 전하 방출 비율을 나타낸다. 식 (7)의  $I_{diode}$ 는  $V_{ds}$ 가 매우 작은 값일 때에도 온도증가에 따라 누설 전류가 증가하는 것을 설명한다.  $I_{diode}$ 는 상온에서 무시할 수 있으나 높은 온도에서는 매우 중요해진다.

충돌 이온화(Impact ionization)로 설명되는 kink 전류는 다음과 같다.

$$I_{kink} = \left( \frac{I_a \cdot I_{sub} + I_{leak}}{I_a + I_{sub}} \right) \cdot A_{kink} (V_{ds} - V_{dse}) \exp\left(-\frac{VKINK}{V_{ds} - V_{dse}}\right) \quad (8)$$

여기서,  $A_{kink} = \frac{1}{VKINK} \left( \frac{LKINK}{L} \right)^{MKINK}$  이고,

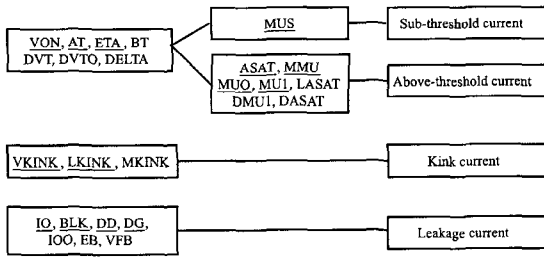
$$V_{dse} = \frac{V_{ds}}{\left[ 1 + \left( \frac{V_{ds}}{V_{dsat}} \right)^3 \right]^{1/3}} - V_{th} \text{ 이다.}$$

전계 드레인 전류는 위의 네 성분의 합으로 다음과 같이 주어진다.

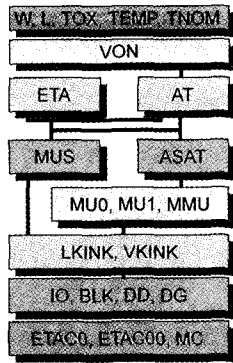
$$I_d = \frac{I_a \cdot I_{sub}}{I_a + I_{sub}} + I_{leak} + I_{kink} \quad (9)$$

이상의 식에 사용되는 입력 변수들의 I-V 특성 방정식과의 관계도를 정리하여 그림 1(a)에 나타내었다. 여기서, 밑줄 친 변수들이 중요 대상 추출 변수들이며 나머지는 AIM-Spice에서의 디폴트값이 사용된 추출되지 않은 변수들이다. 또한, 이들의 입력 변수 추출 관계를 체계화하여 그림 1(b)에 나타내었으며 이 순서에 따랐다.

변수의 추출은 문턱 전압(threshold voltage) VON과 sub-threshold 전류의 지수(exponent)를 결정하는 ETA로부터 시작한다. 식 (1)에 의해 ETA는  $I_d$ - $V_{gs}$  곡선을 자연로그 스케일(scale) 나타내었을 때 선형 부분 기울기의 역수이다. VON은  $I_d$ - $V_{gs}$  곡선을 선형 스케일로 나타내었을 때 직선 부분의 절편으로부터 얻을 수 있고, AT는  $V_d$ 가 다른  $I_d$ - $V_{gs}$  곡선에서 얻을 수 있다. ASAT는  $I_d$ - $V_d$  곡선을 미분하였을 때 x축 절편의 값이 된다. MUS를 얻기 위해서는 식 (2)를 이용하면 된다. MU0, MU1, MMU는 앞에서 결정된 변수 및 식 (4)와 식 (5)를 이용해 일치시켜 구할 수 있다. kink 효과와 관련된 입력변수는  $V_{ds} > V_{dsat}$ 인 영역의 측정된 전류를 식 (8)에 따라 최소자승법을 적용하여 얻을 수 있으며, 누설전류에 관련된 입력변수는 누설전류가 나타나는 영역의 전류를 식 (6)과 식 (8)에 따라 최소 자



(a) I-V 특성 방정식과 변수관련도



(b) I-V 관련 주요 변수를 구하는 순서도

그림 1. poly-Si TFT의 I-V 및 C-V 특성을 기술하는 중요 변수 추출 관련도.

승법(least square fit)을 적용하여 구하게 된다.

측정된 실험 I-V 특성 데이터를 사용자가 입력하면 설명된 변수들의 값을 구할 수 있도록 I-V 입력 변수 추출 프로그램을 구성하였다.

### 2.1. C-V 특성 파라미터 추출

C-V 특성 방정식 [5]에서의 입력변수 추출 프로그램을 개발하였다. AIM-Spice상의 poly-Si TFT 모델에서 I-V 입력변수 추출이 끝나면 남은 중요 C-V 입력변수는 ETACO, ETACOO와 MC의 세가지인데, C-V 데이터에 대한 최소 자승법을 통해 이 세 변수를 한꺼번에 정하는 방법을 택했다. poly-Si TFT에 대한 적절한 C-V 데이터는 없는 상태이다(C-V 입력변수 추출을 하려면 TOX 등 기하학적 변수와 I-V 곡선이 알려져 있는, 동일한 TFT에 대한 C-V 데이터가 있어야 한다). 우리의 변수 추출법의 타당성을 확인하기 위해 위의 세 입력변수에 대한 디폴트 값을 주고 C-V 곡선을 계산하여 데이터로 삼은 후에, 개발한 변수추출법을 적용하여 당초의 입력변수 값을 도로 얻을 수 있는 지를 확인해 보았다. 아래의 방정식들은 PSIA2의 C-V 특성을

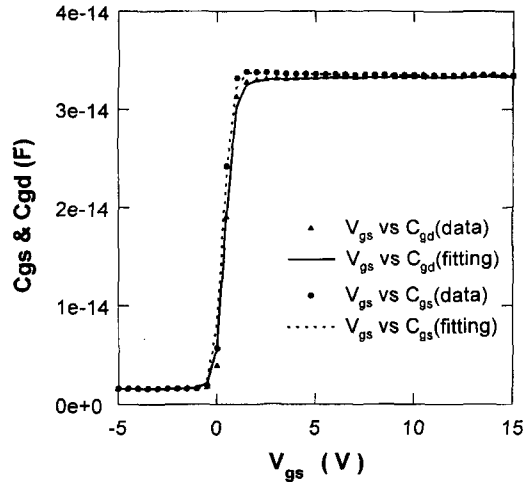


그림 2. C-V 입력변수 추출을 위해 사용된 데이터 검증도.

기술하는 특성 방정식들이다:

$$C_{gs} = C_f + \frac{2}{3} C_{gcs} \left[ 1 - \left( \frac{V_{dsat} - V_{dse}}{2V_{dsat} - V_{dse}} \right)^2 \right] \quad (10)$$

$$C_{gd} = C_f + \frac{2}{3} C_{gcd} \left[ 1 - \left( \frac{V_{dsat}}{2V_{dsat} - V_{dse}} \right)^2 \right] \quad (11)$$

여기서,  $C_f = 0.5 \cdot EPS \cdot W$ ,  $EPS = 11.7 \cdot \epsilon_0$ ,  $\epsilon_0 = 8.85421487 \cdot$

$$10^{-12}$$
이며,  $C_{gcd} = \frac{C_{ox}}{1 + \eta_{cd} \cdot \exp\left(\frac{V_{gt} - V_{dse}}{\eta_{cd} \cdot V_{th}}\right)}$ ,  $C_{gcs} =$

$$\frac{C_{ox}}{1 + ETACO \cdot \exp\left(-\frac{V_{gt}}{ETACO \cdot V_{th}}\right)}$$
  $C_{ox} = W \cdot L \cdot \epsilon_i / TOX$ ,

$$\eta_{cd} = ETACO + ETACOO \cdot V_{dse}, V_{dse} = \frac{V_{ds}}{[1 + (V_{ds} / V_{dsat})^{MC}]^{1/MC}}$$

이다. 그림 2는 변수추출법을 적용한 데이터인데, 데이터 절점 수가 50개 이상이면 거의 정확하게 원래의 입력 변수를 도로 얻을 수 있음을 확인할 수 있었다.

이상의 변수 추출법을 검증하기 위해 두 종류의 poly-Si TFT의 I-V 실험 데이터와 일치시켰다. 표 1에는 두 시료의 실험 I-V 곡선으로부터 체계화된 변수 추출법을 사용해 결정된 입력변수 값을 나타내었다. 동시에 시뮬레이션에서 사용된 소자 제작시 측정값인 W, L, TOX, TEMP, TNOM 그리고 시뮬레이션에서 사용된 C-V 디폴트 변수 값들을 모두 정리해 나타내었다. 표 1에 나타내지 않은 I-V 특성 일치 시의 나머지 변수값들은 AIM-Spice의 디폴트값(default) [5]을 그대로

표 1. 다결정 실리콘 TFT I-V, C-V 특성을 기술하는 중요 변수와 두 가지 시료에 대한 변수 값들(ELA는 ELA poly-Si TFT 이며, SMC는 SMC poly-Si TFT이다.)

Parameter	Description	ELA	SMC	Unit
W	Gate width	30e-6	10e-6	m
L	Gate length	30e-6	10e-6	m
TOX	Oxide thickness	1.629e-7	1.629e-7	m
TEMP	Transistor operating temperature	27	27	°C
TNOM	Measurement temperature	27	27	°C
VON	On voltage	-1.5	3.19	V
AT	DIBL parameter	2e-8	4.9e-8	m/V
ASAT	Proportionality constant of Vdsat	1.1	0.85	-
ETA	Subthreshold ideality factor	8.9	15.56	-
MUS	Subthreshold mobility parameter	400	11.94	cm <sup>2</sup> /Vs
MUO	High field mobility exponent	75	3.35	cm <sup>2</sup> /Vs
MUI	Low field mobility parameter	0.3	1.94e-5	cm <sup>2</sup> /Vs
MMU	Low field mobility exponent	1.7	4.48	-
LKINK	Kink effect constant	0	8.59e-6	m
VKINK	Kink effect voltage	-	4.22	V
IO	Leakage scaling constant	133	146	A/m
BLK	Leakage barrier lowering constant	0.0027	0.0047	-
DD	Vds field constant	3.3e-7	4.7e-7	m
DG	Vgs field constant	1.7e-7	2.8e-7	m
ETACO	Capacitance subthreshold ideality factor at zero drain bias	ETA	ETA	-
ETACOO	Capacitance subthreshold coefficient of drain bias	0	0	1/V
MC	Capacitance knee shape parameter	3.0	3.0	-

사용할 수밖에 없었으며, 이들에 대한 변수 추출은 더 많은 실험 데이터를 요구하게 된다.

### 3. 단위 화소 전압에 대한 PSpice 시뮬레이션 결과

본 연구에서 비교 검증을 위하여 적용한 입력변수 추출에 사용된 평면형 poly-Si TFT 소자들은 각각 SMC와 ELA 방법에 의해 제작되었으며, 제작된 TFT의 채널 폭과 길이는 각각 30  $\mu\text{m}$ 와 10  $\mu\text{m}$ 이다 [2-4].

그림 3와 4는 이 입력변수를 사용해 계산된  $I_d-V_{gs}$  곡선과  $I_d-V_{ds}$  곡선을 처음의 실험값과 비교한 그림이다. ELA poly-Si TFT와 SMC poly-Si TFT는 상당히 다른 I-V 특성을 가지고 있으나, 두 경우 모두 본 논문에서 발표하는 체계화된 변수 추출법에 의해 추출된 변수를 이용한 I-V 곡선 일치 특성이 매우 우수함을 확인할 수 있었다. AIM-Spice를 만든 회사에서는 입력변수 추출 프로그램인 AIMExtract를 제공하고 있다. 이 프로그램은 주어진 실험데이터로부터 입력변수를 추출

해주는 기능과, 임의의 입력변수 값으로부터 변수 값을 변화시켜가며 화면상에 계산된 곡선과 실험값을 비교하여 최종 입력 변수 값을 결정하는 기능이 있다. 우리의 실험 데이터로부터 AIMExtract가 추출해준 입력데이터로부터 계산된  $I_d-V_{gs}$  곡선은 그림 3과 4의 결과보다 불량한 결과를 주었다. AIMExtract의 두 번째 기능을 사용하면 보다 더 좋은 일치를 얻을 수 있지만, 이 때에도 우리의 변수 추출법에 의해 결정된 입력변수 값으로부터 출발하는 것이 아주 효과적임을 확인하였다.

그림 5에서는 단위 화소 전압을 예측하기 위한 단위 화소에 대한 등가 회로 및 시뮬레이션에서 ELA 및 SMC 다결정 실리콘 비교를 위해 사용된 값들을 동시에 나타내었다.

AIM-Spice의 경우에는 TFT-LCD 어레이 회로 구성을 텍스트 방법에 의존하므로 사용자가 손쉽게 사용하기 어렵다. 따라서, 본 연구에서는 회로를 손쉽게 구성할 수 있는 GUI 방식의 PSpice 회로 시뮬레이터의 poly-Si TFT 소자를 이식하여 구성하였다. AIM-Spice에서의 I-V 특성 결과와 PSpice 이식 후의 결과가 정

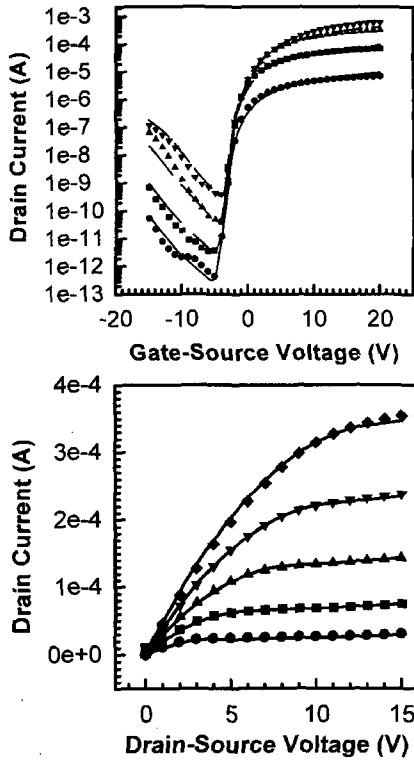


그림 3. ELA poly-Si TFT I-V 특성 fitting 결과(기호 점들은 실험 데이터이며, 실선은 시뮬레이션 결과이다).

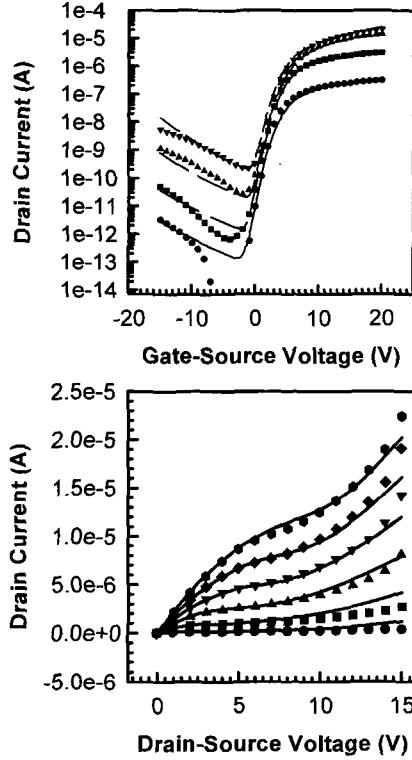


그림 4. SMC poly-Si TFT I-V 특성 fitting 결과(기호 점들은 실험 데이터이며, 실선은 시뮬레이션 결과이다).

확히 일치함을 확인하였으며, 그 결과를 그림 6에 보였다. 여기서, 그림 5의 등가 회로에 대하여 두 시뮬레이터를 이용하여 시뮬레이션한 후 비교 검증하기 위해 실선은 PSpice에서의 결과를 점선은 AIM-Spice에서의 결과를 나타낸다. 두 시뮬레이터를 이용한 결과가 매우 잘 일치하는 것을 알 수 있으며, 이는 PSpice에의 poly-Si TFT 이식이 성공적임을 보여주고 있다.

그림 7에서는 ELA와 SMC 제작법으로 만들어진 poly-Si TFT에 대해 그림 5에서의 단일 화소 등가 회로를 구성하여, 화소 전압에서의 킥백 전압(kickback voltage)  $\Delta V_{kb}$ , 최대 도달 전압까지의 충전 시간을 시뮬레이션한 결과를 비교도로 나타내었다.

그림 8에서는 ELA와 SMC poly-Si TFT에 대해 입력변수를 추출한 후에 40인치 UXGA급 라인 RC 지연을 고려하기 위한 게이트(gate) 및 영상 신호선의(data line) 등가회로 [11]와 단일 화소 등가회로를 구성하여 나타내었으며, 등가 회로에 사용된 R 및 C값을 나타내었다.

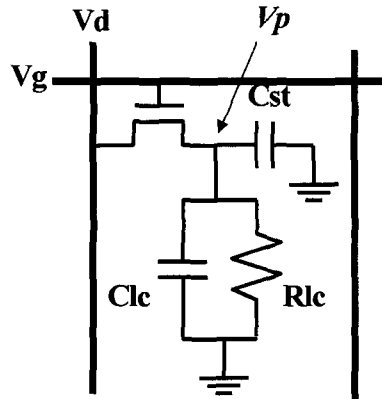


그림 5. PSpice를 이용한 단위 화소 시뮬레이션에 사용된 등가회로.

그림 8의 회로를 이용하여 40인치 UXGA급의 라인 RC 지연을 고려하여 ELA 및 SMC에 대해 시뮬레이션한 결과이며 비교를 위해 나타내었다.

정확한 수치상의 비교 요약을 위하여 표 2에서는

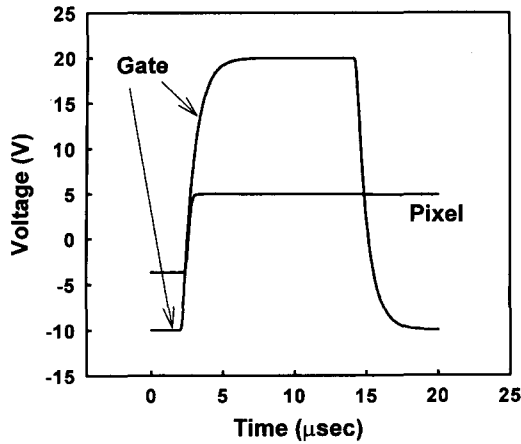


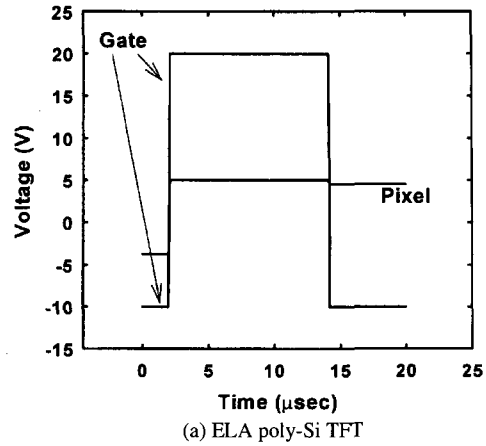
그림 6. AIM-Spice 결과(점선)와 이식 작업 후의 PSpice 결과(실선) 비교도.

RC지연이 없는 단위 화소만을 고려했을 때의 그림 7의 결과와 라인 RC 지연을 고려했을 때의 그림 8의 결과에 대해 단위 화소의 키펙 전압 및 충전시간을 요약한 것이다. VON 값이 작고 이동도가 큰 ELA poly-Si TFT가 키펙 전압이 작고, 충전 시간이 빠른 우수한 특성이 나타남을 확인하였다.

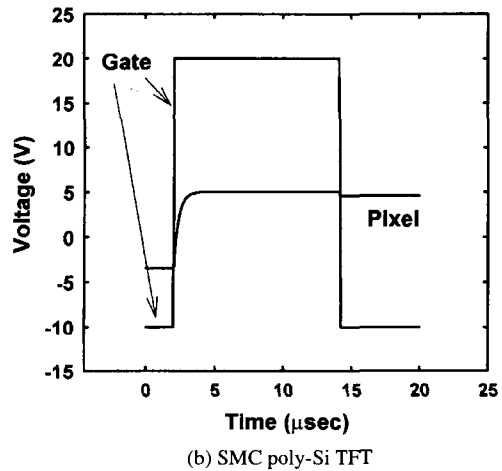
두 시뮬레이션에서는 TFT 제작할 때 발생할 수 있는 게이트와 드레인 및 소오스 접침 구조에 의한 기생 정전용량을 고려하지 않았다. 이것을 고려할 경우에는 키펙 전압이 더 증가하게 되는데 이 값은 사용자가 실험값을 줄 수 있도록 되어 있다.

#### 4. 결 론

본 논문에서는 저온 다결정 실리콘 TFT-LCD 기술 개발을 위하여 상용 Spice들을 효과적으로 이용하여 다결정 실리콘 TFT 화소의 전기적 특성을 비교 분석하였다. 제작된 poly-Si TFT 소자를 정확히 기술할 수 있는 입력 변수를 체계적으로 추출 개선하였고, PSpice 회로 시뮬레이터에 poly-Si TFT 소자 모델을 이식함으로써, 단위 화소 및 어레이의 전기적 특성 분석을 손쉽게 정확하게 분석할 수 있도록 하였으며, 이를 통해 단위 화소 및 라인 RC 지연을 고려한 화소 전압 및 충전 시간을 시뮬레이션하여 ELA 및 SMC 소자 특성을 비교 분석하였다. ELA 방식의 다결정 실리콘과 SMC 방식의 다결정 실리콘 TFT 화소 회로에 적용하여 비교한 결과 ELA 방식의 다결정 실리콘 TFT가 화소



(a) ELA poly-Si TFT



(b) SMC poly-Si TFT

Gate voltage  
 Range : -10 V → 20V  
 Period : 16.67 msec  
 Pulse width : 12 usec  
 Rise time : 0.1usec  
 Fall time : 0.1 usec

Drain voltage  
 Range : 0V → 5V  
 Period : 16.67 msec  
 Pulse width : 20 usec  
 Rise time : 0.1 usec  
 Fall time : 0.1 usec

Cst : 0.258 pF  
 Clc : 0.7 pF  
 Rlc : 0.799 T-ohm

(c) 단위 화소에 인가된 게이트 펄스 시뮬레이션 입력값

그림 7. ELA 및 SMC 다결정 실리콘 TFT의 RC 지연을 고려하지 않은 게이트 계단 펄스에 대한 단위 화소 충전 시간 및 키펙 전압에 대한 시뮬레이션 결과 비교도.

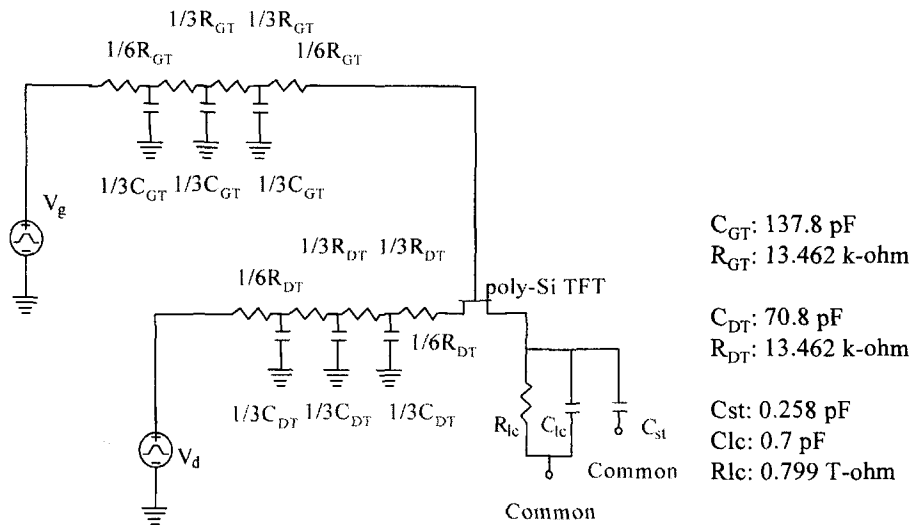


그림 8. ELA 및 SMC 다결정 실리콘 TFT의 라인 RC 지연을 고려하기 위한 게이트 및 드레인 영상 신호 라인 RC 지연 등가 회로 및 화소 등가 회로(40 inch UXGA 고려) [11].

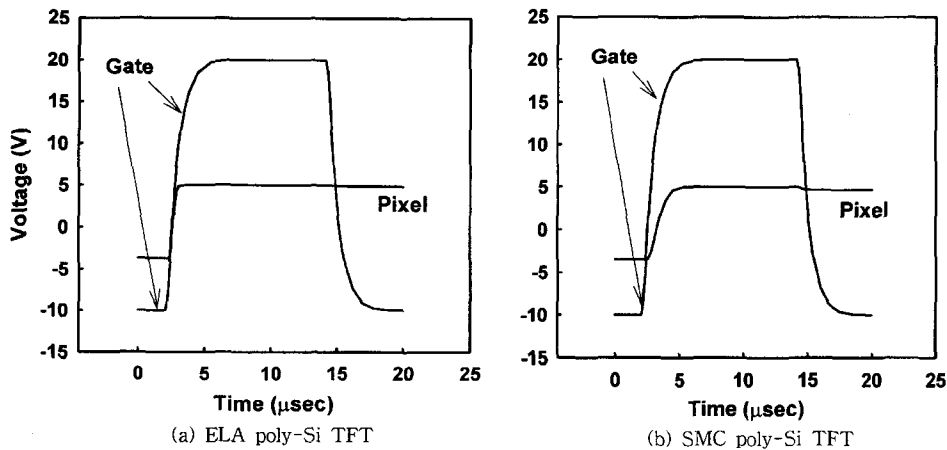


그림 9. ELA 및 SMC 다결정 실리콘 TFT의 RC 지연을 고려한 게이트 계단 펄스에 대한 단위 화소 충전 시간 및 킥백 전압에 대한 시뮬레이션 결과 비교도.

표 2. ELA 및 SMC poly-Si TFT 에서의 킥백 전압과 충전시간 (99% 충전)

	ELA poly-Si TFT		SMC poly-Si TFT	
	pixel 만 고려	line RC delay 고려	pixel 만 고려	line RC delay 고려
$\Delta V_{kb}$ (mV)	289	126	434	346
충전시간( $\mu$ s)	0.130	1.050	1.741	3.125

충전 시간 및 킥백(kickback) 전압 특성이 SMC에 비해 모두 우수하게 나타남을 확인하였다. 따라서, 각 회사에서 제작되는 TFT-LCD의 다결정 실리콘 TFT 소자의 전기적 특성 실험 데이터만 있다면, 논문에서 구

성된 회로 시뮬레이터를 사용하여 TFT-LCD 단위 화소 및 화소 어레이 특성 분석 그리고, n-채널과 p-채널 다결정 실리콘 TFT들로 구성되는 CMOS 구동 회로를 분석하는데 큰 도움이 될 것으로 기대된다.



### 감사의 글

본 연구는 동국대학교 밀리미터파 신기술 연구센터를 통한 한국과학재단의 우수 연구센터 지원금에 의하여 수행되었습니다.

### 참고문헌

- [1] 한민구 외, Proc. of 제5회 차세대 평판표시장치 기반기술개발사업 WORKSHOP, 한국디스플레이연구조합, 145-173 (2000년 6월).
- [2] W. K. Kwak, B. R. Cho, S. Y. Yoon, S. J. Park, and J. Jang, IEEE Electron Device Lett., **21**, 107-109 (2000).
- [3] Jin Jang *et al.*, Nature, **395**, 481-483 (1998).
- [4] J. I. Ryu, H. C. Kim, S. K. Kim, and J. Jang, IEEE Electron Device Lett., **18**, 272-274 (1997).
- [5] AIM-Spice Online Help, Version 3.5B.
- [6] Mark D. Jacunski *et al.*, IEEE Transactions on Electron Devices, **46**(6), 1146 (1999).
- [7] Mark D. Jacunski *et al.*, IEEE Transactions on Electron Devices, **43**(9), 1433 (1996).
- [8] Michael S. Shur *et al.*, J. Electrochem. Soc., **144**(8), 2833 (1997).
- [9] Michael S. Shur *et al.*, Journal of the SID, **3/4**, 223 (1995).
- [10] T. A. Fjeldly, T. Ytterdal, and M. Shur, Introduction to Device Modeling and Circuit Simulation (John Wiley & Sons 1998), p. 86.
- [11] T. Sakurai, IEEE Journal of Solid-State Circuits, **SC-18**(4), 418-426 (1983).