

비전도성 에폭시를 사용한 RF-MEMS 소자의 웨이퍼 레벨 밀봉 실장 특성

박윤권^{1,3} · 이덕중¹ · 박흥우¹ · 송인상² · 김정우² · 송기무² · 이윤희¹ · 김철주³ · 주병권¹

¹한국과학기술연구원 디스플레이 및 나노소자연구실

²삼성종합기술연구원 MEMS Lab

³서울시립대학교 전자전기공학부

Wafer Level Hermetic Sealing Characteristics of RF-MEMS Devices using Non-Conductive Epoxy

Yun-Kwon Park^{1,3}, Duck-Jung Lee¹, Heung-Woo Park¹, In-Sang Song², Chung-Woo Kim²,
Ci-Moo Song², Yun-Hi Lee¹, Chul-Ju Kim³ and Byeong-Kwon Ju¹

¹Display and Nano Devices Lab., Korea Institute of Science and Technology

²MicroSystems Lab., Samsung Advanced Institute of Technology

³Dept. of Electronics Engineering, University of Seoul

초 록: 본 연구에서는 RF-MEMS 소자의 웨이퍼레벨 패키징에 적용하기 위한 밀봉 실장 방법에 대하여 연구를 하였다. 비전도성 B-stage 에폭시를 사용하여 밀봉 실장하는 방법은 플립칩 접합 방법과 함께 MEMS 소자 패키징에 많은 장점을 줄 것이다. 특히 소자의 동작뿐만 아니라 기생성분의 양을 줄여야 하는 RF-MEMS 소자에는 더욱더 많은 장점을 보여준다. 비전도성 B-stage 에폭시는 2차 경화가 가능한 것으로 우수한 밀봉 실장 특성을 보였다. 패키징시 상부기판으로 사용되는 유리기판 위에 500 μm 의 밀봉 선을 스크린 프린팅 방식으로 패터닝을 한 후에 90°C와 170°C에서 열처리를 하였다. 2차 경화 후 패터닝된 모양이 패키징 공정이 끝날 때까지 계속 유지가 되었다. 패터닝 후 에폭시 높이가 4인치 웨이퍼에서 $\pm 0.6 \mu\text{m}$ 의 균일성을 얻었으며, 접합강도는 20 MPa를 얻었다. 또한 밀봉실장 특성을 나타내는 leak rate는 10^{-7} cc/sec 를 얻었다.

Abstract: In this paper, hermetic sealing technology was studied for wafer level packaging of the RF-MEMS devices. With the flip-chip bonding method, this non-conductive B-stage epoxy sealing will be profit to the MEMS device sealing. It will be particularly profit to the RF-MEMS device sealing. B-stage epoxy can be cured by 2-step and hermetic sealing can be obtained. After defining 500 μm -width seal-lines on the glass cap substrate by screen printing, it was pre-baked at 90°C for about 30 minutes. It was, then, aligned and bonded with device substrate followed by post-baked at 175°C for about 30 minutes. By using this 2-step baking characteristic, the width and the height of the seal-line could be maintained during the sealing process. The height of the seal-line was controlled within $\pm 0.6 \mu\text{m}$ in the 4 inches wafer and the bonding strength was measured to about 20MPa by pull test. The leak rate, that is sealing characteristic of the B-stage epoxy, was about 10^{-7} cc/sec from the leak test.

Key Words: Hermetic sealing, B-stage epoxy, RF-MEMS, Leak test, pull test

1. 서 론

최근 MEMS 소자의 제조 기술의 급속한 발전으로 고밀도, 소형화가 실현됨으로써 패키지도 이에 따른 소형

화가 요구된다. 이런 맥락에서 주변단자 패키지인 QFP에서 영역(area)단자형인 BGA, CSP 방식과 고밀도 실장을 실현하는 방법으로 수직방향으로 접합하는 flip-chip 방식이 시도되고 있다¹⁾. 플립칩 패키징 기술을 이용

함으로써 패키징 영역을 줄이고, 더 많은 밀도의 I/O 들을 연결할 수 있으며, 또한 RF 소자 응용에 있어 전기적 연결 신호 선의 길이를 줄임으로써 지연시간과 기생 인덕턴스의 양을 작게하여 기생용량을 효과적으로 줄이고, 삽입손실(insertion loss)을 줄일 수 있다²⁾. 또한 MEMS 소자는 3차원 구조체로 구성되어 있기 때문에 외부 환경으로부터 소자를 보호하기 위해 칩 크기의 밀봉 실장(hermetic sealing)은 소자 제작 기술과 더불어 안정적인 동작 특성을 제공하는 중요한 기술중의 하나이다. 일반적으로 MEMS 패키징 기술은 정전 열 접합을 이용한 패키징 방법이 널리 사용되고 있으나, 이는 300°C 이상의 공정으로 thermal stress, stiction, 열산화 등의 문제점들을 가지고 있다³⁾. 웨이퍼 상의 소자 밀도 증가와 저가격의 제품을 생산하기 위한 웨이퍼 레벨의 패키징 기술이 연구되어 지고 있으며, 이들의 동작 특성 지원을 위한 미세 소자의 고성능 패키징 기술은 중요한 기술로 대두되고 있다⁴⁾.

따라서 본 논문에서는 저가격화 및 공정의 단순화를 이룰 수 있고, 소자의 보호 및 특히 초고주파를 사용하는 소자에서 기생성분을 최소화 할 수 있도록 비전도성 B-stage 에폭시를 사용하여 웨이퍼 레벨 밀봉 실장 방법을 제안하였다. RF-MEMS switch 소자의 전기적 연결 및 칩 크기 웨이퍼 레벨 패키징을 위하여 유리 기판에 via hole을 형성하고 전기도금(electro plating)방법을 이용하여 via hole을 gold로 채우고 끝단에 100 μm 사이즈의 마이크로 gold bump를 형성하였으며, chip과 chip 간격에 B-stage epoxy를 이용하여 실장라인을 형성함으로써 웨이퍼 레벨 밀봉 실장을 하였다. 본 재료는 일반적으로 사용되어지고 있는 epoxy에 비해 점도 조절이 용이하며, 낮은 투습도 및 유리 벌크에 해당하는 접합 강도를 가지고 있어, 패키징 응용이 가능함을 확인하였다. 상부 Capping 기판에 형성된 Gold bump와 Quartz 기판 위에 제작된 RF-MEMS switch의 gold pad는 등온 응고화(isothermal solidification) 접합 방법을 사용하여 MEMS 소자의 실장용 cap과 기판상에 제작된 소자를 연결하는 방법을 사용하여 웨이퍼 레벨로 연결하고자 하였다. 또한 상부 기판과 하부 기판을 접합하고 칩 단위의 실장을 위하여 각 칩의 주변에는 2차 경화 가능한 에폭시를 형성하고 재 경화 과정을 통하여 wafer level로 접합하였다.

2. RF-MEMS Switch Package Structure

Fig. 1에는 본 연구에서 gold로 형성된 패드와 gold 범프를 100N의 힘을 가하며 gold-gold 직접 접합을 이용한 전기적 신호 라인의 연결 및 상/하부 기판을 접합함으

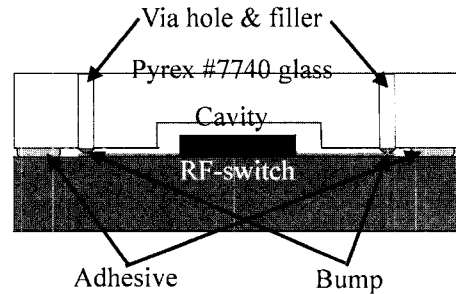


Fig. 1. Schematic diagram of RF MEMS switch structure using the gold-gold bonding and B-stage epoxy sealing.

로써 소자를 패키징 하고자 한 모식도를 보였다. Quartz 기판에 소자를 제작하였으며 소자의 신호라인 패드가 cell의 가장자리로 연결되어 있다.

Pyrex 유리기판에는 via hole이 입력, 출력, DC 라인의 수만큼 형성되어 있으며, via hole은 전기 도금법에 의해 채워져 있다. 소자 영역에는 습식 식각에 의해 cavity가 형성되어 있고 패키지 기판의 상부 hole 주변의 표면은 신호라인과 그라운드 영역이 차지하고 있다. Via hole 끝단에는 마이크로 범프가 형성되어 있어, 소자의 신호라인과 연결되도록 하였다. 또한 외각에는 B-stage epoxy(adhesive)를 형성하여 온도 인가시 범프와 동시에 연결되도록 설계하였다.

3. B-stage Epoxy를 이용한 웨이퍼 레벨 접합

3.1. 실험

B-stage epoxy는 2차 경화 가능한 에폭시의 일종으로서 다른 재료와는 달리 접합 패턴의 형성 후 90°C에서의 soft bake와 175°C의 hard bake 공정을 하였다. Soft bake 시 epoxy는 연소성 되어 일정 강도를 가짐으로써 다른 기판과의 정렬 공정에서 타 재료에서와 같은 flow에 의한 오염의 문제점들을 제거할 수 있고, 패턴을 유지하고 있으므로 aligner를 이용한 두 기판의 정렬이 가능하다. 이후 175°C의분위기 하에서 일정한 압력을 인가하면 두 기판은 접합하였다.

본 실험에서는 Ablestik (주)의 B-stage epoxy (RP-598-2)를 screen printer를 사용하여 4인치 wafer level로 형성하였다. 기판상에는 수백개의 chip들이 포함되어 있으며, 프린팅 선폭은 500 μm로 하였다.

Fig. 2는 스크린 프린팅 방법에 의해 4인치 웨이퍼 위에 형성된 에폭시 형상을 보여주고 있다. 스크린 프린팅 방식으로 에폭시를 패턴닝 함으로써 공정의 단순화를

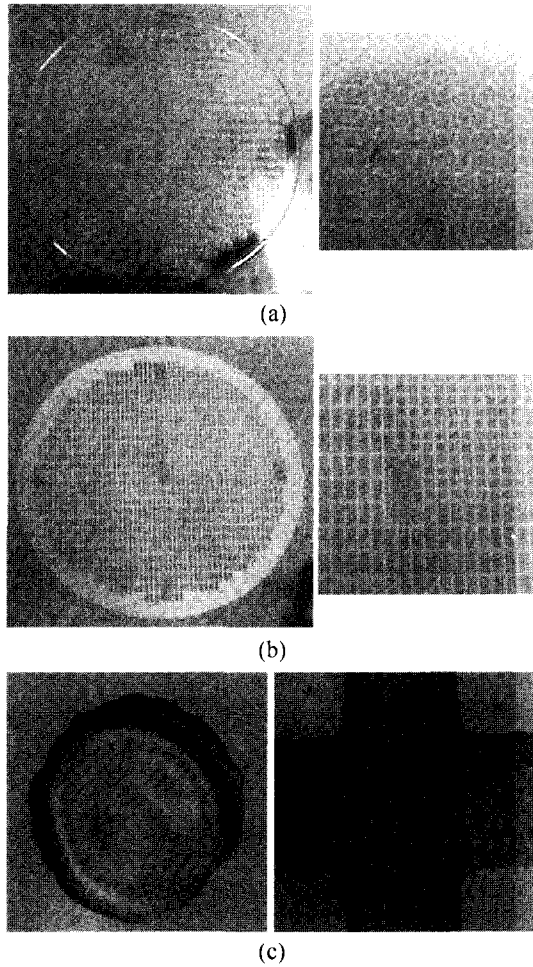


Fig. 2. Patterning properties for general epoxy (a) and B-stage epoxy (b), and comparison of align key (c).

이룰 수 있었다. Fig. 2(a)는 일반적으로 사용되어지고 있는 에폭시의 스크린 프린팅(screen printing) 특성을 보여주고 있으며, 우측의 그림은 부분적으로 확대한 사진이다. Fig. 2(b)는 비전도성 B-stage adhesive material의 screen printing 특성을 보여주고 있다. 일반적인 재료의 경우, 낮은 점도로 인해 flow되어 패턴을 유지하지 못하여 align key 및 cell들이 뭉그러짐을 볼 수 있으며, 점도 조절을 하여도 같은 양상을 보여준다. B-stage의 경우 각 cell 및 align key에 대한 형상을 지속적으로 유지하고 있음을 확인할 수 있다. Fig. 2(c)는 두 재료에 대한 align key 형상의 변화를 보여주고 있다. 4인치 웨이퍼 내에 1.7 mm · 3.4 mm의 크기로 cell이 형성되어 있으며 선폭 500 μm의 간격으로 제작되었다. 프린팅은 증착 횟수, squeeze의 각도 및 인가 압력 등에 따라 높이의 조절이

Peak-to-valley roughness : 9.04 ~ 9.7 μm

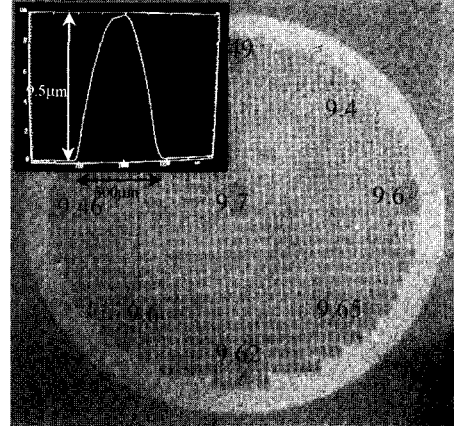


Fig. 3. Height distribution of B-stage epoxy patterned by screen printing on 4 inch glass wafer.

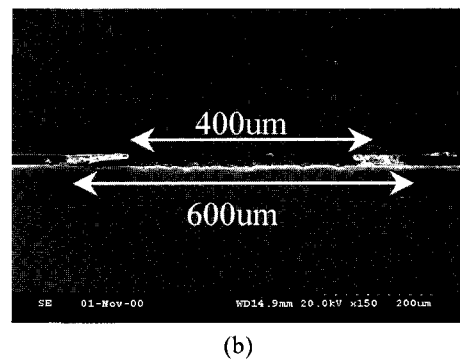
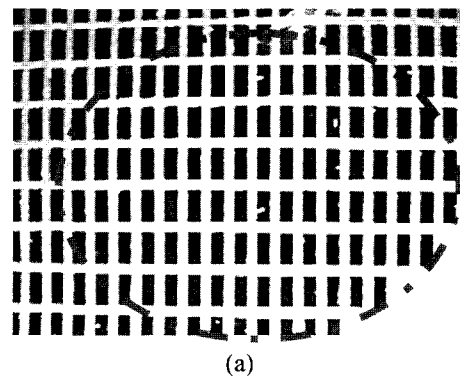


Fig. 4. Photograph of bonded pair (a) and the cross sectional view by SEM(b).

용이하다. 본 실험에서는 에폭시의 높이를 9.5 μm로 조절하였으며, 4인치 웨이퍼 상에서 ±0.6 μm의 오차로 조절이 가능하다. Fig. 3은 4인치 wafer 상에 형성하였을 시의 높이의 분포를 보여주는 그림이다. 웨이퍼 레벨의 ±0.6 μm 높이의 오차는 2차 경화 시 충분히 밀봉 실장 할

수 있음을 알 수 있다. 그림 위의 숫자는 높이를 보여주며 좌측 상단의 그림은 형성된 epoxy의 높이를 Tencor사의 α -step으로 측정된 이미지이다.

4. 결과 및 고찰

Fig. 4(a)는 B-stage epoxy를 500 μm 의 선폭으로 웨이퍼 레벨로 증착 후 다른 기판과 접합한 사진을 보여준다. 전처리된 B-stage epoxy에 일정한 압력하에서 175°C의 열처리를 수행하였다. 접합된 시편의 단면 SEM 사진으로부터 하부 600 μm , 상부 400 μm 로 하부기판에서 약 100 μm 의 증가된 영역으로 접합되었음을 확인하였다 (Fig. 4(b) 참조). 일반적으로 MEMS 소자의 다이싱 영역이 800 μm 이상이 되므로 100 μm 의 증가는 사용이 가능하며, 접합된 단면 SEM 사진으로부터 실링한 영역이 void 없이 우수하게 접합되어 있음을 확인할 수 있었다. 웨이퍼 레벨 패키징 후 소자의 다이싱 시 접합이 충분

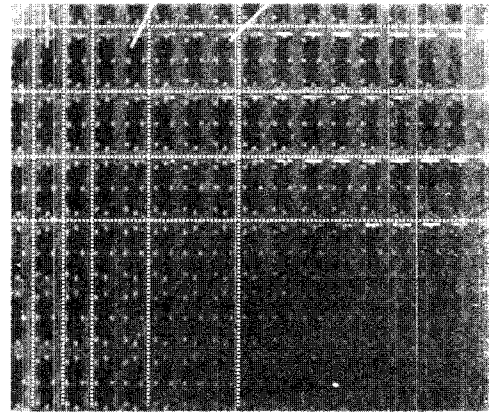
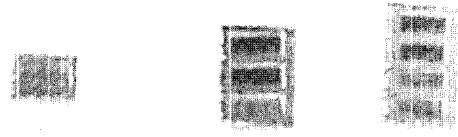


Fig. 6. Photograph of unit cell for He leak rate test.

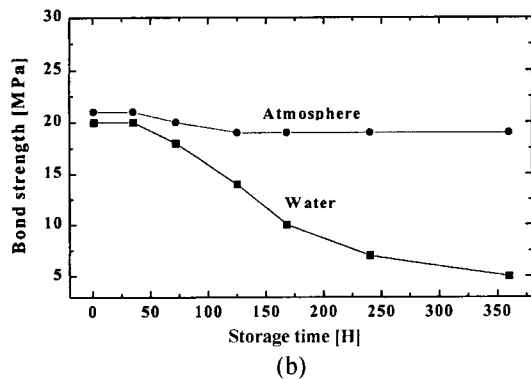
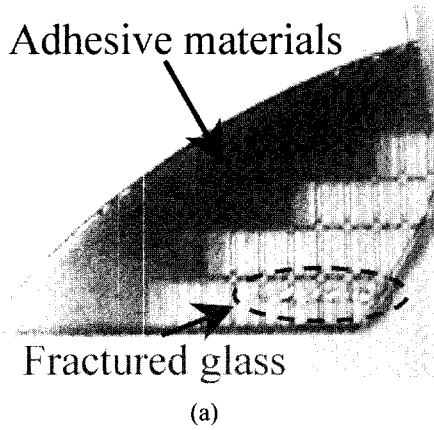


Fig. 5. Photograph of fractured glass (a) and bonding strength variation for time variation in ambient and water environmen (b).

Table 1. Leak rate of unit cell by He leak detector

Measured rate [cc/sec]		
One cell	Three cell	Four cell
1×10^{-7}	1.6×10^{-7}	2.2×10^{-7}
1.5×10^{-7}	2.3×10^{-7}	3.1×10^{-7}
1.3×10^{-7}	1.7×10^{-7}	1.7×10^{-7}

히 유지 할 수 있는지 알아보기 위하여 push pull meter를 사용하여 접합강도를 측정하였다. Fig. 5는 접합된 두 기판의 접합 강도를 보여준다. Fig. 5(a)는 tensile test로부터 약 20 MPa 이상의 접합 강도를 얻을 수 있었으며, 반대쪽 기판이 깨어지거나 epoxy의 내부에서 분리됨으로써 우수하게 접합되었음을 보여준다. Fig. 5(b)는 B-stage epoxy의 시간 변화에 대한 접합 강도 변화와 일반적으로 에폭시가 수분에 약하다고 알려져 있기 때문에, 수분의 영향에 대한 접합 강도의 변화를 측정된 결과이다. 대기 분위기의 경우에는 350시간 이상 약 20 MPa의 접합 특성을 유지하고 있었다. 수분에 대한 접합 강도의 영향을 알아보기 위한, 물 속에 담구어 놓은 시편에 대해서는 접합 강도가 강하현상이 보였다. 하지만 물 속에서 100 시간까지는 20 MPa를 유지함으로써 패키징에는 충분히 사용 가능하다고 사료된다. 사용된 에폭시의

밀봉 실장을 알아보기 위하여 leak 특성을 측정하였다. Fig. 6은 B-stage epoxy를 이용하여 웨이퍼 레벨로 패키징 하였을 시 각 cell에 대한 leak 특성을 조사한 사진 및 결과이다. Leak test는 1개, 3개, 4개의 cell별로 dicing하여 각각의 cell을 챔버에 넣고 He을 양압 이상으로 채운 후 하루 이상을 유지하고 꺼내어 detector로 leak rate를 측정하였다. 이상의 측정 결과로부터 평균 leak rate는 10^{-7} cc/sec 정도로 양호한 결과 값을 얻었다. Table 1은 leak test의 결과 차이이다. 이상의 결과로부터 낮은 leak rate, 높은 수분 저항력, 강한 접합 강도 및 제작의 용이성은 향후 정보-통신 분야에 사용될 많은 분야의 RF-MEMS 소자들에 대한 패키징 응용이 가능할 것으로 사료된다. 또한 다른 MEMS 소자의 패키징 시 밀봉실장에도 응용 가능할 것으로 생각된다.

5. 결 론

고밀도 소형화가 되고 있는 MEMS 소자의 wafer level package에 적용하기 위한 hermetic sealing에 관한 연구를 하였다. 특히 수직형 Flip-chip 방식을 이용함으로써 기존의 MEMS 소자뿐만이 아니라, RF-MEMS 소자에 적용이 가능한 sealing 방식을 제안하였다.

본 연구에서는 기존의 에폭시와 달리 2차 경화가 가능하고 비전도성 성질을 가지고 있는 B-stage 에폭시를 사용한 웨이퍼 레벨 밀봉 실장을 하였다. Screen printing 방법으로 500 um의 선 폭으로 패턴닝을 한 후 90°C에서 soft bake을 함으로써, 소자와 패키지 기판의 정합 시 sealing 영역의 높이와 폭을 유지할 수 있으며 공정이 단

순함을 보였다. 또한 웨이퍼 레벨 패키징 시 $\pm 0.6 \mu\text{m}$ 이내로 높이의 조절이 가능하고, 접합강도는 20MPa로 강하게 나왔다. hermetic sealing을 알아보기 위한 leak test 시 평균 leak rate는 10^{-7} cc/sec로 우수한 값을 얻을 수 있었다.

본 연구에서 제안한 웨이퍼 레벨 패키지 밀봉 실장 방식은 RF-MEMS 소자의 패키지 및 기존의 MEMS 소자의 패키징에도 적용이 가능할 것으로 기대된다.

후 기

본 내용은 과학기술부 21세기 프론티어개발사업 중 “지능형마이크로시스템개발사업단”의 연구비 지원을 받아 수행한 연구결과입니다.

참고문헌

1. S.F.Al-Sarawi *et al.*, “A review of 3D Packaging Technology”, IEEE Transaction on componens,package, and manufacturing technology part(B), 21(1), 2-14 (1988).
2. M.Adrian Michaiiek and Victor M. Bright, “Flip-chip fabrication of advanced micromirror arrays”, Proc. of th e14th IEEE MEMS'01, pp.313-316, 2001 Japan.
3. Cozma A and Puers B, J. Micromech. Microeng., 5, 98 (1995).
4. R. Gooch *et al.*, J. of Vac. Sci. and Tech. A, 17, 2295 (1999).