

Modified Materka Model를 이용한 4H-SiC MESFET 대신호 모델링

4H-SiC MESFET Large Signal Modeling using Modified Materka Model

이수웅 · 송남진 · 범진욱

Soo-woong Lee · Nam-jin Song · Jinwook Burm

요약

Modified Materka-Kacprzak 대신호 MESFET(Metal Semiconductor Field Effect Transistor) model을 사용하여 4H-SiC MESFET의 대신호 모델링을 수행하였다. Silvaco사의 소자 시뮬레이터인 ATLAS를 사용하여 4H-SiC MESFET 소자 시뮬레이션을 수행하고, 이 결과를 modified Materka 대신호 모델을 사용하여 모델링 하였다. 시뮬레이션 및 모델링 결과는 -8 V의 pinch off 전압과 $V_{GS}=0$ V, $V_{DS}=25$ V에서 $I_{DSS}=270$ mA/mm, $G_m=52.8$ ms/mm를 얻을 수 있었고, 전력 특성 시뮬레이션을 통해 2 GHz, $V_{GS}=-4$ V, $V_{DS}=25$ V에서 10 dB의 Gain과 34 dBm(1 dB compression point)의 출력전력, 7.6 W/mm의 전력밀도, 37%의 PAE(power added efficiency)를 얻을 수 있었다.

Abstract

4H-SiC(silicon carbide) MESFET large signal model was studied using modified Materka-Kacprzak large signal MESFET model. 4H-SiC MESFET device simulation have been conducted by Silvaco's 2D device simulator, ATLAS. The result is modeled using modified Materka large signal model. simulation and modeling results are -8 V pinch off voltage, under $V_{GS}=0$ V, $V_{DS}=25$ V conditions, $I_{DSS}=270$ mA/mm, $G_m=52.8$ ms/mm were obtained. Through the power simulation 2 GHz, at the bias of $V_{GS}=-4$ V and $V_{DS}=25$ V, 10 dB Gain, 34 dBm (1dB compression point)output power, 7.6 W/mm power density, 37% PAE(power added efficiency) were obtained.

I. 서론

SiC는 높은 항복전계(4×10^6 V/cm), 높은 전자포화속도(2.0×10^7 cm/s), 높은 열전도성(4.9 W/cm-K)를 가지고 있으며 이는 Si, GaAs 등 기존의 반도체 소자에 비해 탁월한 특성을 보이고 있다^{[1],[2]}. 특히 관심을 모으는 물질은 6H-SiC 보다는 전자와 홀의 이동도가 상대적으로 우수한 4H-SiC이며 이러한 4H-SiC 물질 자체의 전력소자로서의 뛰어난 가능

성 때문에 최근 고주파, 고출력용 소자로서 국내외적인 연구가 매우 활발하게 진행되고 있다.

소자의 성능에 영향을 미치는 반도체 물질의 특성 중 SiC가 가진 대표적인 장점으로는 큰 에너지 밴드갭(bandgap), 낮은 유전율(dielectric constant), 높은 열전도성(thermal conductivity), 높은 항복전계(breakdown field)를 들 수 있다^[3]. 먼저 큰 에너지 밴드갭은 높은 항복전계를 가능하게 하며, 4H-SiC의 에너지 밴드갭은 3.26 eV로써 이는 기존의 반도체

「정보통신부에서 지원하는 대학기초연구지원사업으로 수행되었음.」
서강대학교 전자공학과 (Department of Electronic Engineering, Sogang University)
· 논문 번호 : 20010517-067
· 수정완료일자 : 2001년 9월 10일

체 물질에 비하여 2, 3배 이상 큰 값이다. 또한 SiC의 유전율은 9.7로써 기존의 반도체 물질에 비하면 20% 가량 작다. Wide bandgap 반도체는 대개 보통의 반도체에 비해 20% 정도 낮은 유전율을 갖게 되며, 이는 동일한 기생 임피던스를 갖는 경우에 20% 면적이 클 수 있다는 것을 의미한다. 면적이 크다는 것은 더 큰 RF 전류와 RF 전력이 가능하다는 의미이다. 열전도성은 소자가 고온 동작시에 매우 중요한 파라미터가 되며, dissipated power가 얼마나 쉽게 소자로부터 추출될 수 있는가를 설명하는 고주파, 고출력 소자로 사용하기 위해서 매우 중요한 특성이다. 4H-SiC의 열전도성은 4.9 W/cm-K로써 이는 GaAs(0.54 W/cm-K), InP(0.67 W/cm-K)등에 비교할 때 탁월한 수치이다. 마지막으로 항복 전계가 높다는 것은 고전력 동작이 가능하다는 의미이며, 보통의 반도체 물질에 비해 큰 밴드갭을 갖는 물질의 항복전계는 10배 이상 큰 것으로 알려져 있다. 이처럼 SiC는 고주파, 고출력과 관련된 물질 파라미터에서 기존의 반도체 물질에 비해 월등한 우위에 놓여 있다.

4H-SiC를 기반으로 한 MESFET 소자 제작을 위해서는 소자 특성에 대한 정확한 시뮬레이션과 모델링이 필수적이다. 정확한 모델링을 위하여는 알맞은 모델을 선택하는 작업 또한 중요한데 본 논문에서는 대신호 모델에서 정확성이 꾸준히 검증되어온 modified Materka 대신호 모델^{[4],[5]}을 사용하여 대신호 모델링을 수행하였다. modified Materka 대신호

모델이 갖는 장점으로는 포화영역과 선형영역, 핀치 오프 부근의 전류특성이 비교적 정확한 것으로 알려져 있으며, 뿐만 아니라 추출해야 하는 파라미터가 비교적 작고, 각 파라미터의 역할이 수학적으로 잘 분리되어 있으므로 모델사용의 편의성 또한 우수하다 하겠다. 본 논문에서는 먼저 4H-SiC MESFET의 2차원 소자 시뮬레이션을 수행하고, 시뮬레이션 결과를 토대로 소신호 및 대신호 모델링을 수행하였다. 모델링 과정은 소신호 모델링 후 소신호 모델 파라미터에 근거한 대신호 모델링을 실시함으로써 소자특성의 일관성 있는 추출을 가능하게 하였다. 추출된 대신호 모델 파라미터는 다음의 두가지 방법으로 모델의 정확성을 검증하였다. 첫째 시뮬레이션된 소자의 DC특성과 모델링된 소자의 DC특성을 비교하였고, 둘째, 시뮬레이션된 소신호 특성과 모델에서 예측한 소신호 특성을 비교하였다. 마지막으로 대신호 모델파라미터를 사용하여 소자를 구성하고 초고주파 회로설계용 CAD인 ADS (advanced design system)를 사용하여 구성된 소자의 전력특성 시뮬레이션을 통해 4H-SiC MESFET의 전력소자로서의 가능성을 증명하였다.

II. 본 론

2-1 Device simulation

표 1. 4H-SiC Material parameters.

Parameter	Electron	Hole
Energy gap, E_g (eV)	3.26	
Relative Dielectric Constant ϵ_r	9.7	
Schottky Barrier Height(eV)	1.75(Au)	
Thermal conductivity (W/cm - °K)	4.9	
Mobility : Concentration Dependence $\mu(N) = \mu_1 + [\mu_2 / (1 + N/N_{cr})]$	$\mu_1 = 88, \mu_2 = 970,$ $N_{cr} = 1.43 \times 10^{17}$	$\mu_1 = 74, \mu_2 = 43$ $N_{cr} = 1.43 \times 10^{17}$
Mobility : Electric Field Dependence $\mu(N) = \mu_0 + [1 + (1/(\mu_0 E/V_{sat})^\beta)]^{-1/\beta}$	$V_{sat} = 2 \times 10^7 \beta = 2$	$V_{sat} = 2 \times 10^7$ $\beta = 1$
Minority Carrier Lifetime(sec)	5×10^{-7} to 10^{-9}	5×10^{-7} to 10^{-9}
Typical Ohmic Contact Resistance (specific - $\Omega \text{ cm}^2$)	n-type : 1×10^{-5}	p-type : 1×10^{-4}
Richardson Constant ($AK^{-2} \text{ cm}^{-2}$)	146	30

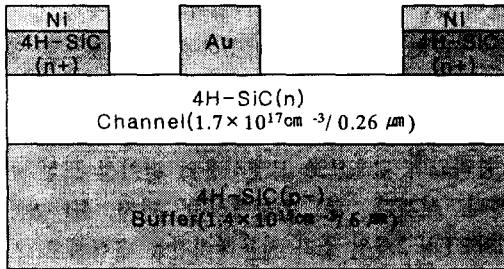


그림 1. A 4H-SiC MESFET의 단면도

Silvaco사의 2차원 소자 시뮬레이터인 ATLAS 를 이용하여 4H-SiC MESFET의 소자 시뮬레이션을 수행하였다. 2차원 소자 시뮬레이터는 전하의 이동을 고려하는 Poisson 방정식과 전자, 정공에 대한 각각의 연속(continuity)방정식 등 기본적으로 3가지 방정식을 계산함으로써 시뮬레이션을 수행하게 되며, 따라서 정확한 2차원 소자 시뮬레이션을 위해서는 반도체 물질에 따른 정확한 물리적인 모델과 모델 파라미터 사용이 매우 중요하다. 본 논문에서는 low field와 high field로 나누어 각각의 경우에 다른 모델을 사용하여 시뮬레이션 하였으며, 모델 파라미터는 최근의 논문결과를 참조하였다. 사용된 모델식과 모델파라미터가 표 1에 나타난다.

Channel 두께와 doping 농도는 각각 0.26 μm , $1.7 \times 10^{17} \text{cm}^{-3}$ 이며 6 μm 의 buffer layer에는 $1.4 \times 10^{15} \text{cm}^{-3}$ 억셉터 도핑이 사용되었고, 오믹접합을 위한 n+층에는 $2 \times 10^{19} \text{cm}^{-3}$ 의 도너 도핑이 사용되었으며, Schottky barrier height는 1.75 eV로 시뮬레이션 하였다. Breakdown voltage와 gate와 source 사이의 capacitance 문제를 고려하여 gate-source와의 거리는 0.3 μm , gate-drain과의 거리는 0.8 μm 로 하였으며, gate length는 0.7 μm , gate width는 332 μm 이다. 시뮬레이션된 소자의 구조^[5]는 그림 1과 같다.

2-2 I-V simulation and modeling

사용된 modified Materka model의 channel current(I_d) 표현식은 다음과 같이 크게 세부분으로 나누어 생각할 수 있다.

$$I_d = f(V_{GS}, V_{DS})g(V_{GS}, V_{DS})h(V_{GS}, V_{DS}) \quad (1)$$

표 2. Model keyword and definition.

Model Keyword	Definition
I_{dss}	Drain saturation current at $V_{GS}=0V$
SS	Slope of the saturation region
V_{po}	Pinch off voltage
GAMA	Voltage slope parameter of pinch off voltage
E	Constant part of power law parameter
KE	Dependence of power law on V_{GS}
KG	Drain dependence on V_{GS} in the linear region

위의 3가지 함수 각부분이 의미하는 것은 함수 $f(V_{GS}, V_{DS})$ 는 포화전류의 크기를 나타내는 함수이며, 함수 $g(V_{GS}, V_{DS})$ 는 출력전도도(output conductance)를 나타내는 함수이다. 또한 tanh형태를 포함하는 함수 $h(V_{GS}, V_{DS})$ 는 선형동작영역에서의 I-V 특성을 기술하기 위한 함수이다. Materka model의 최종적인 I-V 관계식과 정의가 식 (2)와 표 2에 각각 나타내었다.

$$I_d = I_{dss} \times \left\{ 1 + SS \frac{V_{ds}}{I_{dss}} \right\} \cdot \left\{ 1 - \frac{V_{gsi}}{V_{po} + GAMA V_{dsi}} \right\}^{E + KEV_{gs}} \times \tanh \left(\frac{SLV_{dsi}}{I_{dss}(1 - KG V_{gsi})} \right) \quad (2)$$

IV 특성곡선의 fitting을 위하여는 식 (2)에 보여지는 모델 파라미터를 시뮬레이션 결과로부터 직접 추출하여 바이어스의 변화에 따라 Interpolation scheme을 사용하여 fitting 하였다. M.W. Shin^[5]에 의한 실험적인 결과와 2차원 소자 시뮬레이터로부터

표 3. Comparison of Experimental and Simulated Result.

	Experimental Result ^[5]	Simulated Result (그림 2)
IDSS(mA/mm)	300	270
Pinch off voltage(V)	-8	-8
Knee Voltage(V)	10	10
g_m (ms/mm)	42	52

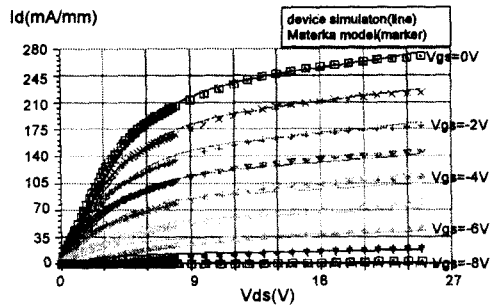


그림 2. I-V characteristics of a 4H-SiC MESFET

얻은 시뮬레이션 결과를 표 3에 비교하였다. 시뮬레이션으로부터 얻은 IV 특성과, 추출된 파라미터를 사용하여 모델링한 IV 특성이 그림 2에 나타나며, 대부분의 영역에서 결과는 잘 일치하고 있음을 보여준다.

2-3 Breakdown Simulation

높은 항복전압은 전력소자가 반드시 갖추어야 할 중요한 특성이다. 그림 3(a), 3(b)는 4H-SiC MESFET의 breakdown simulation 결과이다. 그림 3(a)는 소자의 breakdown과 관련된 전압, 전류 특성이며, 그림 3(b)는 breakdown시의 field 분포를 나타낸다. breakdown을 시뮬레이션하기 위해서는 고전계에서 높은 에너지를 갖게 되는 캐리어의 운동을 묘사하는 impact ionization model이 사용되어야 하는데, 본 논문에서는 Selberherr의 impact ionization model을 사용하였고, 사용된 impact ionization 모델과 파라미터를 표 4에 나타내었다.

시뮬레이션 결과는 소자의 완전 pinch off상태인

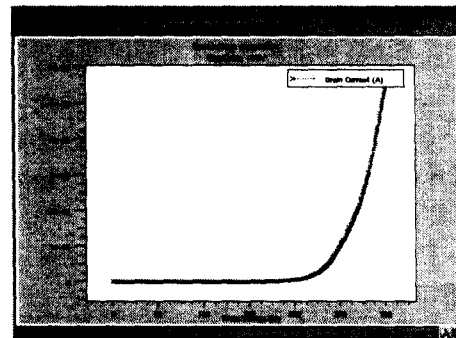
표 4. Impact ionization parameter in Selberherr Model.

Model	Parameter
$\alpha_n = AN \exp[-(BN/E)]^{BETAN}$	AN $8.34 \times 10^4 \text{ (cm}^{-1}\text{)}$
	BN $-2.0998 \times 10^5 \text{ (cm}^{-1}\text{)}$
	BETAN 1
$\alpha_p = AP \exp[-(BP/E)]^{BETAP}$	AP $1.789 \times 10^4 \text{ (cm}^{-1}\text{)}$
	BP $-2.7910 \times 10^5 \text{ (cm}^{-1}\text{)}$
	BETAP 1

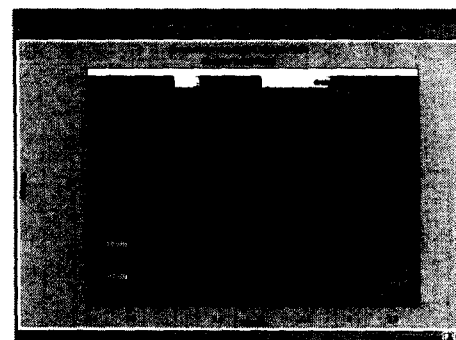
gate bias -20 V에서 시뮬레이션 되었으며, 그림 3(a)는 200 V 근처에서 breakdown이 발생함을 보이고 있다. 이는 이미 보고된 실험적인 결과^[6]와 시뮬레이션이 잘 일치하고 있음을 보여주며, Class A 조건에서 전력증폭기의 최대 전력은 식 (3)과 같이 나타낼 수 있다^[7].

$$P_{max} = \frac{I_{sat}(V_b - V_{knee})}{8} \quad (3)$$

윗식에 보여지듯이 최대 전력을 결정하는 요소는 포화전류(I_{sat}), 항복 전압(V_b) 그리고 무릎 전압(V_{knee})이 되는데, 가장 큰 영향을 주는 성분은 항복 전압이다. 식 (3)에 따르면, 그림 2로부터 전력밀도는 6.4 W/mm가 되어 Si, GaAs에 비해 10배 이상의 전력 밀도를 보이게 된다.



(a)



(b)

그림 3. (a) I-V characteristics of Breakdown simulation, at $V_{gs} = -20 \text{ V}$.
(b) Electric field of the Breakdown simulation, at $V_{gs} = -20 \text{ V}$.

2-4 소신호 모델

FET(Field Effect Transistor)의 소신호 등가회로가 그림 4에 나타나고 있다. 소자의 소신호 파라미터를 추출하는 과정은 기생성분을 얻는 부분과 Intrinsic 성분을 얻는 부분으로 나누어 진행하였다.

2-4-1 기생성분 추출(Parasitic element extraction)

소신호 모델에 있어서는 현재까지 Dambrine^[7]이 제안한 직접추출법이 많이 이용되고 있다. 소신호 모델을 하기 위해서는 소신호 등가모델을 정의하고 바이어스의 변화에 대하여 독립적인 그림 4에서의 $R_g, R_d, R_s, L_g, L_d, L_s, C_{pgs}, C_{pgd}, C_{pds}$ 와 같은 기생성분을 추출해야 한다. 기생성분이 추출되면 각 바이어스에서의 측정된 S 파라미터로부터 기생성분이 제거되어 소신호 모델의 intrinsic 성분을 얻을 수 있게 된다. 따라서 소신호 모델에 있어서, 추출된 기생성분은 바이어스 변화에 독립적인 상수로써 모든 바이어스 영역에서 소신호 모델에 영향을 주게 된다. 정확한 외부 기생성분을 제거하여야만 바이어스에 따른 intrinsic 성분이 현실성있는 값을 가지게 되므로 기생성분의 추출은 소신호 모델에 있어 가장 중요한 작업이 된다.

기생소자를 추출하기 위해서는 내부소자를 최대한 단순화 시켜야 하며, 이를 위해서 사용되는 방법이 Cold FET 측정법이며, F. Diamant와 M. Laviron^[8]에 의해 처음 제안되었다. 이 방법은 궁극적으로 FET의 드레인 바이어스를 0 Volt로 하여 게이트

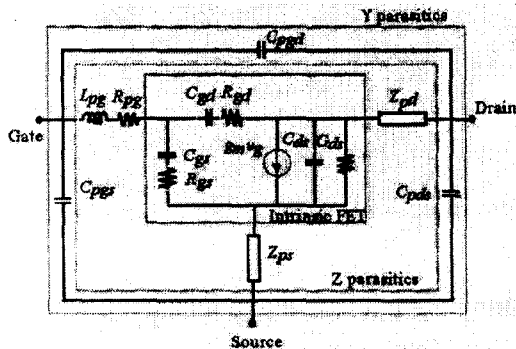


그림 4. Small signal equivalent circuit

바이어스에 대하여 이득을 갖지 않는 수동소자로 동작하게 하는 것이다.

Cold FET 측정법은 게이트에 가하는 바이어스에 따라 다음의 두가지 단계로 나누어 설명할 수 있다.

STEP I

드레인 바이어스 0 Volt 상태에서 게이트에 pinch off 이하의 바이어스를 가함으로써 기생캐패시턴스 성분을 유도해 낼 수 있다. 측정된 S 파라미터는 아래 식 (4)를 사용하여 S 파라미터로부터 변환된 Y 파라미터를 통하여 구해질 수 있다.

$$\begin{aligned}
 C_{pgs} &= \frac{Im(Y_{11})}{\omega} - C_{pgd}, \\
 C_{pgd} &= -\frac{Im(Y_{21})}{\omega} = -\frac{Im(Y_{12})}{\omega}, \\
 C_{pds} &= \frac{Im(Y_{22})}{\omega} - C_{pgd}
 \end{aligned} \tag{4}$$

STEP II

VDS=0 V 조건에서 게이트에 100mA/mm 이상의 게이트 전류가 흐르도록 게이트 전압을 가하고 이 상태에서 추출된 S 파라미터를 다시 Z 파라미터로 변환하여 게이트, 소스, 드레인 각각의 기생저항과 인덕턴스 성분을 추출해 내었다.

$$\begin{aligned}
 Z_{pg} &= R_{pg} + j\omega L_{pg} = Z_{11} + Z_{12}, \\
 Z_{pd} &= R_{pd} + j\omega L_{pd} = Z_{21} - Z_{12}, \\
 Z_{ps} &= R_{ps} + j\omega L_{ps} = Z_{21} = Z_{12}
 \end{aligned} \tag{5}$$

2-4-2 내부성분 추출(Intrinsic element extraction)

Cold FET 측정을 통해 얻은 기생성분들을 각 바이어스에서의 측정데이터에 대해 De-embedding 하여 소자의 Intrinsic 성분을 추출하였다. 그림 5에 소자의 Intrinsic 성분을 얻기 위한 De-embedding 과정을 보였다.

소신호 파라미터의 추출을 위하여 소신호 모델 추출 프로그램을 작성하였으며, 그림 6에 소신호 파라미터를 추출하기 위해 제작한 프로그램의 실행화면을 보였다.

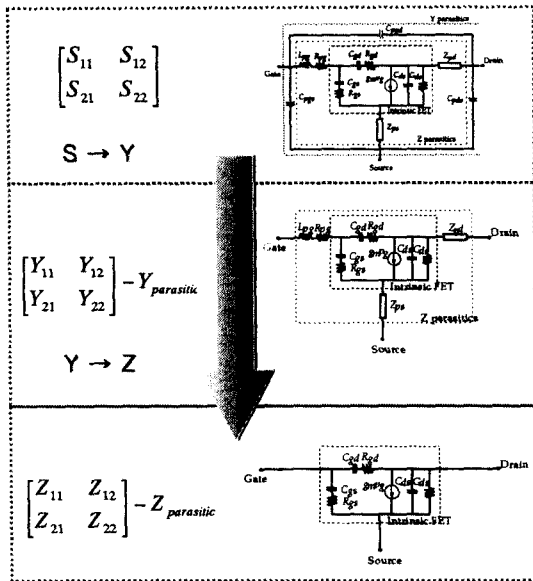


그림 5. 소자의 De-embedding 과정

표 5. Error rate of simulated and modeled S-parameter.

S_{11}	S_{21}	S_{12}	S_{22}
2.2 %	6.7 %	3.6 %	4.5 %

표 6. Extracted Small Signal Parameter.

Model parameter	Value
R_{gs}	7.2 Ω /mm
C_{gs}	0.29 pF/mm
R_{gd}	11.1 Ω /mm
C_{gd}	0.09 pF/mm
G_{ds}	6.5 ms/mm
C_{ds}	0.064 pF/mm
g_m	52.8 ms/mm
τ_a	2.43 ps

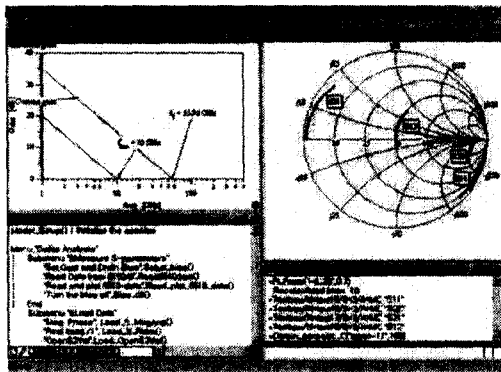


그림 6. 소신호 추출 프로그램의 실행화면

$V_{GS} = -4$ V, $V_{DS} = 25$ V에서 소신호 파라미터를 사용한 S 파라미터 시뮬레이션과 모델링 결과가 그림 7에 나타난다. 소신호 모델에서의 오차는 이를 근거로 모델링하는 대신호 모델에 절대적인 영향을 줄 수 있으므로 소신호 모델의 바이어스에 따른 정확성을 시뮬레이션 값과 비교하는 것은 대신호 모델링에서 매우 중요한 과정이다. 1 GHz에서 10 GHz까지 약 1 GHz 간격으로 시뮬레이션 되었으며, 시뮬레이션과 모델링이 비교적 잘 일치하고 있는 것으로 나타나는 데, 이는 소신호 모델파라미터가 정확하게 추출되었음을 의미한다. 표 5는 그림 8에 나타난 S-파라미터

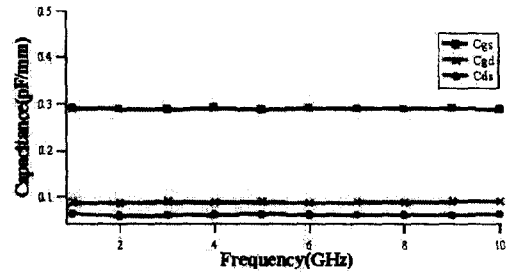


그림 7. Extracted Capacitance(pF/mm).

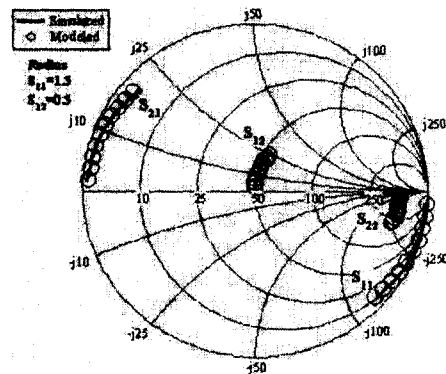


그림 8. Comparison of Simulated & Modeled S-Parameter, at $V_{GS} = -4$ V, $V_{DS} = 25$ V, 1 GHz - 10 GHz.

터의 오차율을 나타내며, 표 6은 추출된 소신호 파라미터를 보이고 있다.

$$R_{gs} = Re\left(\frac{1}{Y_{11} + Y_{12}}\right),$$

$$C_{gs} = \frac{-1}{w \cdot Im\left(\frac{1}{Y_{11} + Y_{12}}\right)},$$

$$R_{gd} = Re\left(-\frac{1}{Y_{12}}\right),$$

$$C_{gd} = \frac{1}{w \cdot \left(\frac{1}{Y_{12}}\right)},$$

$$G_{ds} = Re(Y_{22} + Y_{12}),$$

$$C_{ds} = \frac{Im(Y_{22} + Y_{12})}{w},$$

$$g_m = |(Y_{21} - Y_{12}) \cdot (1 + jwR_{gs}C_{gs})|,$$

$$\tau = -\frac{1}{w} Arg\left\{ (Y_{21} - Y_{12}) \cdot (1 + jwR_{gs}C_{gs}) \right\} \quad (6)$$

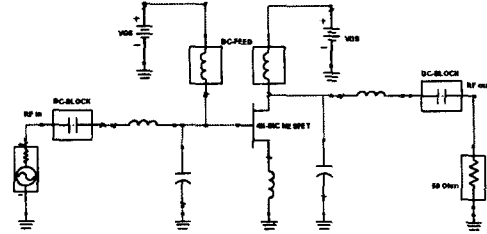
2-5 Power Simulation

Modified Materka 대신호 모델을 파라미터를 사용하여 소자의 전력특성을 알아보기 위하여 Microwave CAD Tool인 ADS(Advanced Design System)를 사용하여 그림 9(a)와 같은 정합회로를 구성하였다.

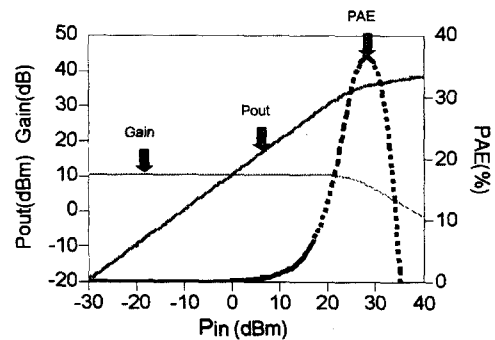
소자의 stability 문제를 고려하여 source단에 inductor를 추가하였으며, 이같은 정합회로를 통한 소자의 전력특성을 시뮬레이션한 결과는 VGS=-4 V, VDS=25 V의 Class A 바이어스 조건에서 HB(Harmonic Balance) 시뮬레이션을 통하여 10 dB의 이득과 34 dBm(1 dB Compression Point)의 output power, 7.6 W/mm의 power density, 37%의 PAE(Power Added Efficiency)의 전력특성을 얻었으며, 이 같은 결과를 그림 9(b)에 나타내었다.

Ⅲ. 결 론

본 논문에서는 차세대 전력소자인 4H-SiC MESFET을 modified Materka 대신호 모델을 사용하여 모델링 하였다. 먼저 2차원 소자 시뮬레이터인 ATLAS를 사용하여 DC 및 S-파라미터 특성을 시뮬레이션 하였다. 정확한 소자의 특성을 시뮬레이션하기 위하여 전체에 따라 다른 이동도(mobility) 모델을



(a)



(b)

그림 9. (a) Matching circuit for power simulation
(b) Power simulation for a 4H-SiC MESFET at 2GHz.

사용하였고, breakdown 시뮬레이션을 위하여 Selberherr impact ionization 모델을 사용하였다. 먼저 DC 모델링을 위하여는 시뮬레이션된 IV결과로부터 직접적인 모델 파라미터 추출을 통해 curve fitting 하였으며, 소신호 파라미터 추출을 위하여는 cold method를 통하여 기생성분을 De-embedding 하므로써 내부소자 성분을 추출하였다. DC 및 S-파라미터가 비교를 통하여 소신호 파라미터가 정확하게 추출되었음을 증명하였으며, 바이어스에 따른 소신호 파라미터의 추출과 curve fitting을 통해 최종적으로 대신호 모델 파라미터를 추출하였다. 추출된 대신호 모델 파라미터는 modified Materka 대신호 모델을 사용하여 소자 및 매칭 회로를 구성하여 소자의 전력특성을 나타내었다. 2 GHz, VGS=-4V, VDS= 25 V, CLASS A 조건에서 10 dB의 Gain과 34 dBm(1 dBcompression point)의 output power, 7.6 W/mm의 power density, 37%의 PAE(power added

표 7. Large signal model parameter of 4H-SiC MESFET at 1-10GHz.

IDSS 0.6879E-1 (A)	K1 1.6
VP0 -8 (V)	C1S 0.127E-13 (F)
GAMA -0.125E-1 (1/V)	CF0 0.605E-13 (F)
E 0.92	KF 0.62 (1/V)
KE -0.115 (1/V)	RG 3.45 (Ω)
SL 0.17E-1 (A/V)	RD 5.13 (Ω)
KG 0.25E-2 (V)	RS 3.57 (Ω)
T 0.39E-13 (sec)	LG 0.54E-10 (H)
SS 0.95E-3 (A/V)	LD 0.19E-10 (H)
IG0 0.1E-30 (A)	LS 0.84E-09 (H)
AFAG 20.55 (V)	CDS 0.11E-13 (F)
IB0 0.25E-2 (A)	CDS0 0.12E-08 (F)
AFAB 1.2 (V)	RDS0 706 (Ω)
VBC 200 (V)	CGE 0.82E-13 (F)
R10 13.99 (Ω)	CDE 0.85E-14 (F)

efficiency)를 얻을 수 있었다. 7.6 W/mm의 power density는 Si, GaAs에 비해 10배 이상 큰 값이므로 고출력 소자로써의 응용 가능성이 충분하다 하겠다. 표 7에 Modified Materka 대신호 모델 파라미터를 나타내었다.

참고 문헌

- [1] Y. S. Park, *SiC Materials and Devices : Semiconductors and Semimetals*, vol. 52, Academic Press, 1998.
- [2] K. E. Moore et al., "4H-SiC MESFET with 65.7% Power Added Efficiency at 850 MHz", *IEEE Electron Device Letter*, vol. 18, no. 2, pp.69-70, 1997.
- [3] R. J. Trew, "wide bandgap semiconductor transistors for microwave power amplifiers", *Microwave Journal*, pp.47-54, March 2000.
- [4] A. Materka and T. Kacprzak, "Computer calculation of large-signal GaAs FET amplifier characteristics", *IEEE Transactions on Microwave Theory Tech.*, vol. MTT-33, no. 2, pp.129-135, Feb. 1985.
- [5] M. W. Shin, "High-Efficiency Performance of Microwave Power 4H-0SiC Amplifiers", *Proceedings of 1995 International Symposium on Power Semiconductor Device & ICs*, Yokohama, pp.497-500, 1995.
- [6] Charles E. Weitzel, "Comparison of SiC, GaAs, and Si RF MESFET power densities", *IEEE Electron Device Letters*, vol. 16, no. 10, pp. 451-453, Oct. 1995.
- [7] P. H. Ladbrooke, *MMIC Design: GaAs FET's and HEMT's*. Boston, MA: Artech House, 1989.
- [8] H. K. Choi, "A study on the automated extraction of the modified Materka large signal model for GaAs FET devices", 광운대학교 석사학위논문 1999.
- [9] G. Dambrine, A. CAPPY, "A New Method for Determining the FET Small-Signal Equivalent Circuit", *IEEE Transactions on Microwave Theory Tech.*, vol. MTT-36, no. 7, pp.1151-1159 July 1988.
- [10] F. Diamant and M. Laviron, "Measurement of the extrinsic series element of a microwave MESFET under zero current condition", in *Proc. 12th European Microwave Conf.*, 1982, pp.451-456.

이 수 응



2000년: 경희대학교 전자공학과
(공학사)
2000년~현재: 서강대학교 전자공
학과 대학원 석사과정

범 진 옥



1987년: 서울대학교 물리학과
(이학사)
1989년: University of Michigan,
Ann Arbor 물리학과 대학원 (이
학석사)
1995년: 미국 코넬대학교 응용물리
학과 (이학박사)
1995년~1996년: 미국 코넬대학교
박사후 연구원
1996년~1998년: Lucent Technologies/Bell Laboratories
박사후 연구원
1998년~현재: 서강대학교 전자공학과 조교수

송 남 진



1998년: 서강대학교 전자공학과 (공
학사)
2000년: 서강대학교 전자공학과 대학
원 (공학석사)
2000년~현재: 서강대학교 전자공학
과 대학원 박사과정