

## 코발트 실리사이드에 의한 게이트 측벽 기공 형성에 대한 고찰

김영철 · 김기영 · 김병국\*

한국기술교육대학교 신소재공학과, \*한국과학기술연구원 재료연구부

## A Consideration of Void Formation Mechanism at Gate Edge Induced by Cobalt Silicidation

Yeong-Cheol Kim, Ki-Young Kim and Byung-Kook Kim\*

Department of Materials Engineering, Korea University of Technology and Education,  
Chungnam 330-708, Korea

\*Division of Materials, Korea Institute of Science and Technology, Seoul 136-791, Korea

### 요 약

실리콘 기판에 도핑되어 있는 도판트는 종류에 따라 코발트와 실리콘 기판과의 반응에 영향을 준다. 인은 붕소나 비소에 비해 코발트와 실리콘과의 반응을 억제하여 저온 열처리 동안에  $\text{CoSi}_2$  대신에  $\text{CoSi}$ 가 형성되도록 한다.  $\text{CoSi}$ 층 내에서의 확산원소는 Si이므로,  $\text{CoSi}$  층은  $\text{Co/CoSi}$  계면에서 성장하며 반응에 참여하는 Si 소모에 의해 생기는 기판의 빈 공간을 채우기 위해 Si 기판쪽으로 이동한다. 게이트 측벽에서는 접촉되어 있는 게이트 산화막과의 결합에 의해  $\text{CoSi}$  층의 이동이 억제된다. 따라서 기판의 빈 공간을 채우지 못하게 되어 게이트 측벽 아래에 기공이 형성된다.

### Abstract

Dopants implanted in silicon substrate affect the reaction between cobalt and silicon substrate. Phosphorous, unlike boron and arsenic, suppressing the reaction between cobalt and silicon induces  $\text{CoSi}$  formation during a low temperature thermal treatment instead of  $\text{CoSi}_2$  formation. The  $\text{CoSi}$  layer should move to the silicon substrate to fill the vacant volume that is generated in the silicon substrate due to the silicon out-diffusion into the cobalt/ $\text{CoSi}$  interface. The movement of  $\text{CoSi}$  at gate sidewall spacer region is suppressed by a cohesion between gate oxide and  $\text{CoSi}$  layers, resulting in a void formation at the gate sidewall spacer edge.

### 1. 서 론

초고집적회로에서 소자의 크기가 미크론 이하로 작아지고 금속배선의 길이가 늘어남에 따른 시간지연(time delay)을 해결하기 위해, 접합이나 전극물질로 사용되고 있는 금속 실리사이드(metal silicide)에 대한 연구가 활발하게 진행되어 왔다.<sup>1)</sup> 코발트 실리사이드(cobalt silicide) 제조공정은 그 대표적인 예로써 코발트(Co)를 실리콘(Si) 위에 증착한 후 외부 노출없이 실리사이드를 형성<sup>2)</sup> 하

거나, 타이타늄(Ti)<sup>3)</sup> 또는 질화 타이타늄(TiN)<sup>4)</sup>을 보호막(capping material)으로 사용하여 실리사이드를 형성하는 방법으로 나눌 수 있다. 최근에 DRAM과 LOGIC을 하나의 칩 위에 제조하기 위한 EDL(Embedded DRAM and LOGIC) 기술의 요구가 급속히 증가<sup>5)</sup>하고 있는데, 이는 저전력, 고성능 소자의 필요성 때문이다. 가장 대표적인 EDL 기술은 메모리 기반 접근방식(memory-based approach)<sup>6)</sup>으로 공정 집적(process integration)이 용이하고 저비용의 장점이 있는데 반하여, capacitor

형성을 위한 고온공정을 견딜 수 있어야 한다는 문제점이 있다.

이러한 EDL 기술의 개발에 있어 보고되고 있는 문제점 중의 하나가 MOSFET 게이트 측벽(sidewall spacer) 아래에 기공(void)이 형성되는 것으로, 측벽 아래에 생기는 기공은 코발트 모노실리사이드(CoSi)가 코발트 다이실리사이드(CoSi<sub>2</sub>)로 상전이 되는 열처리 동안 기판 Si이 소모되어 생기는 현상으로 설명되었다.<sup>7)</sup> 또한 최근에는 Si 기판에 주입되는 도판트(dopant)의 종류가 기공 생성에 영향을 주는 것이 보고되었다.<sup>8)</sup> Si 기판에 인(P)이 주입되면 Co와 Si의 반응성이 낮아져 CoSi<sub>2</sub> 형성 온도가 증가한다.<sup>9)</sup> 따라서 P가 주입되어 있는 Si 기판 영역은 저온 1차 열처리 과정 동안에 Co와의 반응성이 낮아져 CoSi<sub>2</sub> 대신에 CoSi가 형성된다. CoSi가 2차 열처리 과정에서 CoSi<sub>2</sub>로 상전이될 때, 기판 Si이 소모되어 측벽 아래에 기공이 생성된다고 보고하였다. 하지만 도판트가 실리사이드 제조 공정에 미치는 영향으로 인한 게이트 측벽 아래에 기공이 생성되는 현상에 대한 이해는 아직 부족한 편이어서 추가적인 연구가 요구된다.

본 연구에서는 Ti 보호막을 사용하여 코발트 실리사이드를 MOSFET의 소스/드레인 영역에 적용하였을 경우에 게이트 측벽 아래에 발생하는 기공형성이 소스/드레인에 사용하는 도판트의 종류에 따라 달라지는 현상을 이용하여, 기공형성이 일어나는 현상을 기 보고된 결과보다 더 구체적으로 설명할 수 있는 이론을 제시하고자 한다.

## 2. 실험

기판으로 9~12 Ωcm 사이의 비저항(resistivity)을 가지며 직경이 200 mm인 p-type (001) Si 웨이퍼를 이용하였다. Shallow trench isolation(STI)을 구현하여 격리구조를 형성한 후에 P와 붕소(B)를 이온 주입하여 n과 p-well을 형성하였다. 소자제작을 위하여 n과 p-채널(channel)에는 문턱전압(V<sub>TH</sub>) 조절용 이온주입을 각각 실시하였다. 게이트 식각 후에 재산화를 실시하고 LDD(Lightly doped drain) 이온주입을 진행하였다. LDD 이온주입은 실제 소스/드레인에 주입되는 도판트 양보다 적은 양을

Table 1. Ion implantation conditions for fabrication of MOSFET devices

Process conditions	Sample		
	1	2	3
n well			x
p well	x	x	
p V <sub>T</sub> Ion implantation			x
n V <sub>T</sub> Ion implantation	x		
Gate formation	x	x	x
P (10 <sup>13</sup> ) n-LDD Ion Implantation	x	x	x
As (10 <sup>14</sup> ) n-LDD Ion Implantation	x		
Oxide/Nitride deposition	x	x	x
n+ Source/Drain Ion Implantation	x		
p+ Source/Drain Ion Implantation			x

주입하는 것을 의미하며, n- 또는 p-로 표시된다. P로 n-LDD 이온주입을 웨이퍼 전체에 진행하여 제조한 전형적인 nMOS 구조와 변형 nMOS 구조(시편 1과 2), 그리고 pocket pMOS 구조(시편 3)를 제작하였다. 질화 실리콘(silicon nitride)과 산화 실리콘(silicon oxide)을 증착하여 게이트 측벽을 형성한 후, nMOS와 pMOS의 소스/드레인 영역에 비소(As)와 B를 각각 이온주입하였다. 3가지 시편에 대한 이온주입 공정조건은 Table 1에 정리하여 나타내었다.

전기적 활성화(electrical activation)를 위한 rapid thermal annealing(RTA)을 실시하였다. 반응할 Co를 증착하기 전에 소스/드레인 영역을 희석 불산(HF) 용액으로 세정하여 공기 중의 산소와 반응하여 생긴 산화막을 제거하였다. 연속진행으로 Co와 Ti를 DC 마그네트론(magnetron) 장비를 이용하여 증착하였다. 후속공정으로 1차 RTA를 N<sub>2</sub> 분위기에서 실시하였다. 미반응 Ti와 Co 금속을 SC1과 SC2 세정용액으로 각각 제거한 후, 2차 RTA를 실시하였다. 이후 각각의 소자에 capacitor 형성을 위한 후속 열처리를 실시하였다. 각 조건에서의 기공형성 결과를 확인하기 위해 투과전자현미경(transmission electron microscopy, TEM)과 TEM 시편 제작을 위해 focused ion beam(FIB)을 사용하였다.

## 3. 결과 및 고찰

Fig. 1(a)는 전형적인 nMOS 소자의 개략도로 p-

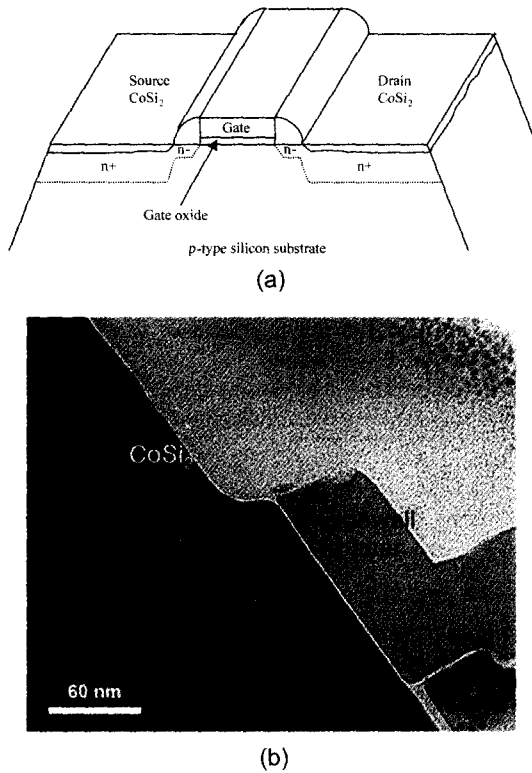


Fig. 1. nMOSFET gate structure : (a) schematic diagram and (b) cross-sectional TEM picture.

type Si 기판에 게이트가 형성되어 있으며, 게이트 측벽 아래에는 n- 도핑, 그리고 소스와 드레인에는 n+ 도핑이 되어 있다. 여기서 n-는 n-type 도핑량이 적은 경우, 그리고 n+ 도핑은 n-type 도핑량이 많은 경우를 의미한다. 또한 소스와 드레인에는 이 영역의 저항을 줄이기 위해  $\text{CoSi}_2$ 가 형성되어 있다. Fig. 1(b)는 실제 nMOS 소자(시편 1)의 TEM 단면사진으로  $\text{CoSi}_2$ 가 산화막 측벽 아래까지 형성되어 있음을 보여준다. 하지만,  $\text{CoSi}_2$ 가 nMOS 소자에 형성된 이 구조에서는 게이트 측벽 아래에서의 기공형성은 관찰되지 않았다. 이러한 nMOS 소자에서는 소스/드레인과 채널간 pn 접합을 통한 전류 침투(current penetration)나, VGS(게이트-소스간의 전압) = 0 V에서의 낮은 절연 파괴 전압(breakdown voltage)을 나타내지 않는 전형적인  $I_D - V_D$  특성을 보여주었다.<sup>8)</sup>

소스/드레인 이온주입이 진행되지 않고, P n-

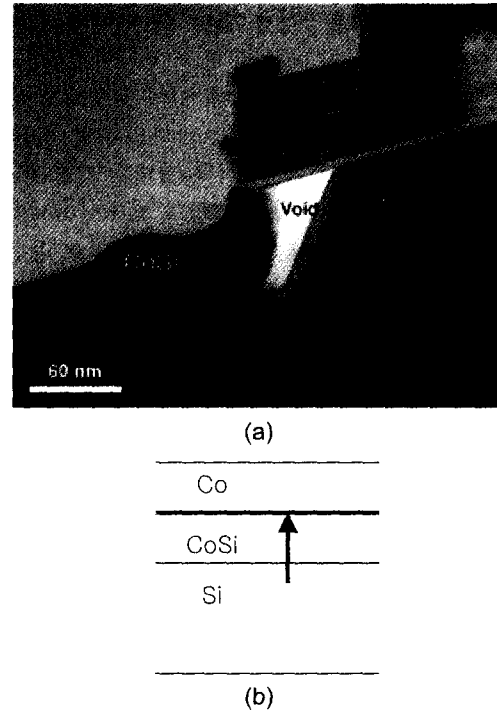


Fig. 2. (a) cross-sectional TEM picture of modified nMOSFET (sample 2) and (b) schematic of CoSi formation.

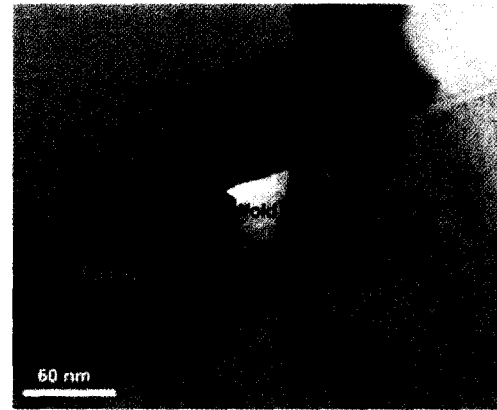
LDD만 진행된 변형 nMOS 소자(시편 2)는 Fig. 2(a)에서 보듯이 게이트 측벽 아래 코발트 실리사이드의 측면 성장이 관찰되고, 30 nm 내지 50 nm 크기의 기공이 형성된다. 도판트 P는 Co와 Si의 반응을 억제하여 500°C에서 형성되는  $\text{CoSi}_2$ 를 600°C 이상에서 형성되도록 한다.<sup>9)</sup> 따라서 550°C에서 진행되는 1차 열처리 동안 P가 도핑된 Si 영역에서는 CoSi가 형성된다. 또한 CoSi와  $\text{CoSi}_2$ 가 형성될 때 실리사이드 층을 확산할 수 있는 원소는 각각 Si와 Co로 알려져 있다.<sup>10)</sup> 따라서 P가 도핑된 시편 2의 경우 1차 열처리 동안 Co/Si 계면에 형성되는 실리사이드는 CoSi이고, CoSi를 확산할 수 있는 원소는 Si이기 때문에 Si은 아래 계면인 CoSi/Si를 지나 위 쪽에 위치한 Co/CoSi 계면으로 이동하여 Co와 반응한다. 즉, CoSi 층은 위 쪽에 위치한 Co/CoSi 계면에서 CoSi가 계속 형성되면서 두꺼워진다.

이와 같은 CoSi 성장 모델을 Fig. 2(b)에 간략히

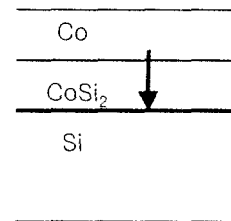
도시하였다. CoSi가 형성되는 계면은 굵은 선으로 표시하였다. Fig. 2(b)에서 알 수 있듯이 CoSi는 Co/CoSi 계면으로 이동한 Si이 Co와 반응하여 CoSi가 계속 형성된다. 한편, Si이 기판에서 빠져나와 Co/CoSi 계면으로 이동하면 CoSi 층은 CoSi/Si 계면을 유지하기 위해 아래로 이동하게 된다. 만약 이러한 이동이 허락되지 않으면 CoSi/Si 계면에는 Si이 빠져나간 빈자리를 채우지 못해 기공이 형성될 것이다. 이상의 설명은 표면이 평평한 소스/드레인 지역에서 CoSi가 형성되는 경우로서, 게이트 측벽 아래로 측면 생성되는 코발트 실리사이드인 경우에는 실리사이드와 접촉하고 있는 게이트 산화막에 의한 영향을 고려하여야 한다. 게이트 산화막은 접촉하고 있는 코발트 실리사이드와의 결합에 의해 CoSi 층의 이동을 억제할 수 있어, 기판 Si의 소모에 의해 생기는 빈 공간을 채우는 것을 방해하여 게이트 측벽 아래에 기공이 생기게 된다.

Fig. 3(a)는 LDD 이온주입을 P만 적용하고 소스/드레인에 B가 주입된 pocket 구조를 가지는 pMOS 소자(시편 3)의 소스/드레인 영역에 실리사이드를 형성한 경우이다. 게이트 측벽 아래에는 실리사이드가 거의 형성되지 않았으며, 기공이 형성되었다. 기존의 기공형성 기구(mechanism)는 게이트 측벽 모서리에서 (111) 실리콘 면에서 보여주는 CoSi의 측면 성장(lateral encroachment)과 (100) CoSi/Si에서 CoSi<sub>2</sub> 형성 시 실리콘 과소모에 의한 기공 형성으로 설명되었으나,<sup>7)</sup> 본 실험에서는 게이트 측벽 모서리에서는 실리사이드 측면 성장이 거의 나타나지 않았다. 실리사이드 형성은 측벽 모서리에서 끝나있고 측면 성장이 될 부위에 기공이 형성되었다. 위의 경우와 같이 게이트 측벽 모서리에 기공이 형성된 pMOS의 경우 소스(드레인)/LDD/채널 사이에 기공이 존재함으로 드레인 전류가 크게 감소하는 것으로 보고되었다.<sup>8)</sup>

B가 도핑된 시편 3의 경우 1차 열처리동안 Co/Si 계면에서 CoSi<sub>2</sub>가 형성되고, CoSi<sub>2</sub>를 확산할 수 있는 원소는 Co이기 때문에 Co가 CoSi<sub>2</sub>층을 지나 아래에 위치한 CoSi<sub>2</sub>/Si 계면으로 이동하여 Si과 반응한다[Fig. 3(b) 참조]. 즉 CoSi<sub>2</sub>층은 아래에 위치한 CoSi<sub>2</sub>/Si 계면에서 CoSi<sub>2</sub>가 계속 형성되면서



(a)



(b)

Fig. 3. (a) cross-sectional TEM picture of pocket pMOSFET (sample 3) and (b) schematic of CoSi<sub>2</sub> formation.

두꺼워진다. 따라서 CoSi<sub>2</sub>가 형성되는 경우에는 Co와 Si가 CoSi<sub>2</sub>/Si 계면에서 반응하므로 Si이 기판을 빠져나가 생기는 부분을 CoSi<sub>2</sub>가 채울 수 있어 CoSi<sub>2</sub>층이 아래로 이동할 필요가 없다. 반응에 참여하는 Si에 의해 생기는 빈 공간의 부피와 생성되는 CoSi<sub>2</sub>의 부피가 정확히 같을 수는 없기 때문에 CoSi<sub>2</sub>층의 이동이 있을 수는 있으나, CoSi<sub>2</sub>층에 비해 훨씬 작으므로 CoSi<sub>2</sub>층은 성장하는 동안에 움직이지 않는다고 가정할 수 있다. 그러므로 시편 1과 같이 측벽 아래로 측면 생성되는 코발트 실리사이드가 CoSi<sub>2</sub>인 경우에는 CoSi<sub>2</sub>층의 이동이 요구되지 않으므로 기공이 형성되지 않는다고 이해할 수 있다.

지금까지의 코발트 실리사이드 생성에 대한 고찰로서, CoSi가 생성되는 경우에는 측벽 아래에 기공이 쉽게 생성될 수 있음을 알 수 있다. LDD 지역은 P로 도핑되어 있고 소스/드레인 지역은 B로 도핑된 시편 3의 경우, B가 도핑되어 있는 소

스/드레인 영역에서는 Si와 Co의 반응성이 커서  $\text{CoSi}_2$ 가 형성되고, LDD 지역인 측벽 아래에서는 반응이 억제되어 실리사이드가 거의 형성되지 않게 된다. 하지만 LDD와 소스/드레인 지역에 P만 도핑된 경우인 시편 2의 경우, Co와 Si의 반응성이 낮아져 전체적으로  $\text{CoSi}$ 가 형성될 수 있다. 따라서 소스/드레인 영역에서의  $\text{CoSi}$  성장뿐만 아니라 측벽 아래에서의 측면성장도 가능하여 Fig. 2(a)에서와 같이 측면성장과 기공이 동시에 관찰된 것으로 판단된다.

### 참고문헌

- 1) Muraka, S. P., Read, M. H., Doherty, C. J. and Fraser D. B., *J. Electrochem. Soc.*, **129**, 293 (1982).
- 2) Inoue, K., Mikagi, K., Abico, H. and Kikkawa, T., *IEDM Tech. Dig.*, 445 (1995).
- 3) Wang, Q. F., Maex, K., Kubicek, S., Jonckheere, R., Kerkwijk, B., Verbeeck, R., Biesemans, S. and De Meyer, K., *VLSI Symp.*, 17 (1995).
- 4) Goto, K., Fushida, A., Watanabe, J., Sukegawa, T., Kawamura, K., Yamazaki, T. and Sugii, T., *IEDM Tech. Dig.*, 449 (1995).
- 5) Ishiuchi, H., Yoshida, T., Takato, H., Tomioka, K., Matsuo, K., Momose, H., Sawada, S., Yamazaki, K. and Maeguchi, K., *IEDM Tech. Dig.*, 33 (1997).
- 6) Kim, J. C., Lee, W. H., Kim, J. G., Chung, S. Y., Nam, J. S., Lee, J. L., Kim, H. and Song, D., *ESSDERC Proc.*, 228 (1999).
- 7) Byun, J. S., Youn, K. Y., Park, J. W. and Kim, J. J., *J. Electrochem. Soc.*, **143**, L56 (1996).
- 8) Kim, J. C., Kim, Y.-C. and Kim, B. K., *to appear in J. Kor. Ceram. Soc.*, **10** (2001).
- 9) Muraka, S. P., *Silicides for VLSI applications* (Academic, New York, 1983) p. 113.
- 10) Lavoie, C. and Steegen, A., *Trends in Silicides Used for ULSI Devices and the Effect of Stress on Silicide Formation* (2000 MRS Spring Meeting Tutorial Program) (2000).