

# 소결온도와 열처리시간에 따른 SCT 세라믹스의 유전특성

論 文
50C-11-1

## Dielectric Properties of SCT Ceramics with the Sintering Temperature and the Thermal Treatment Time

姜 在 訓\* · 崔 雲 植\*\*  
(Jae-Hun Kang · Woon-Shik Choi)

**Abstract** - In this paper, the  $Sr_{1-x}Ca_xTiO_3$  ( $0 \leq x \leq 0.2$ )-based grain boundary layer ceramics were fabricated to measure dielectric properties with the sintering temperature and the thermal treatment time. The sintering temperature and time were 1420~1520°C, 4hours, and the thermal treatment temperature and time of the specimen were 1150°C, 1, 2, 3hours, respectively. The structural and the dielectric properties were investigated by SEM, X-ray, HP4194A and K6517. The average grain size was increased with increasing the sintering temperature, but it decreased up to 15mol% with increasing content of Ca. X-ray diffraction analysis results showed that all specimens were the cubic structure, and the main peaks were moved to right and the lattice constant were decreased with increasing content of Ca. The appropriate thermal treatment time and temperature of CuO to obtain dielectric properties of  $\epsilon_r > 50000$ ,  $\tan \delta < 0.05$  and  $\Delta C \leq \pm 10\%$  were 2hrs and 1150°C, respectively.

**Key Words** : grain boundary layer, the lattice constant, the thermal treatment time, the cubic structure

### 1. 서 론

21C IT 산업의 발달과 함께 휴대용 단말기, 통신용 전자부품으로 이용되는 유전체 세라믹은 소형화, 고성능화, 다기능화의 요구가 점점 증대되고 있으며 이에 따라 고유전율, 저손실 유전체 사용이 중요하게 되어 다양한 연구가 진행되고 있다. 이에 부응하는 전자부품의 하나로서 입계절연형 반도체 세라믹 캐패시터를 들 수 있다. 입계 절연형 세라믹 캐패시터는 1961년 영국의 R. M. Glaister에 의해서 최초로 제조되었으며,[1] 1963년 Waku, Murakami에 의해 결보기 유전율이 24000을 갖는  $SrTiO_3$ 를 기본으로 한 BL 고주파 캐패시터가 발견되었다.[2,3] 그후, Yamaoka는 50000 이상의 높은 유전율을 갖는 캐패시터를 제작 상용화 시켰으며. 다양한 첨가물이 혼합된  $SrTiO_3$ 계에 대한 지속적인 연구결과 결보기 유전율이 100,000 이상까지 향상되었다. [4~8]

또한, 오늘날 다양화된 전자기기에서는 기기의 이상장애, 오동작, 기능정지, 노화, 파손등이 문제화되고 있으며, 이들의 원인이 되고 있는 surge, noise의 전달을 방지할 목적으로  $SrTiO_3$ 계,  $(Sr \cdot Ca)TiO_3$ 계의 입계층(boundary Layer) 세라믹 바리스타가 연구 개발되었다. 이 바리스타는 ZnO계 바리스타의 수십배 이상의 정전용량과 우수한 바리스타 특성을 갖는 온도특성이 양호한 복합기능소자(MFC: Multi Funtional

Ceramics)로서 실용화되고 있으며, 근래에는 다양한 절연물질 즉, PbO,  $Bi_2O_3$ ,  $B_2O_3$ , CuO,  $Na_2O$  등을 단일 또는 혼합물질로서 입계에 열확산 시킴으로서 전압-전류의 비선형성( $\alpha$ )을 향상시키기 위한 연구가 지속되고 있다.[4~8, 12, 13]

본 연구에서는 복합기능성 소자(MFC)로서 고용량성 바리스타를 개발할 목적으로  $(Sr \cdot Ca)TiO_3$ 계 반도체 세라믹을 다양한 소결온도에서 제작한 후, 표면으로부터 CuO를 열확산 시킴으로서 입계 절연형 세라믹 캐패시터를 제작하였으며, 소결온도와 열처리시간의 변화에 따른 유전특성 등에 대하여 고찰하였다.

### 2. 실험방법 및 측정

#### 2.1 시편제작

본 연구에서는 유전상수 50000이상,  $\tan \delta < 5\%$ , 온도계수  $\pm 10\%$  이내의 우수한 특성을 갖는  $Sr_{1-x}Ca_xTiO_3$  ( $x=0 \sim 0.2$ ) 입계 절연형 세라믹 캐패시터를 일반 소성법으로 제조하기 위하여, 출발원료로 순도 99.9% 이상의  $SrCO_3$ ,  $CaCO_3$ ,  $TiO_2$ ,  $Nb_2O_5$ 와 액상 소결재로 미량의  $SiO_2$ 를 사용하였다. 각 원료를 조성식에 따라  $10^{-4}g$ 까지 칭량한 후 아세톤을 분산매로 하여 알루미늄 유발에서 충분히 혼합·분쇄하였으며, 혼합물은 오븐에서 건조 후 시료를 알루미늄 도가니에 넣어 200°C/h의 승온 속도로 1150°C에서 2시간 동안 하소하였다. 하소시킨 분말은 성형밀도를 높이기 위해 2.5wt%의 유기결합제와 혼합한 후 80메쉬의 체를 통과시켜 조립화 하였으며,  $\Phi$

\* 準 會 員 : 大 弗 大 電 氣 工 學 科 碩 士 課 程

\*\* 正 會 員 : 大 弗 大 電 氣 工 學 科 助 教 授 · 工 學 博 士

接 受 日 字 : 2001年 8月 16日

最 終 完 了 : 2001年 9月 26日

20mm의 금형을 사용하여 1500kg/cm<sup>2</sup>의 압력으로 성형하였다. 성형한 시료는 반도체 세라믹스를 얻기 위하여 1420~1520℃(N<sub>2</sub> 분위기)에서 4시간동안 소결하였다. 소결한 시편은 양면을 균일하게 연마하여 일부는 시편의 양면에 반도체 In-Ga합금을 부착하여 반도체세라믹스의 저항률을 측정하였으며, 일부는 BL구조를 얻기 위하여 금속 산화물(CuO)을 1150℃(1, 2, 3hr)에서 열확산하였다. 열확산 시킨 시편의 양면을 평행이 되도록 연마한 후 전기적 측정을 위하여 은전극을 650℃에서 20분간 소결 부착하였다. 시편의 제작공정을 그림 1에 나타낸다.

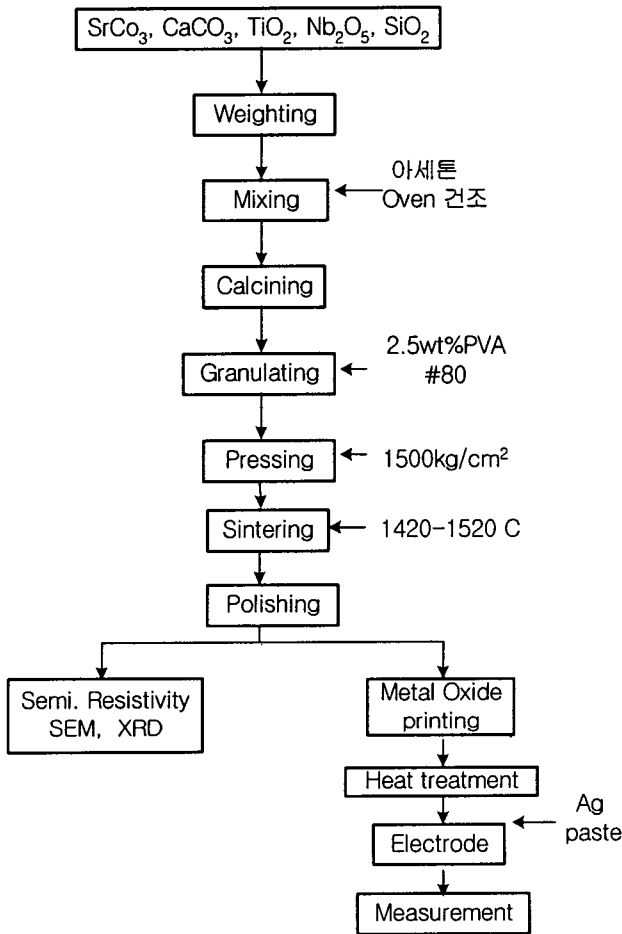


그림 1 시편의 제작공정

Fig. 1 Fabrication process of the specimens

2.2 측정

SEM을 이용하여 소결온도에 따른 시편의 결정립 형태, 입계 및 액상 등의 미세구조 변화를 관찰하였다. 본연구에 사용된 시편의 평균결정립의 크기는 20~80[μm] 범위였다. 반도체 세라믹스의 평균 결정립 크기는 intercept법에 의하여 측정되었다. 또한, 소결온도 및 조성 변화에 따른 결정구조의 변화 및 고용체 형성과정을 고찰하기 위하여 2θ=20~80°에서 X-ray 회절분석을 하였으며 데이터를 사용하여 격자정수

와 각 시편의 이론밀도를 계산하였다.

열처리 시편의 정전용량과 손실계수는 HP 4194A Impedance Analyzer를 사용하여 1kHz, 1V<sub>rms</sub>에서 측정한다. 측정된 정전용량을 이용하여  $\epsilon_r = C/\epsilon_0 A$  식에 의하여 각 시편의 비유전율을 계산하였으며, 조성 및 소결온도의 변화에 따른 반도체 시편의 비저항 및 열처리 시편의 비저항은 고저항 미터(KEITHLEY 6517 Electrometer)를 사용하여 측정하였다.

3. 결과 및 고찰

그림2와 그림3은 소결온도와 x의 변화에 따른 시편의 SEM 사진과 평균결정립의 크기를 나타낸 것이다. 그림2에서 소결온도가 증가함에 따라 결정립이 성장하면서, 치밀해지고 있음을 알 수 있다. 그림3으로부터 x=5mol%까지는 거의 유사한 크기를 보이고 있으며, 그 이상 첨가시 크게 감소하다가 15mol% 이후 다소 증가함을 알 수 있다. 이것으로부터 소결온도와 Ca의 양을 조절함으로써 결정립의 크기를 제어할 수 있음을 알 수 있으며, 일반적으로 결정립의 크기와 분포도는 최종 시편의 전기적 특성, 특히 tan δ 등에 큰 영향을 미치게 되므로 적절하게 제어할 필요가 있다.

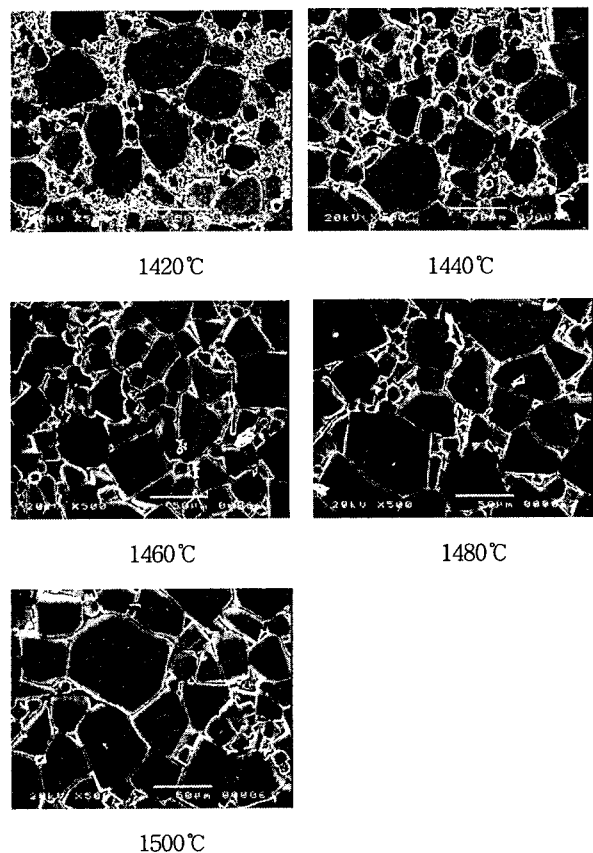


그림 2 소결온도에 따른 SEM 사진(x=0.1)

Fig. 2 SEM photo. with the sintering temperature(x=0.1)

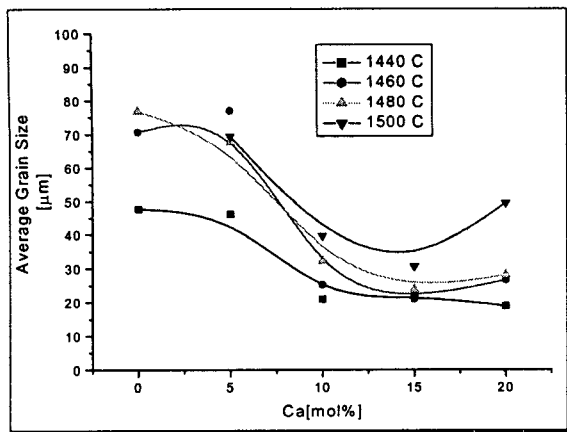


그림 3 소결온도 및 Ca치환량에 따른 평균결정립의 크기  
 Fig. 3 Average grain size with the sintering temp. and the substitution of Ca

입계 절연형 세라믹 캐패시터의 유전특성에 가장 큰 영향을 미치는 요소인 반도체 시편의 비저항은 약 1.3~30[Ωcm] 정도의 비교적 양호한 값을 얻었다. 일반적으로 (Sr,Ca)TiO<sub>3</sub>계 세라믹을 반도체화제와 함께 환원분위기(H<sub>2</sub>/N<sub>2</sub>) 중에서 소결할 경우 10<sup>-1</sup>[Ωcm] 정도의 반도체 세라믹을 얻는 것으로 알려져 있으나,[11] 본 연구에서는 N<sub>2</sub>만의 분위기로 소결한 결과 H<sub>2</sub>/N<sub>2</sub> 분위기보다 환원성이 약하다는 것을 확인할 수 있었다. 입계층 세라믹에서는 반도체 시편의 저항률이 작을수록 유효 유전층으로 작용하는 입계층의 두께가 얇아지므로 같은 조건에서 고용량의 캐패시터용 재료를 얻을 수 있으며, 반도체 시편의 비저항은 최종 입계절연형 세라믹 캐패시터의 전기적 특성에 큰 영향을 미치게 된다는 것을 고려할 때 우수한 반도체 세라믹을 얻기 위한 환원 분위기 조성이 중요하다는 것을 알 수 있다. 그림 4에 소결온도와 Ca치환량에 따른 반도체 시편의 저항률을 나타낸다.

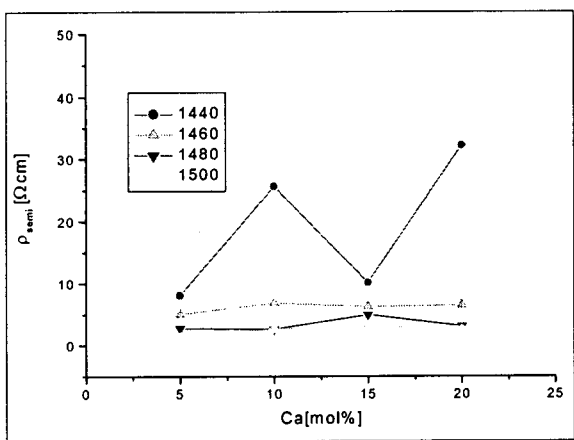


그림 4 소결온도와 Ca 치환에 따른 반도체 저항률  
 Fig. 4 Semiconductive resistivity with the sintering temp. and the substitution of Ca

반도체 시편의 비저항은 소결온도 1440℃에서는 그림5의 SEM사진에서 보는바와 같이 Ca치환량에 따라 결정립의 분포가 불규칙하며 제대로 성장하지 않아 반도체 저항률의 변화가 심함을 알 수 있다. 1460℃ 이후에서 소결한 시편은 10<sup>-1</sup>[Ωcm] 정도에서 안정된 값을 나타내고 있다. 또한, 그림3과 비교하면 평균결정립의 크기가 감소함에 따라 반도체 비저항은 다소 증가하고 결정립의 크기가 증가하면 감소 또는 포화하는 경향을 볼 수 있는데 이는 결정립의 크기가 작을수록 입내보다 저항이 큰 입계면이 증가하므로 반도체 비저항이 감소하는 것이라 생각 할 수 있다. 따라서 반도체시편의 비저항을 줄이기 위해서는 결정립의 크기를 크게 할수록 유리하나 이는 최종시편의 입계층 두께를 얇게하는 결과를 초래하여 전압특성을 약화시키는 결과를 낳게 될 것이므로 적절히 조절할 필요가 있다.

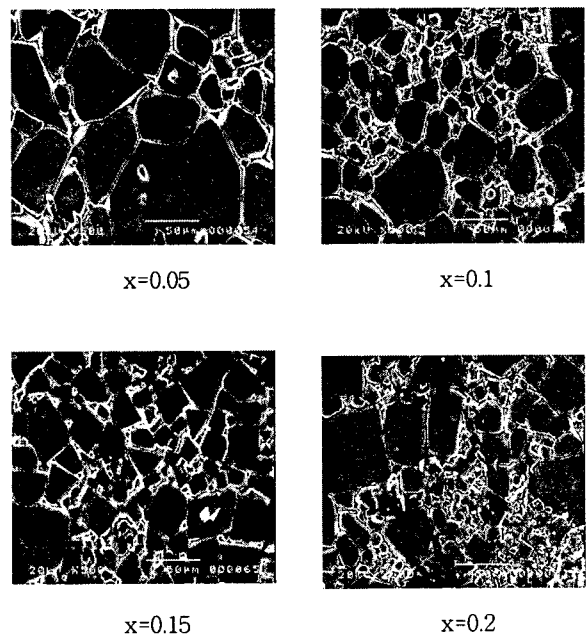


그림 5 Ca 치환량에 따른 SEM사진(1440℃)

Fig. 5 SEM photo. with the substitution of Ca(1440℃)

소결된 시편의 합성 정도와 결정상을 알아보기 위하여 X-선 회절 분석을 행하였으며, 그림 6은 x의 변화량에 따른 X-선 회절 분석 결과이다. 보고에 의하면 Sr<sub>1-x</sub>Ca<sub>x</sub>TiO<sub>3</sub> (0≤x≤1.0)의 결정구조는 x의 증가에 따라 cubic에서 orthorhombic으로 서서히 변화해 간다고 하였으나[9,12] 본 연구에 사용된 Sr<sub>1-x</sub>Ca<sub>x</sub>TiO<sub>3</sub> (0≤x≤0.2)는 cubic 구조를 형성하고 있음을 알 수 있으며, x가 증가함에 따라 새로운 peak가 나타나지 않는 것으로 보아 치환된 Ca는 Sr과 고용체를 형성하고 있는 것으로 생각된다. 또한, x가 증가함에 따라서 주 피크들이 우측으로 이동하고 있음을 볼 수 있는데 이것은 Sr(1.21Å)보다 이온반경이 작은 Ca(1.03Å)의 치환량이 증가할수록 격자가 수축하며 단위셀의 체적이 감소하고 있기 때문이다.[9,10]

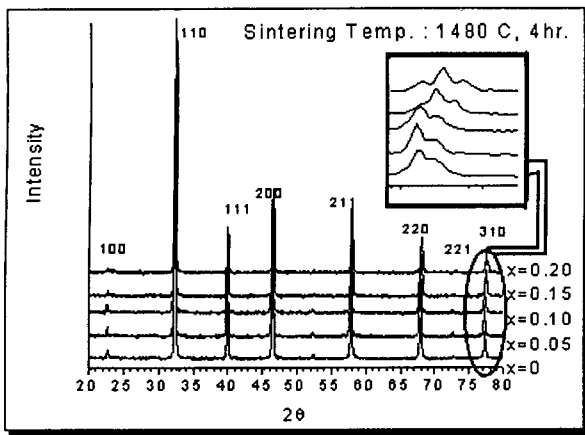


그림 6 Ca 치환에 따른 X선 회절 모양

Fig. 6 X-ray diffraction patterns with the substitution of Ca

그림 7은 소결온도와 x의 변화에 따른 격자정수의 변화를 나타낸 것이며, x가 증가함에 따라 격자정수가 서서히 감소하고 있음을 알 수 있다. 이와 같은 결과들은 x가 증가함에 따라 격자정수와 격자 부피가 직선적으로 감소한다는 연구보고들과 잘 일치하고 있다.[9,10]

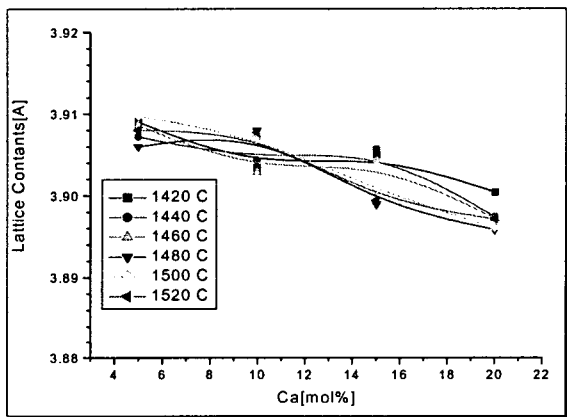
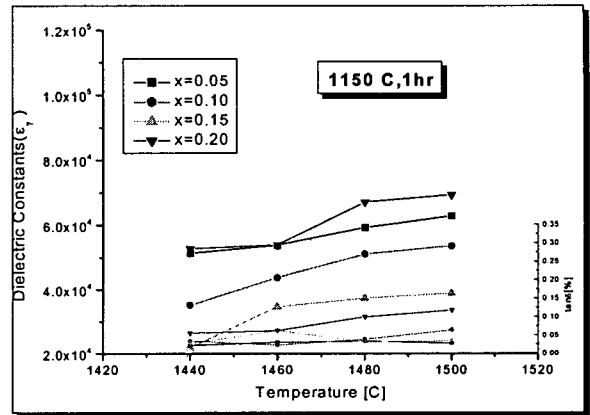


그림 7 소결온도와 Ca 치환에 따른 격자정수

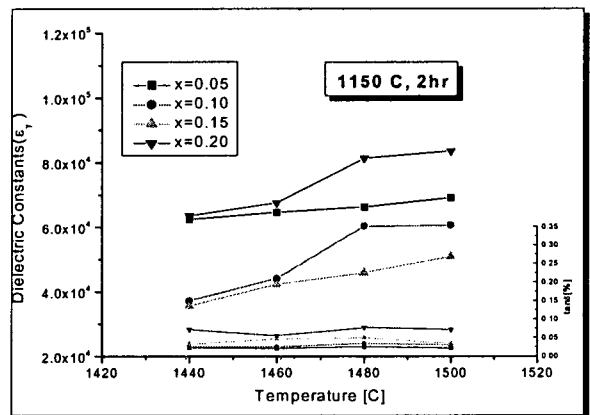
Fig. 7 Lattice constants with the sintering temp. and the substitution of Ca

그림8은 소결온도, Ca치환량, 열처리시간의 변화에 따른 유전특성의 결과이다. 모든 열처리 시간에서 소결온도가 증가함에 따라 유전율이 증가함을 알 수 있었으며, Ca치환량에 따른 유전율은 x=0.15까지는 감소하다가 그 이후 증가하는 경향을 보였다. 이는 SEM사진으로부터 알 수 있듯이 소결온도가 증가함에 따라 평균결정립 크기가 증가하므로 상대적으로 유전층의 두께가 감소하여 유전율이 상승하고, Ca치환량이 15mol%까지는 결정립의 크기가 감소하다가 20mol%에서 다소 증가하고 있는 것과 관련이 있다. 그림으로부터 입계로의 금속산화물의 확산이 끝나는 시간은 시편의 조성에 따라 다소 차이는 있었으나 대체로 2시간정도였으며, 그이상 열처리시 입내로의 산화가 시작되므로 유전율이 다소 감소하는

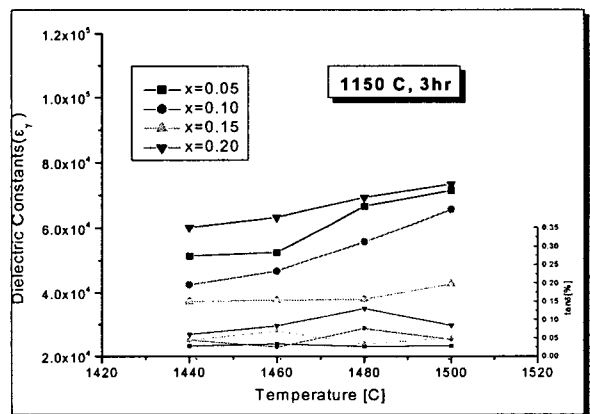
경향과 손실이 증대하게 된다. 따라서, 목표로 했던 50,000이상의 비유전율과 5%이내의  $\tan \delta$ 를 갖는 입계층형 세라믹스를 얻기 위한 적절한 열처리시간은 1150°C에서 2시간이내임을 알 수 있었다.



(a)



(b)



(c)

그림 8 소결온도와 열처리시간에 따른 유전특성

Fig. 8 Dielectric properties with sintering temp. and the thermal treatment time

#### 4. 결 론

본 논문에서는 (Sr,Ca)TiO<sub>3</sub>계 BL Capacitor의 소결온도와 열처리 시간에 따른 유전특성을 고찰한 결과 다음과 같은 결론을 얻었다.

평균 결정립은 소결 온도에 따라서 증가하였으며, Ca의 치환량에 따라 15mol%까지는 감소하다가 그 이후 증가하였다. X-ray 분석 결과 모든 시편은 단순 cubic 구조를 나타내었으며, Ca의 치환량에 따라서 주 peak가 우측으로 이동 즉, 단위 셀의 체적이 감소함을 확인하였으며, 격자정수의 감소와 잘 일치하였다. Ca치환량이 0.05, 0.15, 소결온도 1480℃ 이상인 시편에서 유전율>50000, tan δ < 5%, ΔC < ±10%의 양호한 유전 특성을 나타내었으며, CuO의 적절한 열처리 시간은 1150℃, 2시간 이내였다.

#### 참 고 문 헌

- [1] G. V. Planer, and R. M. Glaister, British Pat., 861, 346, 1961.
- [2] S. Waku, "Studies on the Boundary Layer Ceramic Capacitor", Rev. Elect. Comm. Lab., 15(9-10), pp. 689~716, 1967.
- [3] S. Waku, M. Uchidata, and K. Kiuchi, "Study on the (Ba,Sr)TiO<sub>3</sub> Boundary Layer Ceramic Dielectrics", Rev. Elect. Comm. Lab., 18(9-10), pp.681~693, 1970.
- [4] Nobutatsu Yamaoka, Masaru Masuyama, and Masami Fukui, "SrTiO<sub>3</sub>-Based Boundary Layer Capacitor Having Varistor Characteristics", Ceramic Bulletin, 62[6], 698-703, 1983
- [5] Takahiro TAKADA et al, "The Effects of Additives for a (Sr,Ca)(Ti,Nb)TiO<sub>3</sub> Boundary Layer Capacitive-Varistor on the Microstructure and Electronic Properties", J. Am. Ceram. Soc. 103[3] 251~256, 1995.
- [6] F. POIGNANT et al, "A TEM study of grain boundaries in internal boundary layer capacitors based on donor-doped (Sr·Ca)TiO<sub>3</sub> ceramics", Journal of materials science Materials Electronics. 8 139 ~ 146, 1997.
- [7] Qing Zou et al, "Microstructure and Grain Boundary Structure of Na<sup>+</sup>-Diffused (Sr·Ca)TiO<sub>3</sub> Capacitor-Varistor Ceramics", J. Am. Ceram. Soc. 78[1] 58 ~ 64, 1995.
- [8] P. E. C. Franken et al, "Microstructure of SrTiO<sub>3</sub> Boundary-Layer Capacitor Material", J. Am. Ceram. Soc. 64[12] 687~690, 1981.
- [9] M. Ceh, D. Kolar and L. Golic, "The phase Diagram of CaTiO<sub>3</sub>-SrTiO<sub>3</sub>", J. Solid State Chem., 68, 68, 1987.
- [10] M. Mcquarrie, "Structural Behavior in the system (Ba,Ca,Sr)TiO<sub>3</sub> and Its Relation to Certain Dielectric Characteristics", J. Am. Ceram. Soc., 38, 444, 1955.
- [11] J. M. Herbert, "Ceramic Dielectrics and Capacitors", Gordon and Breach Scienc Publishers, pp.202~209, 1985.
- [12] T. Hirata, K. Ishioke and M. Kitajima, "Vibrational Spectroscopy and X-ray Diffraction of Perovskite Compounds Sr<sub>1-x</sub>M<sub>x</sub>TiO<sub>3</sub> (M=Ca,Mg;0≤x≤1)", J. Solid State Chem., 124, 353~359, 1996.
- [13] Nobutatsu Yamaoka, "SrTiO<sub>3</sub>-Based Boundary-Layer Capacitors", Ceramic bulletin, 65[5], 1149-1152, 1986

### 저 자 소 개



강재훈 (姜在訓)

1975년 10월 10일 생. 2000년 2월 대불대 전자공학과 졸업. 2002년 2월 동 대학원 전기공학과 졸업예정(석사).

Tel : 018-625-2025, Fax : 061-469-1264

E-mail : newsamsung1@hanmail.net



최운식 (崔雲植)

1962년 4월 17일 생. 1991년 광운대 대학원 전기공학과 졸업(석사). 1995년 동 대학원 전기공학과 졸업(공학박). 1996년 현재 ~ 대불대 전기공학과 조교수.

Tel : 061-469-1264, Fax : 061-469-1264

E-mail : cws@mail.daebul.ac.kr