

능동 다중인터페이스 리액터와 Double PLL제어를 이용한 Modular UPS 설계

朴仁德, 鄭相植, 安亨會, 金時慶

A Modular UPS Design with an Active Multiple Interphase Reactor and Double PLL Control

In-Duck Park, Sang-Sik Jeung, Hyoung-Hoi An, and Si-Kyung Kim

요 약

병렬로 구성된 UPS 사이에 파라미터 불일치에 따른 순환전류와 전압리플이 발생되어지는데, 이들은 전체 UPS 시스템의 고장 및 신뢰성 저하를 유발한다. 본 논문에서는 이러한 문제점들을 Double 위상동동기기와 능동 다중인터페이스 리액터를 사용하여 해결하였다. 또한 ADSP21061을 사용하여 제어를 디지털적으로 구현하였다.

ABSTRACT

The proposed double phase locked loop and active multiple interphase reactor are used to eliminate the circular current and the voltage ripples caused by the system parameter unbalance of parallel connected UPSs. In this paper, digital controller for the double PLL and active interphase reactor is implemented with ADSP21061 as an aspect of a functional convenience.

Key Words : UPS(Uninterruptible Power Supply), Double PLL (Phase Locked Loop), Active Multiple Interphase Reactor

1. 서 론

신뢰성 있는 전력이 요구되어지는 부하에 일정 전압과 일정주파수의 전력을 공급하기 위해 UPS(Uninterruptible Power Supply)가 널리 사용된다. 높은 소비전력이 요구되는 부하에 대한 병렬형 UPS 시스템은 단일 대용량 UPS에 비하여 쉽게 표준 모듈화가 가능하며 경제성을 가지고 있다.

또한 통신 시스템과 같이 잦은 용량 증설이 요구되어지는 부하에 대하여서는 전원 공급 시스템이 어떠한 비상 사태에 대하여서도 연속적인 전력을 공급하기 위하여 새로운 단일 대용량 UPS시스템을 증설하는 것에 비하여 병렬형 UPS 시스템을 사용하는 것이 신뢰성 및 증설의 용이성 측면에서 여러 가지 장점을 가지고 있다^[1-3]. 그러나 UPS 모듈을 2개 이상 병렬운전 시킬 때 각 UPS 모듈의 출력 전압크기나 위상차 또는 불균등한 부하 분담에 의한 UPS간의 순환전류가 발생하는데 이러한 순환전류는 UPS내의 전력소자에 해를 줄뿐만 아니라, 부하로 공급되어야 할 전류가 UPS 사이에서 소모되는 등의 심각한 문제가 발생한다^[5,6]. 또한 병렬 UPS 모듈의 출력전압 레귤레이션은 UPS 상호간의 스위칭 간섭과 출력 전압 진동을 야기한다.

*공주대 전기공학과 석사과정
E-mail : han7770@hanmail.net

접수일자 : 2001. 8. 6

1차심사의뢰일 : 2001. 8. 7 2차심사의뢰일 : 2001. 9. 18

심사완료일 : 2001.10.31

이러한 문제점을 해결하기 위하여 UPS를 병렬로 연결하는 일반적인 접근법으로 같은 부하분담이 요구되는 유효전력, 무효전력 제어 또는 주파수 드롭(drop)컨트롤을 사용한다. 그러나 이러한 방법은 시간 응답이 느리고, 낮은 전류에서의 불충분한 전류분담을 나타내며 또한 각UPS의 스위칭 순간에 유효 전력과 무효 전력을 계산하는 것이 요구된다^{15, 6)}.

본 논문에서는 병렬로 연결된 각 UPS 모듈사이의 불균형 부하분담에 의한 순환전류 및 전압 리플을 제거하기 위해 각 UPS 모듈의 출력단에 능동 다중 인터페이스 리액터를 연결하여 순환 전류 및 전압 리플을 제거하였다. 동시에 디지털 PLL(Phase Locked Loop)을 사용하여 각 UPS 모듈의 60[Hz]의 출력전압 기본 주파수 전압과 PWM 스위칭 주파수를 가지는 PWM스위칭 전압의 위상을 동기화 시킴으로써 빠른 과도상태 응답을 가지기 위해 출력전압의 순시귀환 제어 방식을 제시하였다.

2. 병렬 UPS 시스템 모델링 및 제어기 설계

2.1 병렬 UPS 모델링

각 UPS 시스템은 4개의 IGBT소자와 다이오드로 구성된 IPM(Intelligent Power Module), 출력전압의 고조파 성분을 제거하기 위한 저역필터(L-C 필터), 출력전압리플 및 순환 전류 저감을위한 인터페이스 리액터부로 구성되어 있으며, 8대의 UPS가 병렬 연결되어진 블록 다이어그램은 그림 1에 나타내었다.

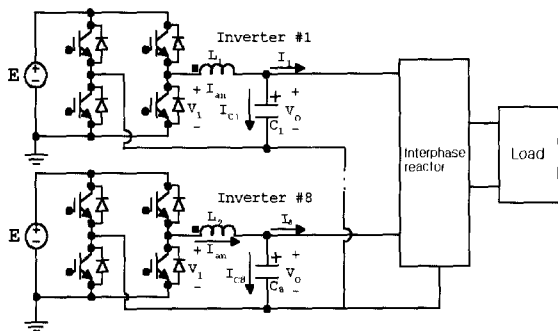


그림 1 병렬형 UPS 시스템
Fig. 1 Parallel UPS system

2.1.1 병렬 UPS 시스템 모델링

병렬 UPS 시스템은 그림 2와 같이 직류전원, 저역

필터, 부하의 형태로 근사적인 등가화가 가능하기 때문에 상태 벡터[V_0, V_0']를 갖는 2차 시스템으로 모델링 된다.

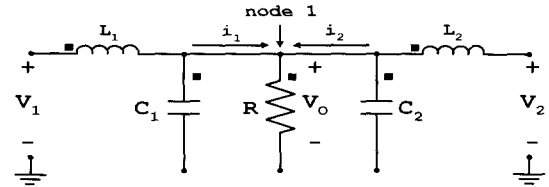


그림 2 병렬형 UPS 시스템의 간략화된 등가 회로
Fig. 2 Simplified equivalent circuit of parallel UPS system

그림 2의 node1에서 키르히호프의 전류법칙을 적용하면,

$$(C_1 + C_2) V_0' = \frac{1}{L_1} \int (V_1 - V_0) dt + \frac{1}{L_2} \int (V_2 - V_0) dt - \frac{V_0}{R}$$

이 되고, 양변을 미분하여 상태 방정식으로 표현하면 다음과 같이 정리할 수 있다.

$$V_0'' = -\frac{1}{R(C_1 + C_2)} V_0' - \frac{L_1 + L_2}{L_1 \cdot L_2 (C_1 + C_2)} V_0 + \frac{1}{L_1 (C_1 + C_2)} V_1 + \frac{1}{L_2 (C_1 + C_2)} V_2$$

위 식을 행렬식으로 표현하면 다음과 같이 정리할 수 있다.

$$\begin{bmatrix} V_0' \\ V_0'' \end{bmatrix} = \begin{bmatrix} 0 & 1 \\ -\frac{L_1 + L_2}{L_1 \cdot L_2 (C_1 + C_2)} & -\frac{1}{R(C_1 + C_2)} \end{bmatrix} \begin{bmatrix} V_0 \\ V_0' \end{bmatrix} + \begin{bmatrix} 0 & 0 \\ \frac{1}{L_1 (C_1 + C_2)} & \frac{1}{L_2 (C_1 + C_2)} \end{bmatrix} \begin{bmatrix} V_1 \\ V_2 \end{bmatrix}$$

위 식에서 V_0 는 필터 출력 전압이고, V_0' 는 V_0 의 미분치이다. 그림 2에서 V_0 은 필터 출력전압, V_0' 은 V_0 의 미분치, 필터의 입력전압 V_1 과 V_2 는 $+E, -E, 0$ 의 3가지 값을 가질 수 있다. 병렬형 UPS의

단일 모듈 다이어그램은 그림 3과 같이 표현된다.

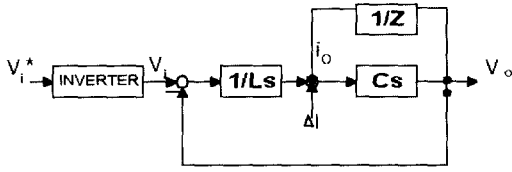


그림 3 단일 UPS 블록 다이어그램
Fig. 3 Single UPS module block diagram

그림 3에서 Z는 선형 또는 비선형 부하 모두 표현하며 인덕터 전류에 가산되는 UPS 순환 전류(ΔI)는 부하 전류, 인버터 전류 및 전력 반도체 소자에 직접적인 영향을 주게 된다. 이와 같은 순환 전류를 제거하기 위해 각 UPS 모듈의 출력 전압 위상 동기화를 취하였으며, 인터페이스 리액터를 설계하여 순환 전류 및 출력 전압 리플을 제거하도록 하였다.

2.2 병렬 UPS의 제어기 설계

2.2.1 전류 제어기 설계

그림 3에 보여진 단상 UPS 시스템은 선형 또는 비선형 부하에 대해 고려할 수 있다. 전류 제어기 스위칭 패턴에서 2PWM_T 스위칭 주기를 나타내며 125 [μ s]로 설정되어있으며, 그림 4에 나타내었다.

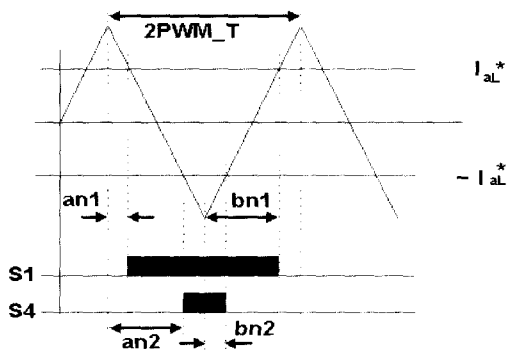


그림 4 전류 제어기 스위칭 패턴
Fig. 4 Current controller switching pattern

그림 4의 전류 제어기 스위칭 패턴은 인버터 스위치의 바이폴라 스위칭을 보장하기 위해, 전류 기준 I_{a1}^* 과 전류 기준치와 반대 부호를 가지는 값($-I_{a1}^*$)이 각각 삼각파와 비교되어 IGBT 스위칭 펄스 패턴을 형성하게 된다. 검은색 부분은 스위치 s1과 s3의 턴 온 구

간을 나타낸다.

2PWM_T 스위칭 주기 반구간 동안 CPLD의 Counter가 an1만큼 숫자를 카운트한 후 스위치 s1을 턴 온, s4를 턴 오프 시키며, 동시에 an2만큼 숫자를 카운트한 후 스위치 s3을 턴 온, s2를 턴 오프 시킨다. 나머지 스위칭 주기 반구간 동안은 CPLD의 Counter가 bn1만큼 숫자를 카운트한 후 스위치 s1을 턴 오프, s4를 턴 온 시키며 동시에 bn2만큼 숫자를 카운트한 후 스위치 s3을 턴 오프, s2를 턴 온 시킨다.

각 변수들에 대한 계산식은 다음과 같다.

$$an1 = \frac{PWMT * (1 - i_{a1})}{2}$$

$$bn1 = \frac{PWMT * (1 + i_{a1})}{2}$$

$$an2 = bn1$$

$$bn2 = an1$$

2.2.2 전압 제어기 구성

A DSP21061를 이용하여 소프트웨어적으로 PI제어기를 구성하여, 전압제어 오차에 대한 비례 적분 제어를 사용하여 실제 측정전압이 기준 전압을 추종하도록 하기 위해서 구성했으며, 그림 5에 나타내었다.

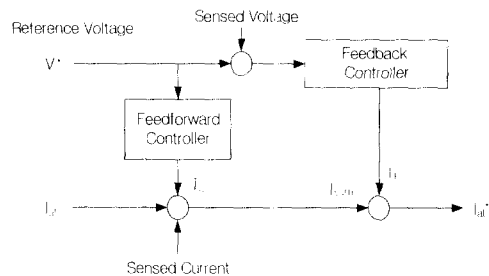


그림 5 피드백/피드 포워드 제어기 블록도
Fig. 5 Feedback/Feedforward controller block diagram

부하 기준 전압인 V_{an} 은 다음 식과 같이 표현된다.

$$V_{an} = V \cdot \sin \omega t \tag{1}$$

$$V_{an}^* = \sqrt{2} \cdot V^* \cdot \sin \omega t \tag{2}$$

여기서, V^* : 기준전압의 피크치
 ω : 각 주파수

V_{an} : 전압센서를 통하여 검출되어진 출력전압

V_{an}^* : 커패시터 기준전압

필터 커패시터 C_S 를 흐르는 전류의 i_c^*

$$i_c^* = \frac{dV_{an}^*}{dt} = \omega C_S \cdot \sqrt{2} \cdot V \cdot \cos \omega t \quad (3)$$

가 되며, 커패시터 전류는 기준전류 i_c^* 를 추종하도록 제어된다.

2.2.3 이중위상 동기화(Double PLL)

본 논문에서는 순시적으로 제어되는 병렬 UPS 모듈 사이에서 발생하는 여러 노이즈 문제를 해결하기 위해 디지털 Double PLL을 채택하였다. 60[Hz] PLL과 16[kHz] PLL를 구성되어진다.

60[Hz] 위상 비교기를 살펴보면 각UPS 제어기에 포함 되어진 CPLD의 60[Hz] 위상 발진기로부터 60[Hz] 출력 신호가 DSP 소자의 인터럽트 핀에 인가된다. 인가되는 디지털 PLL의 입력신호를 $V_{cpld}(t)$ 라 하고, DSP 내부 타이머를 이용한 V_{dsp} 의 출력전압을 $V_{dsp}(t)$ 라 하면, 각 기본 주파수별 신호는 다음과 같이 표현된다.

$$V_{cpld}(t) = V_r \sin(2\pi f t + \theta)$$

$$V_{dsp}(t) = V_r \sin(2\pi F t + \varphi)$$

여기에서

V_r : 출력전압

θ : CPLD의 60(Hz)위상 발진기로부터 60(Hz) 출력신호 위상,

φ : DSP 내부타이머 60(Hz)출력신호 위상

f : CPLD의 60[Hz] 위상 발진기 출력주파수.

F : DSP 내부 타이머 출력주파수

DSP 내부의 타이머의 계수를 소프트웨어적으로 세팅하여 내부 타이머를 60[Hz] 발진이 가능하도록 하였으며, f 와 F , θ 와 φ 를 일치시키는 것이 PLL의 목적이다. 이들을 일치시키기 위하여 위상 θ 는 일정하게 고정시킨 후 CPLD 출력신호 $V_{cpld}(t)$ 를 DSP의 인터럽트와 연결시켰으며, CPLD 출력신호 $V_{cpld}(t)$ 가 제로크

로싱(zero-crossing) 되는 순간($\theta = 0$)에 소프트웨어적으로 DSP 내부 타이머 카운터를 리셋 시켜 V_{dsp} 의 출력전압 $V_{dsp}(t)$ 의 위상 φ 를 '0'으로 맞추었다. 이와 같은 인터럽트 과정을 통하여 매 60[Hz]마다 DSP의 제어 기준 신호와 CPLD의 60[Hz] 두 신호 사이에서 동기화가 이루어지게 된다.

또한, 16[kHz] PLL는 DSP 내부에서 타이머를 이용한 60[Hz] 신호, PWM 스위칭 주파수16[kHz]의 신호, 그리고 60[Hz] V_{dsp} 출력전압신호 $V_{dsp}(t)$ 를 소프트웨어적으로 일치시킨 후 타이머 인터럽트를 이용하여 PLL 처리하였다. 이러한 디지털 이중 동기화 기법을 나타낸 블록도를 그림 6에 나타내었다.

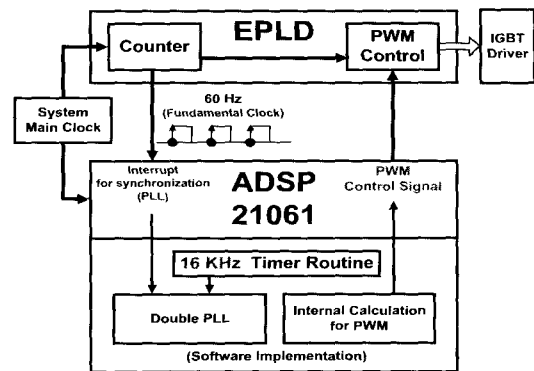


그림 6 디지털 이중 PLL화 알고리즘

Fig. 6 Digital double PLL algorithm

2.2.4 능동 다중인터페이스 리액터 원리 및 설계

UPS 모듈을 병렬 운전시 발생하는 순환전류에 의해 야기되는 병렬 UPS 모듈사이의 출력 불균형을 패시브 소자인 인터페이스 리액터와 병렬인 능동스위치(Relay)를 병렬 UPS 모듈사이에 연결함으로써 병렬 UPS 운전시 발생될 수 있는 UPS의 불균형 운전을 제거하였다. 이러한 능동 인터페이스 리액터의 목적은 다단으로 연결되는 병렬 UPS 제어를 PWM 스위칭 제어 기법에만 국한 시켰을 경우 나타날 수 있는 안정성의 문제점을 감소시킬 수 있다.

또한 능동인터페이스 리액터는 병렬 운전되는 두 UPS 사이에 연결되어 병렬 UPS 출력 전압사이에 나타나는 불균형 출력전압리플을 흡수하고 순환전류를 제거한다. 인터페이스 리액터가 연결된 두병렬 UPS 모듈에 대한 등가 회로를 그림 7에 간략히 나타내었다.

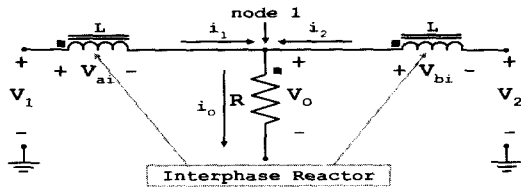


그림 7 인터페이스 리액터 등가회로
Fig. 7 Interphase reactor equivalent circuit

등가회로에 KVL을 적용하면,

$$V_1 = L \frac{di_1}{dt} - M \frac{di_2}{dt} + V_o \quad (4)$$

$$V_2 = L \frac{di_2}{dt} - M \frac{di_1}{dt} + V_o \quad (5)$$

$$i_o = i_1 + i_2$$

V_1 : INV #1 출력전압, V_2 : INV#2 출력전압

V_o : 부하측 전압, M : 상호 인덕턴스

$$L \left(\frac{di_1}{dt} - \frac{di_2}{dt} \right) + M \left(\frac{di_1}{dt} - \frac{di_2}{dt} \right) = V_1 - V_2 \quad (6)$$

$$\Delta i = i_1 - i_2, \quad V_1 = V_m \sin(\omega t),$$

$$V_2 = V_\delta \sin(\omega t + \phi)$$

$$\Delta i = i_1 - i_2 \text{ (인버터 #1, #2의 출력전류 차)}$$

두 출력전압의 전압차

$$\Delta V = V_1 - V_2 = V_\delta \sin(\omega t + \phi) \quad (7)$$

가 된다. 위 식은 다음과 같이 정리할 수 있다.

$$(L + M) \frac{d\Delta i}{dt} = V \sin(\omega t + \phi) \quad (8)$$

인버터 출력전압 사이의 위상 차에 의해 발생하는 순환전류는 $\Delta i = V_\delta / \omega(L + M)$ 와 같이 나타낼 수 있으며, 다음과 같이 표현할 수 있다.

$$L + M = \frac{V_\delta}{\omega \Delta i} \quad (9)$$

식 (9)은 순환전류, 병렬UPS 출력전압 벡터차 및 능동 다중 인터페이스 리액터의 자기인덕턴스와 상호 인덕턴스 사이의 관계를 이론적으로 나타낸다. 따라서 병렬UPS 사이의 출력 전압벡터차 및 UPS 모듈 사이의 순환전류의 최대량이 주어지면 그에 따른 능동 다중 인터페이스 리액터의 최적 값을 산출할 수 있다.

3. 병렬 UPS 시스템 구성 및 프로그램 수행

3.1 병렬 UPS 시스템 구성

병렬 UPS는 그 기능에 따라 전력부(IGBT PM 50RSA060), 센서부(인버터 출력전류, 부하전류, 인버터 출력전압, 전류 편위차 등 제어 및 시스템 보호를 목적으로), 제어부(A/D 컨버터 회로, D/A 컨버터 회로, Zero Crossing Detector, ADSP21061) 및 보호부, 모듈간 신호 전송부, 그리고 모니터링 시스템 통신부로 나눌 수 있다. 병렬 UPS 시스템의 전체 구성은 그림 8에 나타내었다.

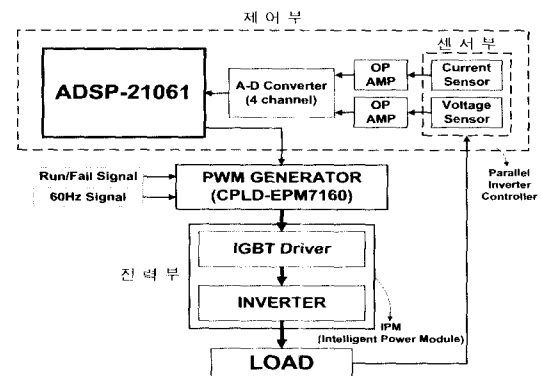


그림 8 병렬 UPS 시스템 구성
Fig. 8 Parallel UPS system configuration

3.2 위상동기화 및 인터럽트 발생부

병렬 UPS의 각 모듈 출력은 상시 동기 시키도록 하였다. 각 모듈의 CPLD내부에서 60[Hz]신호와 각 모듈 UPS의 동작여부를 나타내는 Run/Fail신호를 병렬 UPS 신호선을 통하여 PLL 병렬 UPS제어기에 입력시킨다. 입력된 각 병렬 UPS의 60[Hz] PLL 기준 신호로 사용하며, 이 신호는 그림 9에 나타내었다. 각 병렬 UPS 제어기의 CPLD 내에 구현된 모서리 검출 회로를 통하여 각 병렬 UPS 모듈의 ADSP의 인터럽트 신호로 입력된다. PWM 스위칭 주파수에 대한 동기화 처리를 하게 된다.

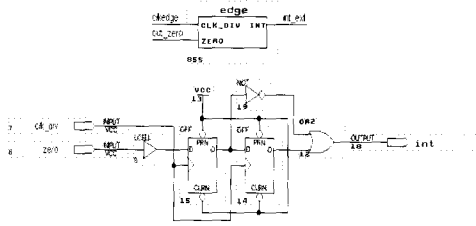


그림 9 CPLD 내의 Zero Crossing 인터럽트 처리를 위한 모서리 검출 회로

Fig. 9 Edge detect circuit for zero crossing interrupt of cpld

3.3 병렬운전용 프로그램 구성

메인루틴은 일정주기마다 타이머에서 인터럽트가 발생하여 타이머 인터럽트 루틴으로 프로그래밍 이동하여 수행한다. 타이머 루틴을 통해 프로그램이 실행되면 PLL을 설정하고 ADC를 통하여 전압 및 전류값을 읽어 들인 후 사인(sin)함수를 이용하여 기준 전압을 출력하고 PI제어를 수행하게 된다. 과전류가 흐를 경우에 대비하여 이를 제한하는 보호 장치를 추가하였으며 PI 제어된 결과를 CPLD 내에 구현된 PWM Generator로 출력한다. 병렬 UPS 모듈을 구동하는 소프트웨어를 그림 10에 나타내었다.

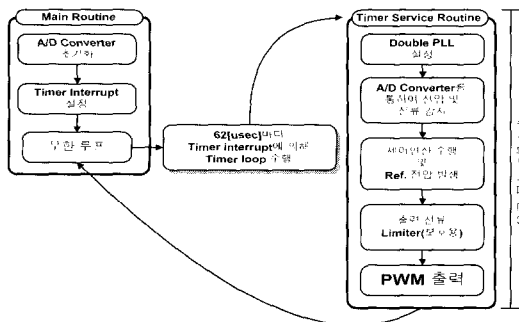


그림 10 병렬형 UPS 프로그램 흐름도
Fig. 10 Parallel UPS program flowchart

3.4 능동 다중인터페이스 리액터부 설계

능동 다중인터페이스 리액터는 병렬 UPS 모듈 2대를 기준(INV#1, INV#2)으로 능동 다중인터페이스 리액터 하나 (Interphase reactor #1, #2)와 병렬한 스위치 릴레이 두 개(Relay #1, #2)가 쌍을 이루고 있다. 병렬 연결되어진 모듈 중에서 UPS 모듈 하나만 동작되어지는 상태(INV #1에서 신호출력)에서는 이를 감지하여 인터페이스 리액터(Interphase reactor #1)를 사용

하지 않고 릴레이(Relay #1)를 턴-온 하여 부하에 전력을 공급하게 된다. 또다른 UPS 즉 능동 다중 인터페이스 리액터(Active multiple Interphase reactor #2)에 연결된 UPS 모듈이 동작되어지는 상태(INV #2)에서는 릴레이(Relay #1)는 오프되고 인터페이스 리액터 (Interphase reactor #1,#2)를 통해 부하에 전력이 공급된다. 이러한 방법으로 여러 대의 UPS 모듈간에 발생하는 순환전류 및 전압 리플을 제거하도록 하였다. 다중인터페이스 리액터에 대한 등가회로를 그림 11에 나타내었다.

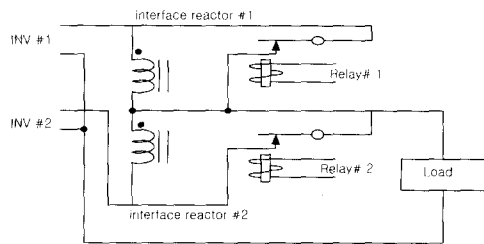


그림 11 UPS 모듈 2대의 능동 다중 인터페이스 리액터회로
Fig. 11 An active multiple Interphase reactor circuit for two modular UPS

4. 실험 및 결과

1.5[kVA] 8-모듈 병렬형 UPS 시스템에 대한 동기화 실험을 220[V]로 운전하였고, 스위칭 주파수는 16[kHz]로 하여 실험결과 파형을 얻었다.

그림 12는 각 병렬 UPS 모듈이 성공적으로 동기화가 이루어짐을 알 수 있다.

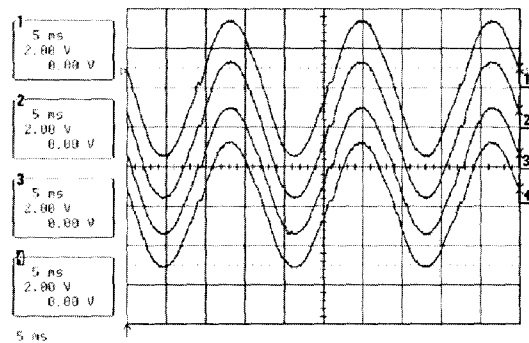


그림 12 동기화 된 병렬 UPS 출력전압 파형
Fig. 12 Synchronization parallel UPS output voltage waves

그림 13은 동기화 된 병렬 UPS 모듈중 4대의 모듈의 PWM 파형이 일치함을 보여준다.

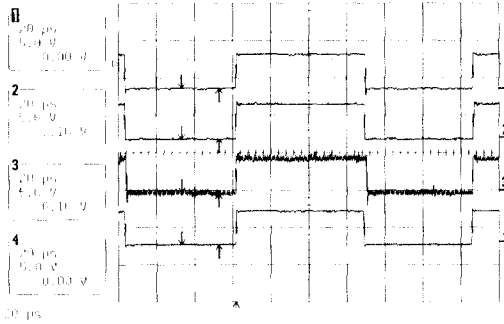


그림 13 동기화된 병렬 UPS 모듈의 PWM
Fig. 13 PWM of synchronization parallel UPS modular

그림 14는 복합 부하상태에서 병렬 연결된 UPS 3대의 출력 전압과 출력 전류 파형을 나타내고 있다. 각 UPS이 복합 부하에서도 성공적으로 동기화가 이루어짐을 알 수 있다.

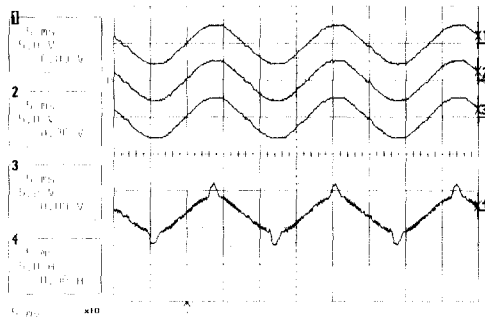


그림 14 정상 상태 병렬 UPS의 복합 부하의 출력전압 (#1,#2,#3)과 출력전류(#4)의 파형
Fig. 14 Output voltage and current waves of Parallel UPS

그림 15는 정상 상태 병렬UPS중 한 모듈이 턴오프 되었을 때 비선형 부하에서의 출력전압 출력전류 파형을 보여주고 있다.

병렬 연결된 UPS 4대가 운전되다가 1대의 동작을 멈추어 UPS 3대가 운전될 때의 출력전압과 출력전류 파형을 나타내고 있다. 이 실험 파형은 UPS의 모듈 갯수의 변화에도 능동 다중 인터페이스 리액터가 성공적으로 동작되고 있음을 보이고 있다. 파형 1, 2, 3은 전압파형을 보여주고 있으며, 4는 전류파형을 보여주고 있다.

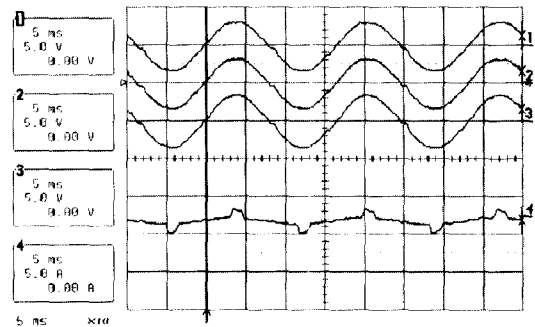


그림 15 정상 상태 병렬 UPS의 한 모듈이 오프 되었을 때 비선형 부하의 출력전압(#1,#2,#3)과 출력전류(#4)의 파형
Fig. 15 Output voltage and current waves of one module turn-off the Parallel UPS

그림 16은 병렬 UPS 모듈의 파라미터 및 프로그램 변수 차에 의해 UPS 모듈의 출력전압 위상은 일치하지만 전압 크기가 다르게 출력되고 있다. 능동 다중 인터페이스 리액터를 통과한 후 두 모듈의 전압 크기 파형 같아짐을 확인할 수가 있다.

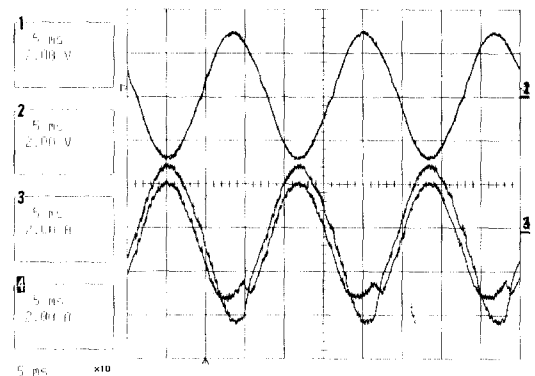


그림 16 불균등한 UPS 모듈의 출력전압(#3,#4)과 인터페이스 리액터를 통과한 후의 전류(#1,#2)파형

Fig. 16 Current wave of interphase reactor pass and output voltage of parameter unbalance UPS modular

병렬 UPS의 과도 상태 조건 및 다양한 부하 조건하에서 UPS 동작을 고찰하였다.

그림 17은 과도 상태 발생시(30[msec]) 순간적인 출력 전류의 응답을 나타내고 있다. 부하는 무부하 동작 조건에서 30[msec] 후에 800[W]로 증가하였다.

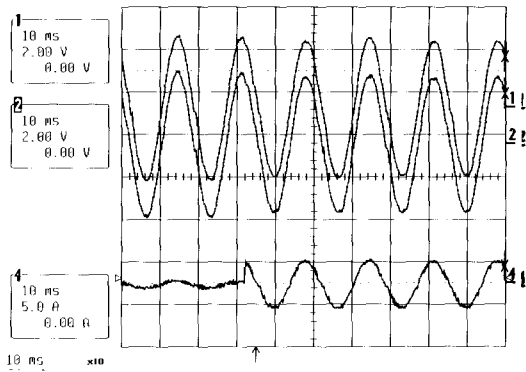


그림 17 부하변동 시 병렬 UPS 출력 전압(#1, #2)과 출력 전류(#3, #4)의 파형

Fig. 17 Output voltage and current waves of load change the Parallel UPS

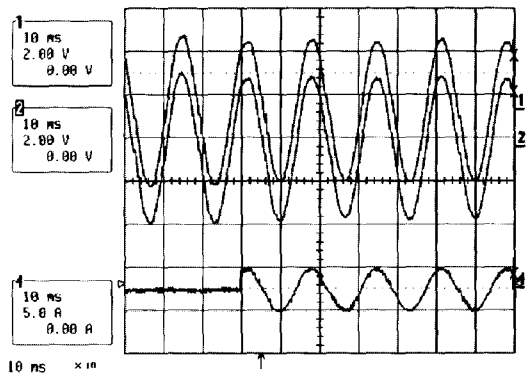


그림 18 병렬 인버터의 과도 상태시 출력전압 (#1, #2)과 출력전류(#4)의 파형

Fig. 18 Output voltage and current waves of load variable the parallel UPS

표 1 병렬 UPS의 부하에 대한 T.H.D (Total Harmonic Distortion) 평균치

Fundamental		59.9Hz	210 (V)
Total Harmonic Distortion		2.33%	
Order	H.D.(%)	Vrms(V)	deg
1	100.00	210	33.6
3	1.21	2.31	194.7
5	0.51	0.988	330.2
7	0.23	0.448	105.1

그림 18은 과도상태 발생시 순간적인 출력전류(X10)의 응답을 나타내고 있다. 부하는 60[W]에서 800[W]로 증가하였을 때의 파형을 나타내고 있다. 양호한 과도특성을 보여 주고 있다.

전체적인 비선형 부하, 선형 부하 실험으로부터 다양한 부하 조건의 실험을 통해 병렬형 UPS 출력 전압을 안정적으로 공급함을 알 수 있었다.

표 1은 복합 부하에서의 T.H.D를 나타내고 있다.

5. 결 론

UPS를 병렬로 연결할 때의 가장 큰 문제점은 인버터간 제어 변수 및 파라미터 불일치에 따라 과전류, 순환 전류가 발생한다. 이러한 순환전류는 UPS 내의 전력소자에 해를 주고, 부하에 공급되어야 할 전류를 소모하는 등 심각한 문제가 있다.

본 논문에서는 병렬 UPS의 병렬 운전시의 문제점인 순환 전류의 발생을 제거하기 위하여 Double PLL과 능동 다중 인터페이스 리액터를 제안하였으며, 실험을 통하여 다음과 같은 결론을 얻었다.

- ① 선형, 비선형 부하를 30[W]에서 800[W]로 급격히 변동하였을 때 양호한 과도 응답 특성.
- ② 선형/비선형 부하의 급격한 변동시에도 양호한 과도응답 특성.
- ③ 4대의 UPS 모듈이 운전중인 상태에서 1개 모듈을 오프시켜도 연속적으로 부하에 전력공급.

참 고 문 헌

[1] H. Oshima, Y. Miyazawa, and A. Hirata, "Parallel redundant UPS with instantaneous PWM control", INTELEC'91, 13th Int'l Telecomm. Energy Conf., pp. 436~442, Nov. 1991.

[2] S. Ogasawara, J. Takagaki, and H. Akagi, "A novel control scheme of a parallel current-controlled PWM inverter", IEEE Trans. Ind. Applicat., Vol. 28, No. 5, pp. 1023~1027, Sept./Oct. 1992.

[3] J. Holtz, "A High Power Multitransistor Inverter Uninterruptible Power Supply System", IEEE Tr. PE, Vol. 3, No. 3, pp. 278~285, July 1988.

[4] S. Ogasawara, "A Novel Control Scheme of a Parallel Current Controlled PWM Inverter", IEEE Tr. IA, Vol. 28, No. 5, pp. 1023~1029, Sep. 1995.

- [5] M. Chandorkar, "Control of Parallel Connected Inverters in Standalone AC Supply Systems", IEEE Tr. IA, Vol. 29, No. 1, pp. 136~143, Jan. 1993.
- [6] J. Chen, "Combination Voltage Controlled and Current Controlled PWM Inverters for UPS parallel Operation", IEEE Tr. PE, Vol. 10, No. 5, pp. 547~558, Sep. 1995.

저 자 소 개



박인덕(朴仁德)

1969년 7월 2일생. 1995년 한밭대학교 전기공학과 졸업. 1997년 명지대학교 대학원 졸업(석사). 2001년~현재 공주대학교 전기공학과 대학원 박사과정.



정상식(鄭相植)

1974년 12월 29일생. 1998년 공주대학교 전기공학과 졸업. 2000년 동 대학원 전기공학과 졸업(석사). 2000년~현재 동우옴트론(주) 선임연구원.



안형희(安亨會)

1975년 12월 1일생. 2001년 공주대학교 전기공학과 졸업. 2001년 동 대학원 전기공학과 석사과정. BK21 RA조교.



김시경(金時慶)

1964년 5월15일생. 1986년 고려대학교 전기공학과 졸업. 1988년 동 대학원 졸업(석사). 1994년 Texas A&M University 졸업(박사) 1994년~현재 공주대학교 정보통신공학부 부교수. 당 학회 편집위원.