

고밀도 전원장치를 위한 패키지 기술

김남균, 김은동, 이희홍*

(한국전기연구원 전력반도체연구그룹, *(주)화인썬트로닉스 기술연구소)

1. 서론

전력전자 기술분야에 있어서 더 집적화되고 더 지능화되며 더욱 신뢰도가 높은 단위 시스템을 요구하는 추세이다^{1~3)}. 이러한 추세에 부응하기 위해서는 다양한 기능을 보유하면서도 컴팩트한 전력전자 시스템을 만들어야 하는데 고밀도 전원장치에 대한 최근의 연구개발은 이러한 산업적 수요에 적극적으로 대처하기 위한 노력으로 평가되고 있다. 전원장치의 고밀도화를 실현하기 위한 가장 대표적인 방법은 스위칭 주파수를 높임으로써 사용부품 특히 수동소자의 크기를 최소화하는 것이다. 또한 사용되는 소자수를 줄이고 결선을 단순화하는 노력도 매우 중요하다 하겠다. 뿐만 아니라 이러한 시스템의 집적도를 높이기 위하여 그 패키지는 3차원적으로 잘 디자인되어야 할 뿐만 아니라 스위칭 소자, 트랜스포머 및 수동부품에서 발생하는 열을 효과적으로 방출해야 하는 기술적 어려움도 해결하여야 한다. 더구나 고밀도화를 위해서는 기존의 전원장치에서 사용해 오던 1차 패키지된 스위치 소자의 사용을 배제하고 이른바 배어 칩(bare chip)의 사용을 적극적으로 고려해야 하며 이에 따른 솔더링(soldering) 및 와이어 접합(wire bonding) 기술도 확립하여야 한다.

본 고에서는 모듈화된 고밀도 전원장치를 제작하기 위한 패키지 기술에 관하여 살펴보았다. 또한 고밀도 패키지를 위한 재료 기술, 접합기술, 열저항 평가기술에 관하여 소개하고자 한다.

2. 절연 기판과 그 주변 재료

절연기판은 모듈형 패키지 기술을 이해하는 출발점이다. 절연기판은 전원장치 패키지에서 칩형 부품과 외부 환경을 전기적으로 절연하는 한편, 패키지 내부에서 발생한 열을 외부로 방출하는 통로로써 기능한다. 모듈형 전원장치 패키지에서 고려되는 절연기판의 종류를 표 1에 나타내었다.

세라믹과 고분자계 절연기판을 비교하면 세라믹은 열전도도가 월등히 높고 열팽창계수가 반도체 소자나 금속계 부품등과 유사하다는 장점이 있는 반면 고분자 절연층은 절연강도가 크고 유전율이 작으면서도 가격이 저렴하다는 장점이 있다^{4~7)}. 절연층의 한 측면에 주로 구리와 같은 금속 회로배선층(circuit layer)을 접합하여야 하는데 특히 세라믹의 경우 금속과의 접합이 매우 어려워 다양한 기술이 개발되어 왔다. 일명

표 1 절연기판의 종류와 그 물성

대분류	절연재료명	접합방식에 따른 분류	열전도도 (W/m·℃)	열팽창계수 (10 ⁻⁶ /℃)
세라믹 절연기판	Al ₂ O ₃ (alumina)	Mo/Mn법	18-24	6.6-6.9
		직접접합법		
		활성금속법		
	AlN	120-220	4.5-4.9	
BeO	150	7.0		
	CVD Diamond		2000	1.2
고분자 절연기판	Polymer	IMS	0.5-4	25-60

표 2 알루미나와 질화 알루미늄 절연기판의 물성 비교

특성		재료	알루미나 (Al ₂ O ₃)	질화알루미늄 (AlN)	
Bulk Density		kg/m ³	3.6×10 ³	3.6×10 ³	
Water Absorption		%	0	0	
기계적 물성	Vickers hardness (HV1.0)	GPa	12.3	10.8	
	Flexural Strength	MPa	310	310	
	Compressive Strength	MPa	2,300	-	
	Young's Modulus	GPa	280	300	
	Poisson's Ratio	-	0.23	0.24	
	Fracture Toughness	MPa√m	-	-	
열적 물성	Coefficient of Linear Thermal Expansion	40-400℃	×10 ⁻⁶ /℃	6.9	
		40-800℃		7.8	
	Thermal Conductivity	W/(m·℃)	18	140	
	Specific Heat	J/(kg·℃)	0.75×10 ³	0.71×10 ³	
	Thermal Shock Resistance (Put in water)	℃	200	-	
전기적 물성	Dielectric Strength		V/m	12×10 ⁶	12×10 ⁶
	Volume Resistivity	20℃	Ω·cm	>10 ¹⁴	>10 ¹⁴
		300℃		10 ¹²	-
		500℃		10 ¹⁰	-
	Dielectric Constant (1MHz)		-	9.0	8.7
	Dielectric Loss (1MHz)		(×10 ⁻⁴)	6	3
	Loss Factor		(×10 ⁻⁴)	54	26
화학적 물성	Nitric Acid (60%) 90℃		WT Loss mg/cm ² /day	0.32	-
	Sulfuric Acid (95%) 95℃			0.65	-
	Caustic Soda (30%) 80℃			0.91	-

알루미나(alumina)라고 불리는 Al₂O₃는 반도체 패키지나 혹은 전기 절연물로서 오랜 역사를 두고 광범위하게 사용되어 왔다. 알루미나와 금속(특히 구리)간의 접합을 위하여 Mo/Mn법, 직접접합법(direct bonded copper, DBC), 활성 금속법(active metal brazing) 등이 개발되어 사용되어 왔다.

베릴리아(BeO)와 질화 알루미늄(AlN)은 알루미나에 비하여 획기적으로 열전도도가 높은 물질들로 특히 질화 알루미늄은 이론적으로는 300W/m-K를 넘는 열전도도^(8,9)를 가지면서도 실온-400℃에서 실리콘에 가까운 열팽창 계수를 보여 절연기판으로서 최고의 특성을 갖고 있다. 이러한 이유로 질화 알루미늄은 알루미나에 비하여 고가임에도 불구하고 1990년대 이후에 IGBT를 채용한 파워 모듈을 중심으로 급속히 확산되어 고밀도 전원장치에 사용되기에 이르렀다. 표 2는 상업적으로 판매되는 알루미나와 질화 알루미늄 절연기판의 상세 물성을 비교하고 있다.

고분자 절연층을 채용한 이른바 IMS(insulated metal substrate)는 스위칭 소자의 전류용량이 20A 이하인 전원장치에서 그 채용범위가 급속히 확대되고 있다. IMS는 얇은 두께의 고분자 절연층을 사이에 두고 한쪽에는 니켈이 도금된 구리 박판이 다른 한 쪽에는 두께 1mm 이상의 알루미늄 혹은 구리 기판이 접합된 구조를 갖는다.

그림 1은 칩형 부품을 탑재한 직접접합 세라믹 절연기판 패키지 구조와 IMS 구조 패키지 구조를 개략적으로 보여주고 있다. 이 패키지의 적층구조는 칩형 부품-회로배선층(Cu circuit layer)-절연층(insulator film)-베이스 판(base plate)의 순서이다. 결국 칩형 부품은 베이스 판과 전기적으로 절연되어 있으나 칩형 부품에서 발생된 손실열은 절연기판을 거쳐서 베이스 판으로 열전도되어 외부로 방출된다. 슬더는 이러한 칩 부품과 회로배선층을 접합하는 역할을 한다. 절연층은 보통 알루미늄 베이스 판과 접합되는데 베이스 판

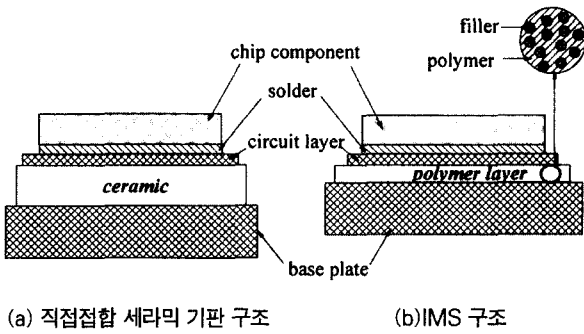


그림 1 칩형 부품을 탑재한 적층 패키지 구조

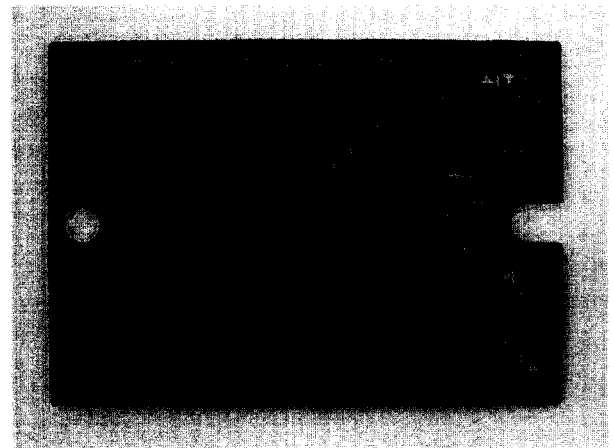


그림 3 IMS 기판을 이용한 회로패턴 설계 예

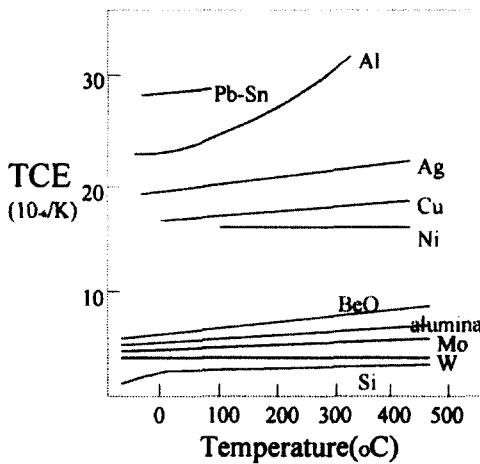


그림 2 온도변화에 따른 주요 패키지 재료의 열팽창계수 변화

은 절연층과 그 위 구조물을 지지할 뿐만 아니라 전원장치를 외부 구조물에 마운팅하거나 히트 싱크를 부착할 때 사용되기도 한다.

IMS에 사용되는 고분자 절연층의 두께는 70~150 μ m로 약 300~600 μ m의 세라믹 절연층에 비하여 얇다. 그럼에도 불구하고 고분자 층의 열전도도가 알루미늄 절연기판의 수%에 지나지 않을 정도로 작으므로 열 방출에는 오히려 불리하다. 열 방출 특성을 결정하는 열전도도는 물질에 따라 그 범위가 정해져 있어 열 방출 조건에 맞는 물질을 선택해야만 한다. 특히 실리콘계 스위칭 소자의 정크선 온도(junction temperature)의 상한선이 대부분 150 $^{\circ}$ C로 설정되어 있으므로 절연기판의 선택에 의하여 전원장치의 사용온도 범위가 결정된다고도 할 수 있다⁴⁾. 예를 들어 열 방출 밀도가 높은 전원장치에서는 열전도도가 우수한 질화 알루미늄이나 알루미늄을 우선적으로 고려할 필요가 있다. 한편 다이아몬드는 물질세계에서는 가장 높은 열전도도를 보이지만 아직까지 실

용화에 거리가 있는 실정이다¹⁰⁾.

패키지 재료의 열팽창 계수도 중요한 고려 사항인데 인접한 패키지 재료간의 열팽창계수차(thermal mismatch)에 의하여 열응력이 발생하여 장기신뢰성을 떨어뜨린다. 솔더재료의 균열 등에 의한 고장을 방지하기 위해서는 패키지 재료의 적층 순서를 최적화할 필요가 있다. 그림 2는 온도변화에 따른 주요 패키지재료의 열팽창계수 변화를 보여주고 있다.

알루미늄 세라믹과 구리배선층을 접합하는 대표적인 기술인 Mo/Mn 금속화법과 활성금속법의 공정 개략도를 그림 3에 나타내었다. 한국에서도 알루미늄 Mo/Mn 접합기술을 보유한 수 개 기업체가 있으며 이 기술을 응용한 제품을 생산하고 있다. 질화 알루미늄 기판은 일본의 기업들이 세계시장을 과점하고 있으며 한국에서는 관련기술 개발이 미미한 실정이다. 최근에 국내의 한 업체가 IMS 기판을 개발하였다는 보도가 있었으나 아직은 미국 및 일본의 관련업체들이 대부분을 공급하고 있는 실정이다. 그림 3은 IMS 기판을 이용하여 설계한 모듈형 고밀도 전원장치의 회로패턴을 보여주고 있다.

3. 솔더 재료와 솔더링 공정

다층 모듈은 대개 여러 솔더층을 갖는다. 이는 솔더가 금속 재료간의 접합에 필수적이기 때문이다. 솔더는 연성솔더(soft solder)와 경성솔더(hard solder)로 대별할 수 있다⁴⁾. 경성솔더는 내 피로(fatigue)성과 내 크리프(creep) 특성이 뛰어난 장점이 있는 반면 소성 유동이 어려워서 실리콘과 절연기판 간의 열팽창계수차에 기인한 열응력이 솔더접합된 부품에 직접 전가된다는 점이 단점으로 지적된다.

반면에 연성 솔더는 저온에서 용융하는 2상 혹은 3상 조성으로 소성 변형이 매우 쉽다. 특히 스위치 소자의 한번의 크

표 3 솔더 재료의 특성값

솔더 조성	Liquidus (°C)	Solidus (°C)	작업온도 (°C)	인장 강도 (N/mm ²)	연신률 (%)
Au-2Si hard	740	363		500-600	0.5-3
Au-2Si annealed	740	363		250-300	5-15
Sn-25Ag-10Sb	395	228	395	80-120	1-4
Au-3.1Si hard	363	363	380	500-600	0.5-3
Au-3.1Si annealed	363	363	380	250-350	5-15
Au-12Ge	356	356	370	150-200	<1
Pb-5.5Ag-2Sn	350	302	360	36-39	25-30
Pb-5Sn	315	305	350	30-35(20-28)	27-40
Pb-2.5Ag-5In	307	307	350	35-40	28-34
Pb-10Sn-0.9Cu	300	265	310	35-40	22-28
Sn-3Cu-0.5In	300	227	320	33-35	>10
Sn-10Ag	295	221	300	35	15
Pb-2.5Ag-5Sn	280	280	320	25-35(36-39)	20-30
Au-20Sn	280	280	320	275	<1
Sn-8.5Sb	246	236	270	40-50	40-50
Pb-40Sn	235	183	250	30	30
Sn-1Cu	227	227	260	28-32	8-15
Sn-3.5Ag	221	221	270	25-35	20-30
Pb-50In	210	190	220	40-45	14-18
Sn-37Pb	183	183	230	25-35	25-35
Sn-36Pb-2Ag	178	178	230	28-32	25-30
In	156	156		2-3	20-28
In-2Ag	148	141	150	4-6	20-25
In-50Sn	125	117	150	43	16

기가 5mm 이상일 경우 대개 연성 솔더를 사용한다. 패키지 공정에 사용되는 대표적인 연성 솔더는 Pb-Sn계이다. Pb-Sn계에서도 공용조성(eutectic composition)이라 불리는 용점이 183°C로 가장 낮은 63Sn-37Pb(무게비) 조성과, 납과 주석비를 변화시켜 용점을 높이거나 인듐 등을 첨가한 다양한 조성이 사용되고 있다. 이 밖에도 여러 솔더 조성의 물성을 표 3에 나타내었다^[5].

최근에는 환경 규제 때문에 납을 사용하지 않는 이른바 무연(lead-free) 솔더의 개발이 급속히 이루어지고 있다. 현재까지 알려진 바로는 Sn-Ag-Cu계 솔더와 Sn-Zn 솔더 및 그 기본 합금에 비스무스(Bi)를 첨가시킨 솔더를 개발하고 있다.

무연 솔더는 기존 솔더에 비해 높은 용점을 가질 수밖에 없다. 현재 사용되는 Sn-Ag-Cu의 용점은 약 +225에서 +230°C로서 +183°C에서 용해되는 Sn-Pb 공용조성 솔더에 비해 40~50°C 가량 높다. 용점을 다소 떨어뜨리기 위하여 Bi를

첨가하는데, Sn-2.5Ag-0.5Cu-1Bi 솔더의 용점은 +222°C로 이것은 보통 Sn-Ag-Cu시스템 솔더와 거의 같다. 결국 무연 솔더를 사용할 경우 패키지용 부품이 더 높은 온도에서 수분간 견뎌야 한다는 의미이며 이에 따라 전원장치를 구성하는 부품의 온도한계를 향상시킬 필요가 있다.

4. 패키지의 열방출

고밀도 전원장치를 구성하는 여러 부품과 결선 등에서 전력 손실이 발생하며 이는 곧 열로 바뀌어 전원장치의 온도상승을 가져온다. 전원장치의 온도가 상승하게 되면 각종 부품들이 온도특성에 따라 특성저하가 발생할 수 있고 반도체 소자의 경우 심지어는 특정온도 이상에서는 열폭주에 의한 고장이 발생할 수 있으므로 손실열에 대한 정확한 진단과 적절한 패키지 설계가 필요하다^[4,7].

표 4 컨버터 회로에서의 손실 계산 예⁽¹²⁾

분류	손실의 종류	손실(W)
수동 부품 손실	Ferrite 손실	10
	유전 손실	7
	전도 손실-1차	8
	전도 손실-2차	10
반도체 손실	스위칭 소자 통전 손실	8
	다이오드 역회복 손실	2
	스위칭 소자 스위칭 손실	13
	정류 다이오드 통전 손실	23
기타 손실	정류 다이오드 스위칭 손실	2
	불특정 손실	24.9±12.6
합계		107.9±12.6

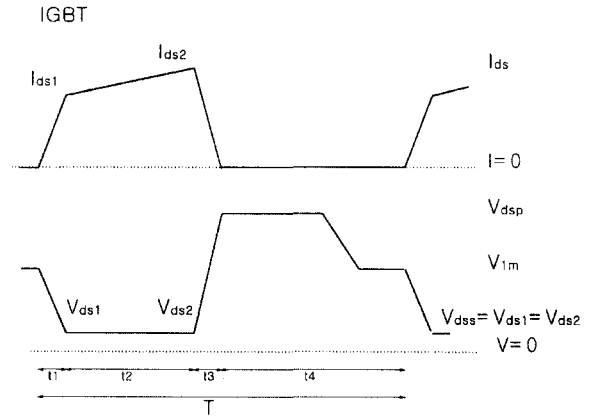


그림 5 IGBT 전력소자의 턴온 턴오프 파형

표 4는 컨버터 회로에서 실제 손실분과 추정치를 비교한 것이다. 이러한 회로에서 발생하는 대부분의 손실이 스위칭용 반도체 소자에서 일어남을 알 수 있으며 트랜스포머용 페라이트 코어의 손실도 큰 부분을 차지함을 알 수 있다.

4.1 주요 부품별 손실열 계산

4.1.1 반도체 소자 손실

스위칭 소자의 손실은 크게 순방향 통전 손실(conduction loss)와 스위칭 손실(switching loss)로 나눈다. 스위칭 손실은 다시 턴온 손실(turn-on loss)와 턴오프 손실(turn-off loss)로 나눌 수 있다. 그림 5와 같이 IGBT 전력소자의 단일 펄스의 파형으로부터 다음과 같이 손실을 계산할 수 있다.

그림 5로부터 $0 \leq t \leq A$ 에서 턴온 손실 $E_{(on)}$ 는

$$\begin{aligned}
 E_{(on)} &= \int_0^A I(t)V(t)dt \\
 &= \int_0^{t1} \left(\frac{I_{ds1}}{t1}t\right) \left[\frac{(V_{dss} - V_{1m})}{t1} + V_{1m}\right] dt \\
 &= \frac{1}{3} I_{ds1}(V_{dss} - V_{1m})t1 + \frac{1}{2} V_{1m}I_{ds1}t1 \quad (식 1)
 \end{aligned}$$

$A \leq t \leq B$ 에서 발생하는 순방향 통전손실 $E_{(sat)}$ 는

$$E_{(sat)} = \int_A^B I(t)V(t)dt \approx \frac{1}{2} (I_{ds1} + I_{ds2})V_{dss}t2 \quad (식 2)$$

$B \leq t \leq C$ 에서 발생하는 턴오프 손실 $E_{(off)}$ 는

$$\begin{aligned}
 E_{(off)} &= \int_B^C I(t)V(t)dt \\
 &= \int_0^{t3} \left(\frac{-I_{ds2}}{t3}t + I_{ds2}\right) \left[\frac{(V_{dsp} - V_{ds2})}{t3} + V_{ds2}\right] dt \\
 &= -\frac{1}{3} I_{ds2}(V_{dsp} - V_{ds2})t3 + \frac{1}{2} I_{ds2}V_{dsp}t3 \quad (식 3)
 \end{aligned}$$

로 된다. 따라서 스위칭 소자의 손실은 펄스 주기를 T라 할 때

$$P_{AV} = \frac{1}{T} (E_{(on)} + E_{(sat)} + E_{(off)}) \quad (식 4)$$

로 계산할 수 있다. 다이오드에서도 이와 같은 방식으로 통전

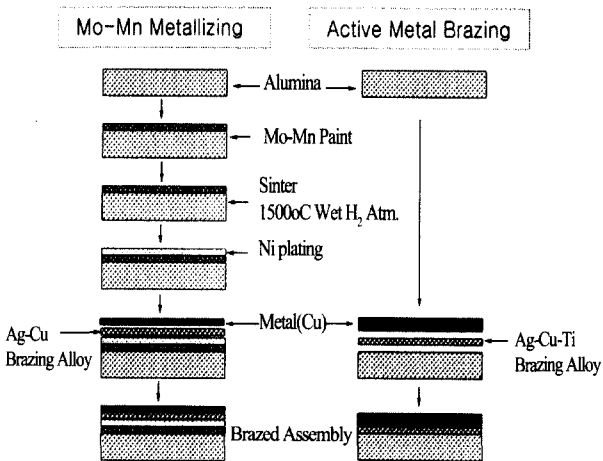


그림 4 세라믹 절연기관에 회로배선층을 접합하는 재료공정 모식도 (왼쪽 그림은 Mo/Mn 금속화법을, 오른쪽은 활성금속법을 보여줌)

손실과 스위칭 손실을 계산해 낼 수 있다. 일반적으로 IGBT 나 MOSFET 등과 같은 스위칭 소자에서는 스위칭 주파수가 높아질수록 스위칭 손실의 비중이 통전손실을 압도하며 손실의 절대적 크기도 주파수에 비례하여 증가하게 된다.

스위칭 소자의 손실은 주파수 이외에도 여러 가지 요인에 의하여 지배되는데 기생 임피던스도 그 중의 하나이다. 기생 임피던스가 크게 증가하면 턴온 손실이 크게 증가하며 궁극적으로 소자 전체의 손실을 증가시키게 된다.^[11]

4.1.2 Ferrite 손실^[12]

특정 자속밀도와 주파수에서의 손실 계수를 P_V 라고 하고 ferrite의 부피를 V_{core} 라고 할 경우 ferrite의 손실 P_F 는

$$P_F = P_V \cdot V_{core} \quad (식 5)$$

로 나타낼 수 있다.

그림 6은 적외선 카메라로 관측한 동작중인 전원장치의 온도분포를 보여주는 사진으로 트랜스포머 부분(③ 영역)의 온도가 상대적으로 높음을 알 수 있다.

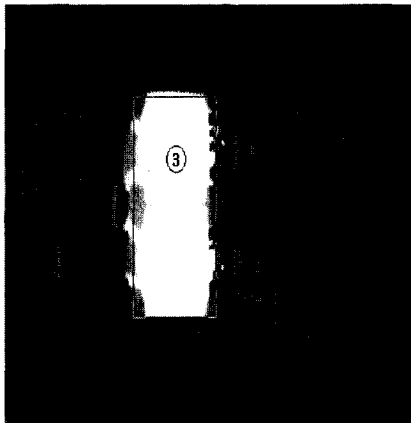


그림 6 적외선 카메라로부터 관측된 전원장치의 온도분포 (③ 부분이 ferrite core)

4.1.3 유전 손실^[12]

유전손실은 주파수(f), 캐패시턴스, 유전손실율($\tan\delta$) 등에 비례하며 다음과 같은 식으로 계산할 수 있다.

$$P_D = 2\pi f \cdot C \cdot V_j^2 \cdot \tan \delta \quad (식 6)$$

4.1.4 도전 손실

도체의 저항 손실이므로 다음과 같이 계산할 수 있다.

$$P_C = I_C^2 \cdot R_{ac} \quad (식 7)$$

4.2 열저항과 열해석

전원장치에서 발생된 열이 외부로 방출되는 열전달 방식은 전도, 복사, 대류의 3가지가 있을 수 있다. 그러나 모듈형 고밀도 전원장치에서 발생하는 열의 90% 이상은 전도에 의하여 외부로 전달된다.

패키지에서의 전도에 의한 열전달 방식을 이해하기 위하여 열저항(thermal resistance) 개념을 사용한다^[5-7]. 열저항은 열확산이 일어나기 위한 포텐셜 차이 즉 온도차를 열전달 속도로 나눈 개념으로 $R_{th} = \Delta T/Q$ 로 정의된다. 이는 마치 전기 저항이 $R_e = L/k_e A$ 로 표시되는 것과 매우 유사하다. 이러한 유사성을 적용할 경우 1차원적으로 열전달이 일어나면서 정상상태(steady state)라고 가정하면 열저항 R_{th} 는

$$R_{th} = \frac{l}{kA} \quad (식 8)$$

로 정의할 수 있다. 한편 그림 1의 패키지 구조를 열저항 회로로 재구성하면 그림 7과 같은 직렬 연결 구조로 된다. 이때 패키지의 열저항($R_{th,tot}$)은 직렬연결 구조의 경우

$$R_{th,tot} = R_{th1} + R_{th2} + R_{th3} \quad (식 9)$$

로 표시되며 열전달 면적을 동일하다고 가정하면

$$R_{th,tot} = \frac{l_1}{k_1} + \frac{l_2}{k_2} + \frac{l_2}{k_3} \quad (식 10)$$

이 된다. (식 10)에 따르면 패키지의 열저항은 열전도도가 극히 낮은 재료에 의하여 결정될 수 있음을 알 수 있다. 일반적으로 절연기판이 적층 패키지 구조에서 열저항의 대부분을 차지한다. 표 5는 패키지에서 사용되는 각종재료의 열전도도를 나타내었다.

한편 대부분의 패키지에서 칩형 부품은 그림 8과 같이 상대적으로 단면적이 훨씬 큰 기판 혹은 heat-sink 위에 탑재되는데 이 경우에는 열이 여러가지 복잡한 형태로 흘러가게 된다. 이렇게 칩보다 면적이 큰 기판을 열 퍼짐재(heat-spreader)라고 부르며 이러한 현상을 열퍼짐 현상(heat spreading)이라 부른다^[7]. 열전달 경로에서의 열 퍼짐 현상은 퍼짐 열저항

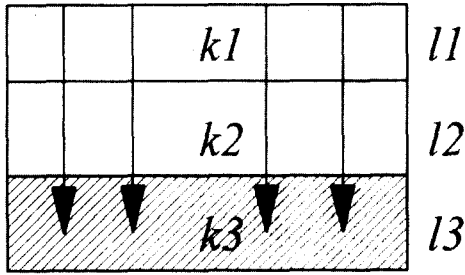


그림 7 적층형 모듈의 개략화된 열전달 구조(k와 l은 각각 재료의 열전도도와 열전달 방향에로의 길이를 의미함)

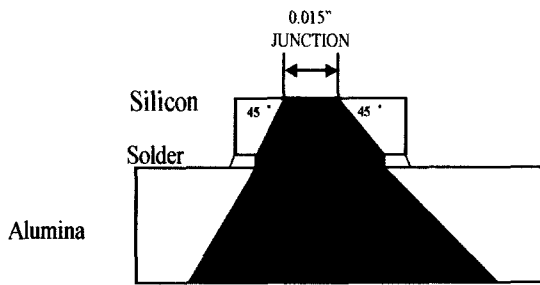


그림 8 열원보다 열전달 면적이 넓은 재료에서의 열퍼짐 현상

표 5 패키지 재료의 열전도도

Material	Thermal conductivity (W/m-K)
Aluminum	205
Copper	398
Glassy epoxy	1.7
Gold	297
Iron	74.5
Kovar (Fe,Ni,Co,Mn,C)	16.4
Lead	34
Mica	0.50
Molybdenum	138
Nickel	92
Platinum	69
Porcelain	0.66
Quartz	1.01
RTV	0.34
Silicon	84
Silver	418
Solder (95%Pb-5%Sn)	36
Thermal grease/pastes	1.1
Tin	63

(spreading resistance)을 부가적으로 발생시켜 기판의 열저항은 $R=1/kA$ 보다 훨씬 커지게 된다. 이 퍼짐 열저항의 물리적 의미는 열원보다 열전달 매체의 크기가 큰 경우에는 상대적으로 열전도에 덜 기여하는 부피가 생기므로 그 부피만큼을 제외한 부분의 실질적인 열저항이라 할 수 있다.

패키지 구조에서 열저항을 계산하여 열해석하는 가장 중요한 이유는 전원장치 회로에서 가장 열적으로 취약한 부품의 동작중의 열이력(thermal history)을 예측하는데 있다. 가장 취약한 소자는 많은 경우 스위치 즉 반도체 소자인데 칩의 열분포 특히 전력소자의 접합부 온도(junction temperature: T_j)를 예측하는 것이 열해석의 핵심이라 할 수 있다. 앞에서 언급한 표 4의 손실계산에서 나타난 바와 같이 실제 적용 패키지 구조에서 다양한 손실열이 발생하지만 이러한 손실열이 외부로 전달될 경우에는 그 소자의 바로 아랫부분으로 집중적으로 방출되게 된다. 결국 가장 열적으로 취약한 소자에 대하여 그 손실열이 어떤 영향을 미치는가를 분석하는 것이 열해석의 목적이라 하겠다.

전력소자가 열적으로 가장 취약하다고 가정할 경우 칩의 손실열을 P_d , 패키지의 주변온도를 T_a 라고 할 때 접합부 온도는

$$T_j = R_{th} \cdot P_d + T_a \tag{식 11}$$

로 표기된다. 결국 접합부 온도는 주변온도를 고정시킬 경우 칩의 손실열과 패키지의 열저항의 크기에 일차함수적으로 증가함을 알 수 있다.

그림 9는 질화 알루미늄을 절연기판으로 채용한 IGBT와 다이오드 소자쌍에서 Ansys 5.3으로 열해석한 후의 온도분

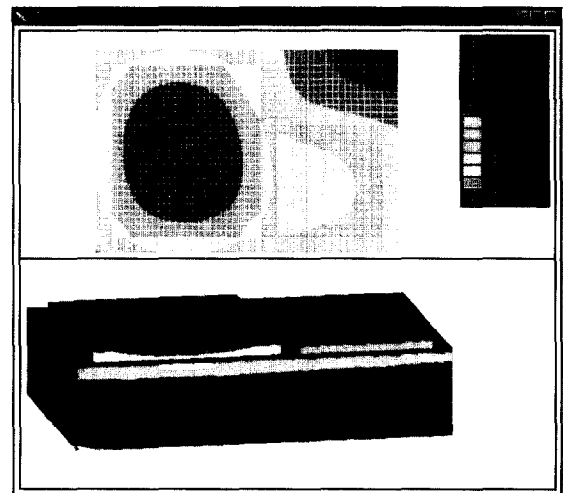


그림 9 AlN 기판을 채용한 IGBT-다이오드 소자쌍의 열해석 결과

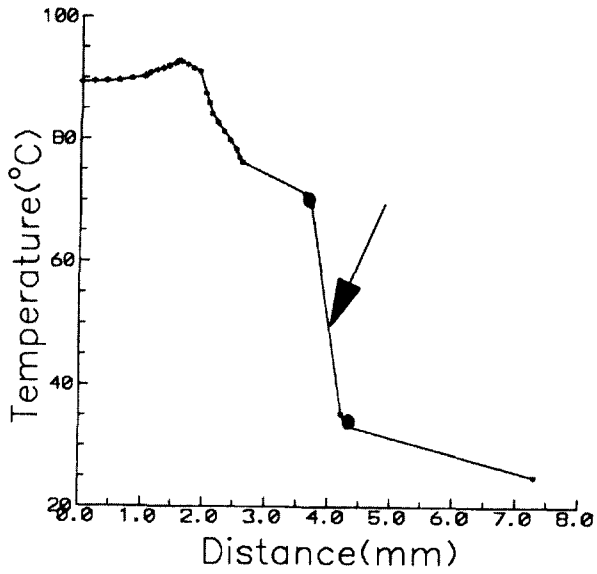


그림 10 알루미늄을 절연기판으로 채운 패키지에서 칩~베이스층 간의 온도분포 (화살표는 알루미늄 기판 부위로 열저항이 매우 큼을 보여주고 있다)

포를 보여주고 있다¹³⁾. 구리 베이스 판의 온도를 100℃로 고정하였을 때 21℃의 온도 상승이 발생하는 것으로 분석되었다. 그림 10은 알루미늄을 절연기판으로 채운 패키지에서 칩에서 베이스층까지의 온도분포를 보여주고 있다¹³⁾. 이 그래프에서 기울기는 열저항을 의미하는데 화살표는 알루미늄 기판 부위로 열저항이 매우 큼을 보여주고 있다.

4.3 열저항 측정

전원장치의 스위치 소자가 느끼는 열저항은 패키지 열특성 평가의 중요한 기준이 된다. 스위치 소자에서 가장 발열이 크게 일어나는 부위는 이른바 p-n 접합부인데 실제로 소자 표면으로부터 어느 정도 떨어진 깊이 존재한다. 온도계를 반도체 소자 접합부에다 붙여 동작중의 그 온도를 측정하는 것은 불가능하므로 다른 방법이 필요하게 된다.

대부분의 디바이스에서 순방향 전압(forward junction voltage)으로부터 온도를 읽을 수 있다. 즉 다이오드의 p-n 접합부에서 순방향 전압강하는 온도에 따라 일차함수적으로 변화하는데 이러한 특성을 이용하여 동작 중인 스위치 소자의 p-n 접합부 온도를 측정하는 것이다. 순방향 전압강하와 같이 온도에 따라 변화하는 선형적 관계를 보이는 인자를 온도민감인자(TSP: Temperature Sensitive Parameter)라고 부른다¹⁴⁾. MOSFET는 문턱전압(V_{TH})과 온 저항($R_{DS(on)}$) 등이, IGBT는 V_{TH} , $V_{CE(s)}$ 등이 Diode에서는 순방향 전압강하(V_p) 등이 TSP로 이용되고 있다.

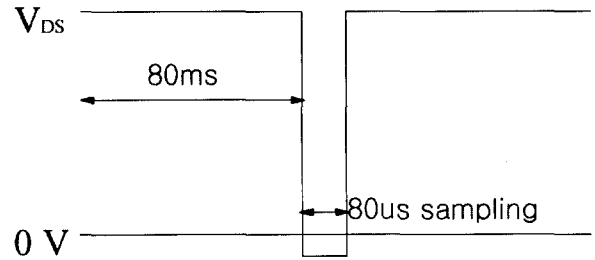


그림 11 MOS 디바이스에서 R_{thjc} 를 측정하기 위한 파워 펄스와 샘플링 반복펄스의 예

TSP의 온도 특성이 검증되면 디바이스에 테스트 신호를 주고 열저항 측정을 시작할 수 있다. 우선 디바이스에 일정한 전압과 전류값의 지속적인 파워를 인가한다. 샘플링 펄스를 계속적으로 보내면서 TSP를 모니터링하여 온도를 알아낸다. 이때 샘플링 펄스는 TSP를 검증할 때와 같은 크기의 전류를 흘려주어야만 한다. TSP를 모니터링하는 한편으로 소자의 p-n 접합부 온도(T_j)가 충분히 올라갈 정도로 인가전력을 조절해야 한다. T_j 상승분이 기준온도(reference temperature)보다 100℃ 이상 높아야 측정을 위한 충분한 해상도의 ΔT 를 만들어낼 수 있다.

TSP 샘플링 시간은, 재차 파워를 인가하기 전에 junction이 상당히 냉각되지 않도록 충분히 짧아야 한다. 파워 펄스와 샘플링 펄스는 그림 11과 같이 99.9%의 duty cycle로서 인가하여 거의 계속적으로 파워가 인가되는 것과 같은 효과를 보게 된다. 이와 같이 이 디바이스에 큰 파워가 걸리 경우 패키지 전체의 온도가 상승할 수밖에 없다. 테스트한 동안에 이 디바이스가 낮은 온도를 유지하려면 히트 싱크(heat sink) 위에 디바이스를 장착해야만 한다. 냉각수를 흘리는 열교환기 형의 히트 싱크가 이상적이며 이럴 경우에 케이스 온도를 거의 상온으로 유지할 수 있을뿐더러 p-n 접합부와 기준점간의 온도차를 크게 할 수 있어 이른바 온도 해상도를 좋게 할 수 있다.

5. 맺음말

고밀도 전원장치를 실현하기 위해서는 우수한 전기적 열적 특성을 가진 패키지 재료가 필요하다. 이러한 패키지 재료에 요구되는 재료적 특성은 전력 손실, 열방출 능력, 열응력 뿐만 아니라 가격, 재료 상호간의 접합 특성 등을 종합적으로 검토하여 선택할 필요가 있다. 특히 전원장치의 파워 밀도가 높아질수록 우수한 특성을 가진 새로운 재료가 더욱 요구될 것으로 예측되며 나아가 전원장치의 전기적, 열적, 기계적 물

성을 극대화할 수 있는 패키지 구조 개발이 더욱 필요하게 될 것이다. ■

후 기

이 연구는 2000년도 과학기술부 중점국가연구개발사업 "통신전원용 220V 입력 SMPS IPM 개발"의 연구비 지원으로 이루어졌음을 밝힙니다.

참 고 문 헌

- [1] 차세대 전원 및 제어장치 고집적화 연구기획 보고서, 한국전기연구소, 1998.
- [2] J. Patel and L. Brush, "The Hottest Markets for External Power Supplies Now and a Look at Potential Future Markets", 16th APEC, Anaheim, U.S.A., 4-8 Mar. 2001.
- [3] H. Iwamoto et al., "New Intelligent Power Modules for Appliance Motor Control", 16th APEC, Anaheim, U.S.A., 4-8 Mar. 2001.
- [4] C. A. Neugebauer, A. F. Yreman, R. O. Carlson, J. F. Burgess, H. F. Webster, and H. H. Glascock, "The Packaging of Power Semiconductor Device," Gordon and Breach Science publishers, 1986.
- [5] Electronic Materials Handbook, Vol.1 Packaging, ASM International, 1989.
- [6] Handbook of Electronic Package Design, Edited by M. Pecht, Marcel Dekker, N.Y. 1991.
- [7] J. E. Sargent, and Al Krum, "Thermal Management Handbook for Electronic Assemblies," McGraw-HILL, pp.3.1~6.45, 1998.
- [8] N.K. Kim et al., "Diffusion of Oxygen out of AlN Polytypoid Grains", Ceram. Int. 26, 617-23(2000).
- [9] G.A. Slack, "Non-metallic Crystals with High Thermal Conductivity", J. Phys. Chem. Solids, 34, 321-335(1973).
- [10] C.J.H. Wort et al., "Thermal Properties of Bulk Polycrystalline CVD Diamond", Diamond and Related Mat., 3, 1158-1167(1994).
- [11] C. Winterhalter et al., "The Effect of Circuit Parasitic Impedance on the Performance of IGBTs in Voltage Source Inverters", 16th APEC, Anaheim, U.S.A., 4-8 Mar. 2001.

- [12] J.T. Strydom et al., "Integration of a 1-MHz Converter with Active and Passive Stages", 16th APEC, Anaheim, U.S.A., 4-8 Mar. 2001.
- [13] N.K. Kim et al., "Thermal and Stress Analysis of Power IGBT Module Package by Finite Element Method", J. Microelectronics and Packaging Soc. 6(3) 23-33(1999).

〈 저 자 소 개 〉



김남균(金南均)

1962년 1월 15일생. 1984년 서울대학교 무기재료공학과 졸업(학사). 1990년 서울대학교 무기재료공학과 졸업(박사). 1987년~1988년 독일 막스플랑크 재료금속연구소 연구원. 1995년~1996년 일본 과학기술청 무기재료연구소 연구원. 1990년~현재 한국전기연구원 선임연구원.



김은동(金垠東)

1958년 12월 5일생. 1980년 부산대학교 재료공학과 졸업(학사). 1985년 한국과학기술원 재료공학과 졸업(박사). 1989년~1990년 프랑스 국립과학연구소 전기공학연구소. 1997년~현재 과학기술부 중점국가연구개발사업 전력용반도체기술개발사업단장. 1999년~현재 산업자원부 차세대신기술개발사업 SiC 반도체기술개발 사업단장. 1986년~현재 한국전기연구원 책임연구원, 전력기술연구단장.



이희흥(李熙興)

1958년 4월 21일생. 1983년 대우공업전문대학 전자과 졸업. 2001년 서울산업대학교 전자공학과(학사). 2001년~현재 건국대학교 전기공학과 석사과정. 1986년~1990년 삼화전자공업(주) 부설 응용 부품 연구소. 1986년~1993년 동양정밀공업(주) 중앙연구소. 1990년~현재 (주)화인센트로닉스 기술연구소 소장(전무).