

STI-CMP 공정의 질화막 잔존물 및 패드 산화막 손상에 대한 연구

論 文

50C-9-3

A Study on the Nitride Residue and Pad Oxide Damage of Shallow Trench Isolation(STI)-Chemical Mechanical Polishing(CMP) Process

李 愚 宣* · 徐 龍 辰** · 金 相 用*** · 張 宜 久§
(Woo-Sun Lee · Yong-Jin Seo · Sang-Yong Kim · Eui-Koo Chang)

Abstract - In the shallow trench isolation(STI)-chemical mechanical polishing(CMP) process, the key issues are the optimized thickness control, within-wafer-non-uniformity, and the possible defects such as pad oxide damage and nitride residue. The defect like nitride residue and silicon (or pad oxide) damage after STI-CMP process were discussed to accomplish its optimum process condition. To understand its optimum process condition, overall STI related processes including reverse moat etch, trench etch, STI fill and STI-CMP were discussed. Consequently, we could conclude that low trench depth and high CMP thickness can cause nitride residue, and high trench depth and over-polishing can cause silicon damage.

Key Words : STI(shallow trench isolation), CMP(chemical mechanical polishing), nitride residue, pad oxide damage, within-wafer-non-uniformity(WIWNNU), reverse moat etch

1. 서 론

기존의 LOCOS(local oxidation of silicon) 공정은 소자의 활성영역으로 필드 산화막(field oxide)이 축 방향에서 침투하는 새부리 (bird's beak) 현상과 노출된 실리콘과 거친 표면의 서브 마이크론 지역에서 필드(field) 산화막이 얇아짐으로 인하여 0.5 μ m 이하의 반도체 제조 공정에서는 문제점으로 대두되었다.[1] 최근 소자 분리 방법의 하나인 STI(shallow trench isolation) 공정이 반도체 소자의 고밀도화에 필수적인 기술로 주목받고 있다. 이 공정은 실리콘 웨이퍼 위에 얇은 트렌치(trench)를 만들고, 그 위에 SiO₂를 도포하고 CMP(chemical mechanical polishing)로 평탄화하는 기술로 기존의 LOCOS 방법보다 좁은 면적으로 소자 분리가 가능하고, 성능이 우수하다는 장점을 갖고 있고[2], 특히 넓은 지역을 광역 평탄화(global planarization)하는데 우수한 특징을 보이고 있어 널리 사용되고 있다.[3] 그러나 CMP 공정에 기인하는 디싱(dishing) 효과[4], 산화막의 찢겨진 결함(torn oxide defect)[5], 산화막 위에 질화막이 남는 현상(nitride residue)과 CMP 공정 후 세정(post-CMP cleaning)[6], CMP 공정시 정확한 연마정지점 검출(end

point detection)[7] 등 여러 가지 공정상의 문제점들을 수반하고 있다. 또한, 슬러리와 패드와 같은 매우 비싼 각종 소모성 재료가 CMP 공정에 사용되므로 칩 제조 단가가 상승하여 효율성에 문제가 되어 공정 단가의 최소화가 과제로 남아 있다. STI-CMP 공정에서 또 다른 중요한 이슈는 웨이퍼 내의 비균일도(non-uniformity), 활성영역의 패드 산화막의 손상(pad oxide damage), 질화막 잔존(nitride residue) 등과 같은 결함들을 줄이고,[8] CMP 두께조절을 최적화 하는 것이다.

본 논문에서는 STI-CMP 공정의 최적 조건을 확보하기 위해 STI-CMP 공정 후의 질화막 잔존물과 패드 산화막 손상과 같은 결함 등이 논의되었다. 질화막 잔존물은 post CMP 두께가 크고, 트렌치 깊이가 낮은 조건에서 주로 일어나는 결함들이다. 그리고 reverse moat 식각 공정 후에 moat 표면 위에 남아 있는 산화막 두께는 질화막 잔존의 주요한 원인이 되고 있다.[9-11] 또한 패드 산화막 손상은 과도연마(over polishing)와 트렌치 깊이가 깊을 때 주로 생성된다. 즉, 과도한 CMP 연마를 할 경우에는 실리콘 활성영역에 손상을 주고, 충분하게 연마되지 않은 경우에는 활성영역 위에 질화막이 잔존하게 되어 소자동작에 막대한 영향을 주고 있다. 따라서 본 논문에서는 이상과 같은 두개의 제한 조건인 질화막 잔존물과 활성영역의 패드 산화막 손상을 최적화 하기 위해 4가지 실험을 수행하여 그 가능성을 테스트하였다. 즉, 최적의 CMP 두께와 트렌치 깊이, reverse moat 식각에서의 과도 식각(over etch) 등이 논의되었다.

* 正 會 員 : 朝鮮大 電氣工學科

** 正 會 員 : 大佛大 電氣工學部

*** 正 會 員 : 아남 半導體 FAB 事業部

§ 正 會 員 : 中央大 電氣電子工學部

接受日字 : 2001年 6月 7日

最終完了 : 2001年 7月 9日

2. 실험

본 실험에서는 8 인치 나칭형(notching type) 웨이퍼를 사용하였으며, CMP 연마 장치로는 산화막과 금속막의 평탄화가 가능한 그림 1에 개략적으로 보인 IPEC 472 연마 장치를 사용하였다. 패드(pad)는 Rodel사의 IC 계열 패드를 사용하였고, 사용된 패드 재료는 폴리우레탄으로 작은 기공이 형성되어 있어서 슬러리를 흡수하여 각종 공정 결함을 줄일 수 있으면서 뛰어난 연마 제거율과 일정한 균일도를 유지하도록 하였다.

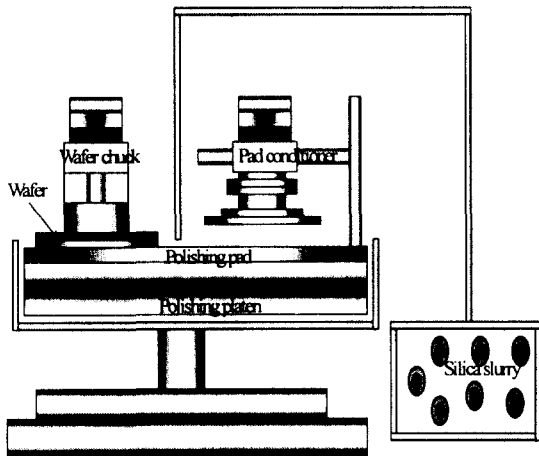


그림 1. IPEC 472 연마장치의 개략도
Fig.1.Schematic diagram of IPEC 472 CMP polisher

연마제인 슬러리(slurry)는 cabot사인 SS계열을 사용하였으며, CMP 연마 후 세정 장비는 그림 2에 보인 것과 같은 Veriteq의 VcS A2S 시스템을 사용하였다. 세정 시스템은 메가소닉(megasonic) 에너지와 희석된 SC-1을 이용하는 세정 공정을 위한 Vcs 탱크와 HF 공정을 위한 재순환 탱크로 구성되었다. Vcs 탱크에서는 필요한 만큼의 chemical과 탈이온수(de-ionized water)가 공급되며 탱크 바닥에 설치된 quick dump paddle에 의해 효과적으로 세정된다. 또한 SRD(spin-rinse dryer)가 습식 공정 후 세정 및 건조 공정을 위해 사용되었다. 이 비접촉 세정 방법은 먼저 첫 번째 탱크에서 메가소닉 에너지를 이용한 수성 암모니아 세척과 린스(rinse)를 하고 두 번째 탱크에서 HF 공정을 수행한다. STI-CMP의 기계적 공정 조건으로는 하력(down force)은 7 [psi], back 압력은 3 [psi], 연마판 속도는 32 [rpm], 캐리어 속도는 28 [rpm]을 기본 조건으로 사용했으며, 우수한 기계적 공정 조건을 찾고자 DOE(design of experiments) 기법을 이용하여 실험하였다. 또한 CMP 연마 정지점을 in-situ 방법으로 감지가 가능하도록 Luxtron 9325 연마 정지 시스템을 장착하여 실험하였다. 그림 3은 STI-CMP 공정 순서를 개략적으로 보인 것이다. 본 실험에서 트렌치 깊이는 4000 Å, 5000 Å, 6000 Å으로 스플릿(split) 되었고, CMP 두께는 5500 Å과 6500 Å 사이에서 조절되었다.

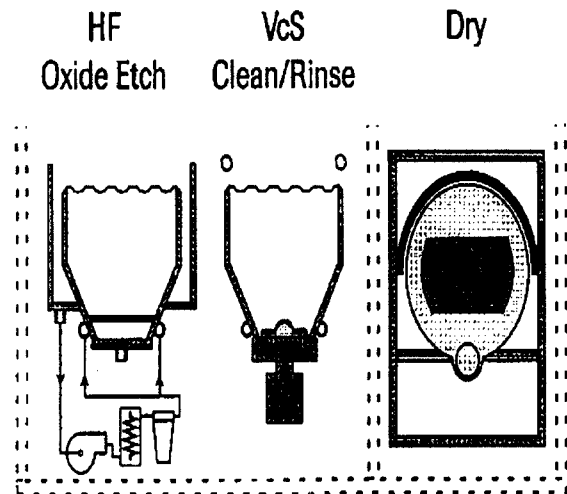


그림 2. VcS 비접촉 세정 공정 시스템의 개략도
Fig. 2. Schematic diagram of VcS non-contact post-CMP Cleaning system

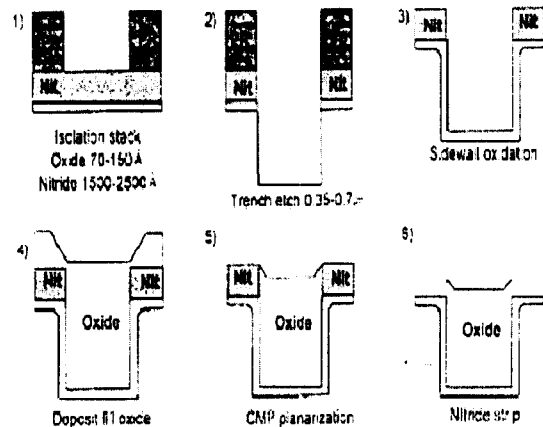


그림 3. STI-CMP 공정 순서
Fig. 3. Sequence of STI-CMP Process

3. 실험결과 및 고찰

STI-CMP 공정에서 적절한 연마를 하지 못할 경우, 활성 영역에 질화막 잔존물이 생성되어 후속 공정에 심각한 영향을 끼친다. 이 질화막 잔존물은 일반적으로 STI를 채운 후에 두께가 두껍게 제어되는 지역과 패턴이 조밀한 셀 지역에서 매우 빈번하게 나타나고 있는데 STI의 깊이가 균일하지 못하고 STI를 산화물로 채운 후 웨이퍼의 중

양 근처에서 두께가 다른 지역보다 높아 CMP 연마 후에도 두께가 두껍기 때문인 경우도 있다. 특히 CMP 공정 시 질화막 위의 산화막을 충분히 연마해야하는데, 충분히 연마되지 못하고 산화막이 과도하게 잔존하면 후속 공정인 질화막 식각시 산화막이 capping 층으로 작용하여 질화막 식각을 방해한다. 이러한 경우 활성영역에 질화막이 잔존하여 소자 제조 공정에 막대한 영향을 주어 소자로써 작용을 할 수가 없게 된다. 또 하나의 요인으로는 연마의 불균일성을 들 수 있다. 웨이퍼 전면에 균일한 연마가 이루어져야 하는데 균일도가 일정하지 않을 경우 일부 패턴에서는 웨이퍼 손상과 함께 질화막 잔존물이 생성된다. 이상과 같은 원인에 의한 질화막 잔존물 패턴을 SEM으로 분석하여 제시하였다. 그림 4은 STI 트렌치의 깊이가 4000 Å으로 비교적 낮게 형성된 경우 SEM 단면 사진을 보인 것이다. 트렌치 영역은 APCVD 산화막으로 채워져 있으며, 질화막 잔존물이 뚜렷하게 나타나 있다.

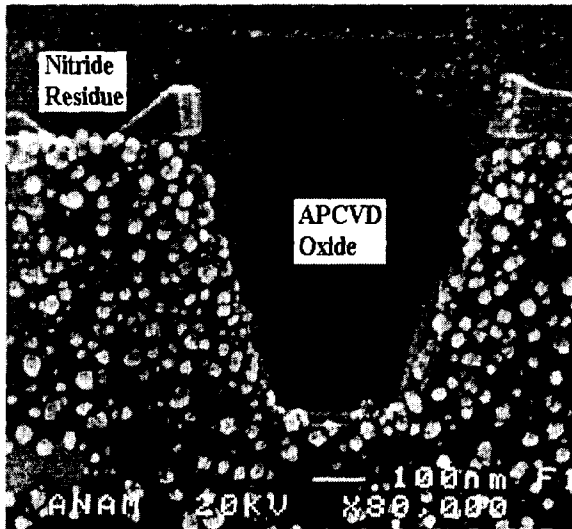


그림 4. 질화막 스트립 공정 후의 모트 표면 위 질화막 잔존물의 수직 단면 SEM 사진
 Fig.4 Vertical SEM Pphotograph of nitride residue on moat surface after nitride strip process.

그림 5는 post CMP 두께 조절에 의해 얻어진 질화막 잔존물과 패드 산화막 손상의 표면 SEM 사진을 보인 것이고, 그림 6은 moat 지역의 습식(wet) 식각 후 질화막 잔존물의 SEM 사진을 보인 것이다. 그림 7은 moat 지역을 습식 식각한 후의 질화막 잔존물의 정상적인 발생 장소(normal occurrence of point)의 KLA 검사 결과를 보인 것이다. 그리고 그림 8은 moat 지역을 습식 식각 한 후의 질화막 잔존물의 정상적인 발생 장소를 보이는 SEM 결과이다. 대부분의 경우에 있어서 질화막 잔존물은 웨이퍼 표면의 중앙 영역에서 발견되는 경향을 갖는다. 따라서 테스트는 vertical SEM을 사용하여 웨이퍼의 가장자리 영역과

중앙영역의 질화막 잔존물의 발생 장소를 트렌치 깊이와 비교함으로써 수행되었고 측정 에러가 일어날 수 있기 때문에 상대적인 비교만이 수행되었다.

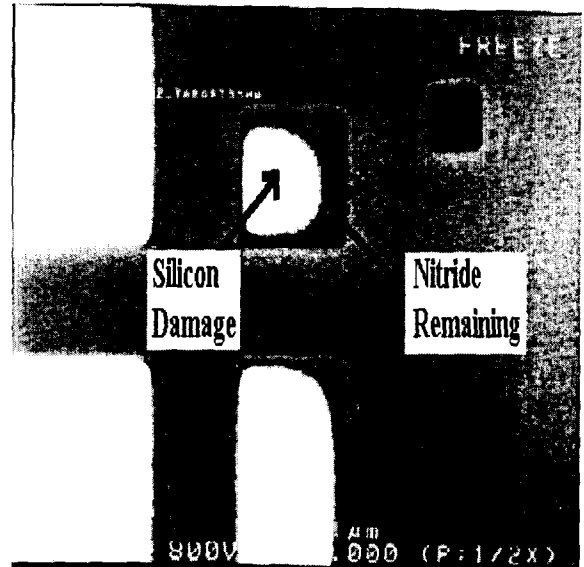


그림 5. 패드 산화막의 Jeol SEM 사진
 Fig. 5 Jeol SEM photograph of pad oxide

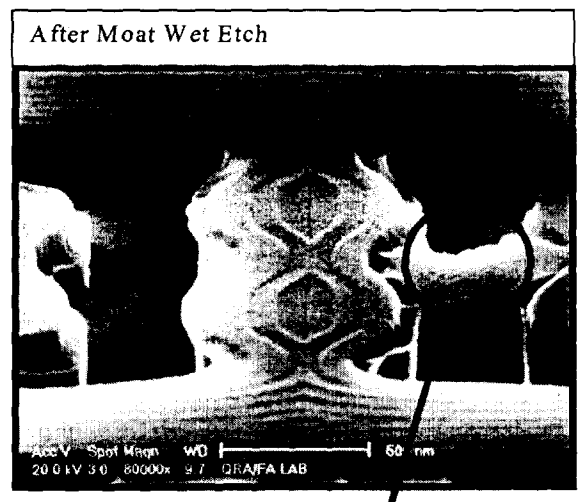


그림 6. Moat 영역의 습식 식각 후 SEM 사진
 Fig. 6 SEM photograph after moat wet etch.

KLA inspection after moat wet etch

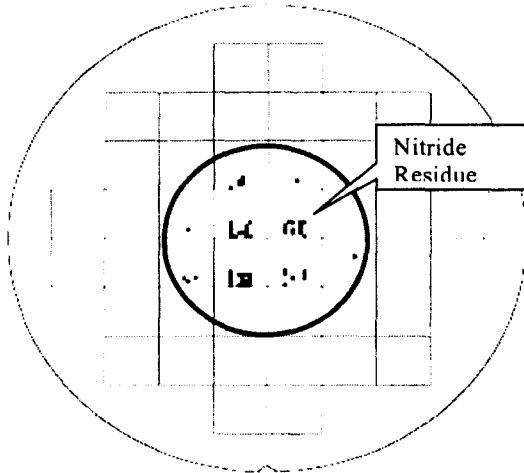


그림 7. Moat 습식 식각 후 KLA에 의해 얻어진 질화막 잔존물의 정상적인 발생 위치

Fig. 7 KLA inspection of normal occurrence point of nitride residue after moat wet etch.

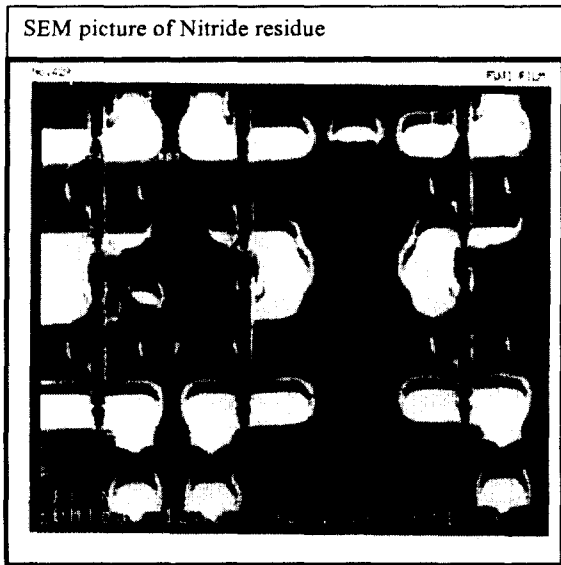


그림 8. Moat 습식 식각 후 질화막 잔존물의 정상적인 발생 위치의 SEM 사진

Fig. 8. SEM photograph of normal occurrence point of nitride residue after moat wet etch.

다음으로 CMP 공정 동안 capping 층이 형성되었는지를 알아보기 위해 15 KÅ의 질화막을 도포한 다음 6가지의 서로 다른 세정 과정을 거친 후의 식각율을 비교하여 표 1에 나타내었다. 만약 어떤 임의의 막이 CMP 공정 동

안 형성되었다면 질화막 스트립(strip) 공정에서 질화막의 제거를 방지하는 capping 층으로 작용할 것이다. 즉, 각 단계에서 식각율이 차이를 보인다면 CMP 공정 동안 capping 층이 형성되었다고 추측할 수 있으나 표 1에 보인 것처럼 각 단계의 공정 후에 거의 비슷한 식각율(≈46 Å/min.)을 보이고 있어 CMP 공정 동안 capping 층이 형성되지 않았음을 알 수 있다.

표 1. 각 테스트 조건에 따른 15 KÅ의 질화막의 식각율.

Table 1. Etch rate of 15 KÅ nitride film as a function of each test condition.

Step	Sequence	Etch Rate (Å/min)
1	Polishing → VcS ¹⁾ → SRD ²⁾	46.23
2	Polishing → HF → SRD	46.15
3	Polishing → Rinse → SRD	46.09
4	Polishing → VcS → HF → VcS → SRD	46.24
5	VcS → HF → VcS → SRD	46.71
6	No Process	47.12

1) VcS A2S system of Verateq Co.

2) SRD(Spin Rinse Dryer)

세 번째 테스트는 post CMP 두께와 트렌치 깊이를 비교함으로써 질화막 잔존물의 정확한 발생 point를 알아내기 위해 트렌치 깊이는 4000 Å, 5000 Å, 6000 Å으로 스플릿(split) 하였고, CMP 두께는 5500 Å과 6500 Å 사이에서 조절되었다. 표 2에 보인 바와 같이, 트렌치 깊이가 낮을 수록, post-CMP 두께가 두꺼울수록 더 많은 질화막 잔존물이 생성되는 반면에, 트렌치 깊이가 깊을수록, 과도 연마가 진행될수록 실리콘 손상이 더 심함을 알 수 있다. 따라서 질화막 잔존물과 실리콘(또는 패드 산화막) 손상은 post CMP 두께와 트렌치 깊이에 밀접한 관계가 있다고 결론 지을 수 있다. 따라서 Post CMP 두께는 패드 산화막 손상과 질화막 잔존과 같은 결함들을 방지하기 위해 적절한 범위 내에서 조절되어야함을 알 수 있다. 여기서 중요한 점은 질화막 잔존현상과 패드 산화막 손상을 모두 만족시킬 수 있는 CMP 두께를 조절하기가 어렵다는 것이다. 이런 이유 때문에 reverse moat 식각에서 과도 식각은 CMP 공정여유(process margin)를 확보하기 위해 필수적이다. 만약 CMP 공정 전에 moat 표면 위에 남아 있는 산화막을 제거할 수 있다면 CMP 두께를 조절하기가 더 용이해질 것이다.

표 2. 트렌치 깊이와 post CMP 두께 변화에 따른 실험결과

Table 2. Summary of experimental results as a function of trench depth and post CMP thickness.

Trench Depth	Post CMP Thickness	Result	Remark
Low (4000 Å)	6000 Å	Nitride Residue	* Normal CMP Thickness : 6000 Å ~ 6500 Å
Normal (5000 Å)	6500 Å	Nitride Residue	** Normal Trench Depth : 5000 Å
High (6000 Å)	5700 Å	Silicon Damage	

마지막으로 H₃PO₄ 디핑(dipping) 공정 동안 질화막 스트립을 방지하는 capping 층으로 작용하는 산화막 잔존물의 제거에 대해 고찰하였다. reverse moat의 습식 식각 공정에서 EPD(end point detection) 조건은 과도식각(over etch), 정상식각(normal etch), under-etch로 스플릿하였다. 산화막 잔존물이 남아 있는지 안 남았는지를 관찰하기 위해 활성 영역의 moat 표면을 분석한 결과 reverse moat 식각 공정에서는 질화막 잔존물의 근원을 초기에 제거하기 위해 과도 식각이 더 좋다고 생각된다. 즉, 위의 두 제한된 요인 사이에서 CMP 두께를 조절하기가 매우 어렵기 때문에 reverse moat 식각 공정에서 과도 식각이 최적화를 위해 추가되어야 할 것으로 생각된다.

4. 결 론

post CMP 두께와 STI 트렌치 깊이를 조절함으로써 STI-CMP 공정의 최적화가 얻어졌다. 위의 두 제한조건 (post CMP 두께와 STI 트렌치 깊이) 하에서의 공정 여유를 확보하기 위해 reverse moat 식각에서의 산화막 제거가 최적 조건을 얻기 위해 공정에 추가되어야 함을 알 수 있었다. 최적화를 위해 질화막 잔존물과 실리콘(또는 패드 산화막) 손상과 같은 결함들을 고려하였다. 실험 결과에 의하면 트렌치 깊이가 낮을 수록, CMP 두께가 두꺼울수록 더 많은 질화막 잔존물이 생성된 반면에 트렌치 깊이가 깊을 수록, 과도 연마가 진행될수록 패드 산화막의 손상이 더 심하게 나타났다. 즉, 위의 상반된 두 요인을 조절하는 것은 STI-CMP 공정에 있어서 필수적임을 알 수 있었다. 위의 두 제한된 요인 사이에서 CMP 두께를 조절하기가 매우 어렵기 때문에 reverse moat 식각 공정에서 과도 식각이 최적화를 위해 추가되어야 할 것으로 생각된다.

참 고 문 헌

- [1] J. Jui "Scaling limitation of submicron LOCOS technology", Tech. Dig. IEDM, p.392, 1985.
- [2] P. Sallagoity, F. Gaillard, M. Rivoire, M. Paoli and F. Martin, "STI process steps for sub-quarter micron CMOS", Microelectron. Reliability, Vol. 38, No. 2, pp. 271-276, 1998.
- [3] 김상용, 서용진, 김태형, 이우선, 김창일, 장의구, "Chemical Mechanical Polishing(CMP) 공정을 이용한 Multilevel Metal 구조의 광역 평탄화에 관한 연구", 한국전기전자재료학회 논문지, Vol.11, No.12, pp.1084-1090, 1998.
- [4] K. Smekalin, "CMP dishing effects in shallow trench isolation", Solid State Technology, pp. 187-194, 1997.
- [5] 서용진, 정현상, 김상용, 이우선, 이강현, 장의구, "STI-CMP 공정에서 Torn oxide 결함 해결에 관한 연구", 한국전기전자재료학회 논문지, Vol. 14, No. 1, pp. 1-5, 2001.
- [6] 김상용, 서용진, 이우선, 장의구, "실리콘 웨이퍼 위에 증착된 실리케이트 산화막의 CMP 슬러리 오염 특성", 한국전기전자재료학회 논문지, Vol. 13. No.2, pp. 131-136, 2000.
- [7] 서용진, 김상용, 이우선, 장의구 " STI-CMP 공정을 위한 pattern wafer와 blanket wafer 사이의 특성 연구", 한국전기전자재료학회 춘계학술대회 논문집, pp 211-213, (99. 5. 28)
- [8] Sang-Yong Kim, et al., "Study of chemical mechanical polishing on shallow trench isolation to obtain low defect," Electrochemical Society Proceedings. Vol. 99-2, pp.215-219, 1999.
- [9] C.P. Chang et al., "A Highly Manufacturable Corner Rounding Solution for 0.18um Shallow Trench Isolation", IEDM Tech. Dig., pp. 661-664, 1997.
- [10] H.W. Chiou and L.J. Chen, "Optimum-Oriented Pad Control of Chemical Mechanical Polish Non-Uniformity", CMP-MIC conference, pp. 285-288, Feb. 1998.
- [11] Nagahara et al., "The effect of slurry particle size on defect levels for a BPSG CMP process". VMIC conference, pp. 443, Jun., 1996.

저 자 소 개



이 우 선 (李 愚 宣)

1952년 1월 23일 생. 1974년 조선대 전기공학과 졸업. 1984년 중앙대 대학원 전기공학과(공박). 1982년 매사추세츠 주립대 IBRD 교환교수. 1989년 Purde Univ. 과학재단과건 포스터 닥터. 현재 조선대 전기

공학과 교수

Tel : 062-230-7024, Fax : 062-232-9218

E-mail : wslee@mail.chosun.ac.kr



김 상 용 (金 相 用)

1990.1~1996 현대전자 반도체연구소 CVD/PVD 담당 주임연구원. 1M,4M,64M Memory 반도체개발(PVD/CVD담당). CMP공정개발. 1996.11~아남반도체(주) CMP Man-ager



장 의 구 (張 宜 久)

1943년 3월 9일생. 1972년 2월 중앙대 전기공학과 졸업. 1975년 2월 중앙대 대학원 전기공학과 졸업(석사). 1983년 2월 동 대학원 전기공학과 졸업(공박). 1987년 1월 -1988년 1월 Arizona 주립대 연구교수. 현재 중앙대 전기공학과 교수.

Tel : 02-820-5288, Fax : 02-825-8752

E-mail : changeg@cau.ac.kr



서 용 진 (徐 龍 辰)

1964년 2월 13일 생. 1987년 중앙대 공대 전기공학과 졸업. 1989년 동 대학원 전기공학과 졸업(석사). 1994년 동 대학원 전기공학과 졸업(공박). 1999년~2000년 Univ. of North Carolina at Charlotte (UNCC) 과학

재단 Post-doctoral Fellow. 현재 대불대 전기공학과 조교수. 관심분야 : Chemical Mechanical Polishing (CMP) 공정, Silicon based nanoelectronics.

Tel : 061-469-1260, Fax : 061-469-1265

E-mail : syj@mail.daebul.ac.kr