

저전력과 고속 록킹 알고리즘을 갖는 DLL(Delay-Locked Loop) 설계

정희원 경 영 자*, 이 광 희**, 손 상 희***

A Design of DLL(Delay-Locked-Loop) with Low Power & High Speed locking Algorithm

Young-Ja Kyoung*, Kwang-Hee Lee**, Sang-Hee Son*** *Regular Members*

요 약

본 논문에서는 새로운 locking 알고리즘을 사용하여 저전력의 특성을 가지면서 locking 속도가 빠른 Register Controlled DLL(Delay-Locked Loop)을 설계하였다. Locking 속도의 향상을 위해 제안한 알고리즘은 coarse와 fine controller를 각각 동작시키는 것으로, phase detector에서 출력되는 up/down 신호를 먼저 coarse controller에 인가하여 외부 클럭과 내부 클럭의 큰 위상차를 줄이고, coarse controller를 고정시킨 상태에서 up/down 신호를 fine controller에 인가하여 미세 지연 시간을 조정하도록 하는 것이다. 또한 제안한 DLL은 dual controller를 사용하지만 locking 동작시 한 개의 controller만 동작하므로 소비 전력을 줄일 수 있었으며 lock indicator를 사용하여 좋은 jitter 특성을 보였다. 제안한 DLL은 0.6 μ m CMOS 공정 파라메타를 이용하여 설계하였고, SPICE 모의실험결과 50MHz에서 200MHz까지 동작하였다. 200MHz 동작시 소비되는 전류는 15mA이며 모든 주파수에서 7 주기 이내에 locking 되었다.

ABSTRACT

This paper describes the design of the Register Controlled DLL(Delay-Locked Loop) that achieves fast locking and low power consumption using a new locking algorithm. A fashion for a fast locking speed is that controls the two controller in sequence. The up/down signal due to clock skew between a internal and a external clock in phase detector, first adjusts a large phase difference in coarse controller and then adjusts a small phase difference in fine controller. A way for a low power consumption is that only operates one controller at once. Moreover the proposed DLL shows better jitter performance because using the lock indicator circuit. The proposed DLL circuit is operated from 50MHz to 200MHz by SPICE simulation. The estimated power dissipation is 15mA at 200MHz in 3.3V operation. The locking time is within 7 cycle at all of operating frequency.

I. 서 론

최근 반도체 분야에서의 마이크로 프로세서와 같은 비메모리 칩들과 DRAM과 같은 주 메모리의 설계 양상은 매우 다른 방향으로 발전해 왔다. LSI

칩들은 현재 수백MHz 수준의 빠른 속도로 동작하는데 초점을 두고 발전되고 있는 반면 컴퓨터 뿐 아니라 주변기기도 많은 응용 분야를 가지고 있는 메모리의 발전은 집적도 분야에서만 발전을 거듭해 왔다. 이러한 서로 다른 방향으로의 발전은 최근에

* (주)지터정보시스템(kyung@gtis.co.kr)

** 청주대학교 전자공학과(mun0310@chongju.ac.kr)

*** 청주대학교 정보통신 공학부(shson@chongju.ac.kr)

논문번호 : K01157-0702, 접수일자 : 2001년 7월 2일

※ 본 논문은 청주대학교 정보통신 연구센터의 연구비 지원에 의해 수행 되었음.

※ 본논문은 반도체 설계 교육 센터의 부분적인 지원을 받아 이루어졌음.

와서 두 칩들간의 동작 속도에 엄청난 차이를 초래하여 시스템 전체의 성능저하로 이어졌다^[1]. 고속의 데이터 전송을 위해서는 클럭에서 데이터 출력까지의 시간을 줄여야 하는데, 이는 데이터가 입력 버퍼를 지난 내부 클럭에 동기 되어 출력되며, 입력 버퍼를 거친 내부 클럭은 큰 부하 커패시턴스를 구동하므로 입력 버퍼와 클럭 구동 드라이버에서 발생하는 신호 지연은 데이터 액세스 시간의 손해로 나타나기 때문이다. 따라서 내부 클럭 지연을 제거하기 위해 외부 클럭과 내부 클럭의 위상이 일치하도록 해야 하는데 이를 실현하기 위해 클럭 및 데이터 복구회로(clock recovery circuit)가 널리 사용되고 있다. 클럭 스큐를 제거하는 회로에 대한 연구는 크게 PLL(Phase-Locked Loop)를 이용한 것과 DLL(Delay-Locked Loop)를 이용한 것으로 나눌 수 있는데 DLL은 PLL보다 치수가 낮고 위상 오차의 누적이 없기 때문에 DRAM과 같이 주파수를 체배 할 필요가 없는 경우에 사용하는 것이 일반적이다^[2]. DLL은 delay time을 변화시켜 내부 클럭과 외부 클럭을 동기화 시키므로 delay를 조절할 수 있는 VDL(Variable Delay Line)이 필요하다. VDL은 DLL의 성능을 결정하는 가장 중요한 블록이다.

VDL의 종류에 따라 DLL은 Analog DLL(그림 1 (a))과 Digital DLL로 나눌 수 있고, Digital DLL은 다시 Measure Controlled DLL(그림 1 (b))과 Register Controlled DLL(그림 1 (c))로 나눌 수 있다. Analog DLL은 delay cell의 delay time을 변화 시킴으로써 전체 delay를 변화시키게 된다. 그러므로 전체 delay time이 연속적이기 때문에 클럭 스큐와 jitter가 작은 반면, locking 속도가 느리고 전력 소모가 큰 단점이 있다. 반면, Digital DLL은 delay cell의 수를 변화시켜 전체 delay time을 조정하게 된다. 그러므로 delay time이 연속적이지 못하여 최소 지터가 delay cell의 delay time으로 제한된다. 그중 Measure Controlled DLL은 locking 속도는 빠르나 피드 백 루프(feed back loop)가 없기 때문에 locking이 되고 나서 클럭 스큐가 크게 발생하면 이에 대해서 반응하지 못한다. 때문에 클럭 스큐가 큰 단점이 있다^[3]. Register Controlled DLL은 phase detector를 사용함으로써 외부 클럭에 대해 적응적으로 동작한다. 그러므로 Measure Controlled DLL보다 클럭 스큐가 작다. 그러나 locking이 될 때까지 외부 클럭과 내부 클럭을 비교하면서 루프를 돌기 때문에 Measure Controlled DLL보다

locking 속도가 느리다^[4]. VDL과 함께 고려해 주어야 할 문제는 locking time이다. 이는 DLL의 응답치에 따라 locking time에 제한이 있는 경우가 있기 때문이다. 예를 들면 현재 사용하고 있는 DRAM의 경우 200cycle안에 locking이 되어야 한다. 본 논문에서는 Register Controlled DLL의 구조에 새로운 locking 알고리즘을 사용하여 빠른 locking time과 적은 소비전력을 가지고 스큐에 대해 효율적으로 동작하는 회로를 설계하였다.

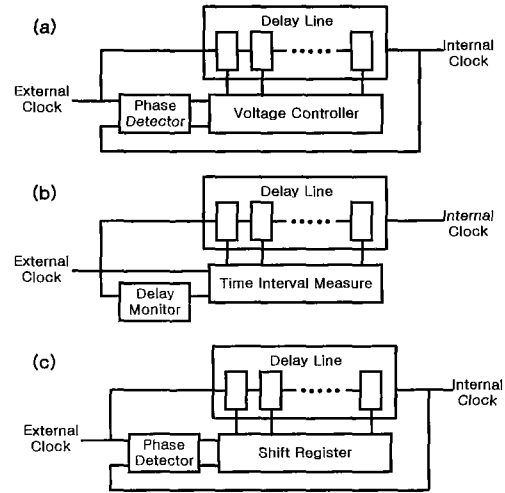


그림 1. 기존 DLL의 블록도 (a)Analog DLL (b)Measure Controlled DLL (c)Register Controlled DLL

II. 제안한 록킹 알고리즘과 DLL 설계

그림 2는 일반적인 delay controller는 coarse와 fine으로 나뉘며, 6-bit ring counter로 이루어져 있다. 이는 phase detector에서 나오는 신호를 받아 적절한 위치까지 1(logic high)의 위치를 이동시키는데 이 1의 위치가 delay time을 결정하게 된다. 넓은 locking range를 갖기 위해 delay line은 fine, coarse의 이중 구조를 사용하는데 coarse delay cell 하나의 크기는 fine delay cell 크기에 6배이다. 따라서 일반적인 delay controller의 구조에서는 외부 클럭과 내부 클럭의 위상차가 큰 경우 여러번 루프를 돌아야 하므로 locking time이 길어지고 dual controller를 동시에 사용하므로 소모전력이 많다.

그림 3은 delay line으로 nand와 inverter로 구성 하였으며, delay controller에서 나오는 신호(C0~C5)에 의해 외부 클럭에 delay를 가하여 내부 클럭을 발생시킨다.

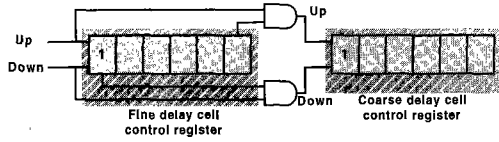


그림 2. 기존 DLL의 delay controller 블록도

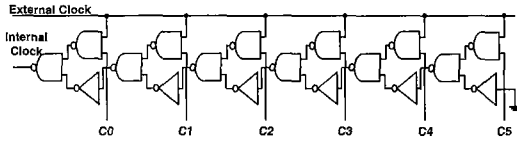


그림 3. Delay line

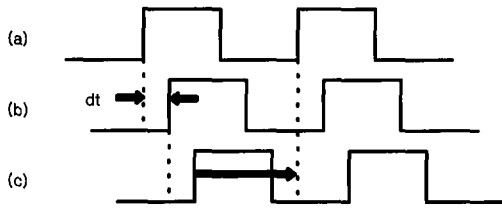


그림 4. 기존 DLL에 외부 클럭이 인가되었을 때 delay cell의 출력 (a) 외부 클럭 (b) delay cell 1개를 통과했을 때 (c) delay cell 2개를 통과했을 때

그림 4는 기존의 DLL에서 외부 클럭이 delay cell을 1개(b) 또는 2개(c) 통과했을 때의 파형을 나타내고 있다. 그림에서 dt는 delay cell 하나의 delay time이다. 그러므로 입력 버퍼 및 내부 지연 시간을 무시할 때 locking이 되기 위해 DLL이 외부 클럭을 지연시켜야 할 delay time은 외부 클럭의 한 주기 또는 한 주기의 정수 배이다. 본 논문에서는 이러한 문제점을 해결하기 위해서 RDLL 구조에 새로운 locking 알고리즘을 적용하여 보다 효율적으로 동기를 이루

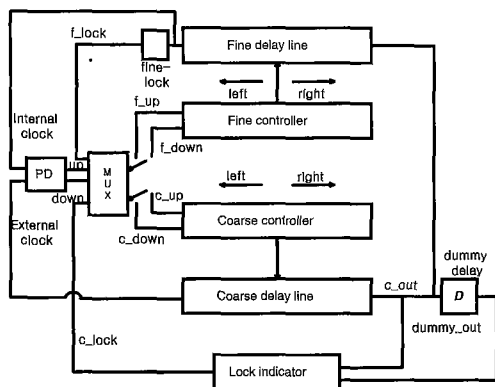


그림 5. 본 논문에서 제안한 DLL 회로 구조

도록 하였다. 그림 5는 제안한 DLL의 구조이다. 회로의 구성은 PD, delay controller, delay line, lock indicator, MUX로 구성된다. 사용한 PD는 외부 클럭과 내부 클럭의 rising edge를 비교하여 up, down 펄스를 출력한다^[5]. 외부 클럭의 rising edge가 내부 클럭의 rising edge보다 빠르면 delay를 줄이기 위해 down 펄스가 발생되고, 반대로 내부 클럭의 rising edge가 외부 클럭의 rising edge보다 빠르면 delay를 증가시키기 위해서 up 펄스가 발생된다^{[6][7]}.

1. 저전력 동작 설계

그림 6은 소비전력을 줄이기 위해 사용된 dual controller의 구조다. 기존의 RDLL의 경우 넓은 locking range를 갖기 위해서 dual delay line을 사용하였다. 이는 dual controller가 사용됨을 의미하는데 일반적인 delay controller는 링 카운터(ring counter)로 구성되어있어 그만큼 플립플롭 수의 증가를 가져오게 되므로 소비전력이 증가하게 된다. 따라서 본 논문에서는 dual delay line과 이를 제어하는 dual controller를 갖지만 locking 동작시 한 개의 controller만이 동작하도록 함으로써 소비전력을 감소시킬 수 있다. MUX에서 나오는 up/down 신호는 초기상태에 coarse controller로 입력되며, 이 신호에 의해 coarse controller는 1의 위치를 shift하게 된다. shift 동작을 통해 coarse delay를 조정하고 coarse controller가 더 이상 정확한 delay를 맞추지 못하면 lock indicator에 의해 발생한 c_lock 신호가 MUX에 들어가 up/down 신호의 경로를 fine controller로 바꿈과 동시에 coarse controller의 clear단자로 들어가 coarse controller의 동작을 멈추게 한다. MUX에서 나오는 신호는 fine controller로 보내져 미세 조정을 함으로써 locking을 시키게 된다. 그리고 내부 클럭과 외부 클럭이 동기 되면, fine lock indicator에서 f_lock 신호가 발생되고 이 신호에 의해 더 이상 MUX는 PD에서 나오는 up/down신호를 delay

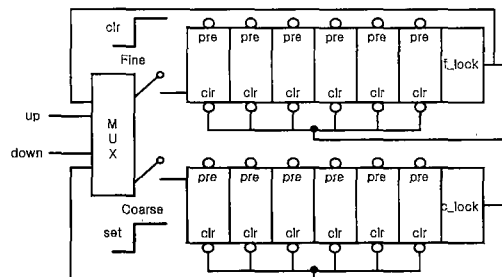


그림 6. 저전력을 위한 register controller

controller로 보내지 않음으로써 지터를 줄일 수 있다. 이러한 locking 알고리즘의 사용으로 소비전력과 clock skew를 줄일 수 있다.

2. 빠른 locking 동작 설계

기존의 RDLL의 경우 fine delay를 먼저 동작시키기 때문에 위상차가 큰 경우 locking time이 길어지는 단점을 가지고 있었다. 따라서 본 회로는 MUX를 이용하여 초기상태에 up/down 신호가 coarse controller에 전달되도록 하여 외부 클럭을 coarse delay line을 먼저 거치게 한다. 예를 들어 그림 7과 같이 내부 클럭과 외부 클럭의 위상차가 6.2ns이고 coarse delay cell 1개의 delay 크기가 1.2ns이며 fine delay cell 1개의 크기가 0.2ns일 때 기존의 RDLL 방법을 사용하면 fine delay cell 6개를 다 돌았을 경우 1.2ns의 위상차를 맞추어줄 수 있기 때문에 외부 클럭이 31번 루프를 돌아야 동기가 이루어진다. 그러나 제안한 DLL을 이용하면 초기 동작을 delay 크기가 큰 coarse controller부터 동작하므로 coarse cell 5번 fine cell 1번, 즉 외부 클럭의 6주기 안에 lock을 이룰 수 있다

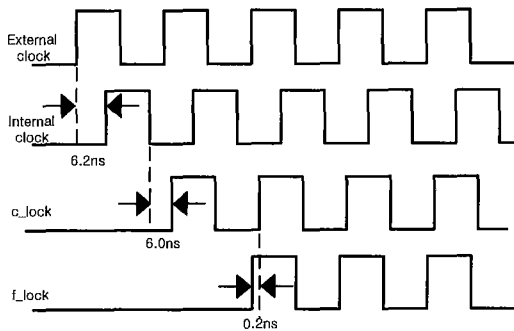


그림 7. 빠른 locking 속도를 설명하기 위한 타이밍도

새로운 locking 알고리즘을 사용한 회로의 동작 파형은 그림 8과 같다. 외부 클럭(a)가 내부 클럭(b)보다 느리므로 PD는 down 신호를 내보낸다. PD에서 나온 up/down 신호는 delay controller로 보내지기 전에 MUX에 의해 경로가 결정된다. 초기상태에서 MUX가 coarse controller에 전달되도록 설정하여 외부 클럭은 coarse delay line을 거치게 된다. 여전히 외부 클럭이 내부 클럭보다 느리므로(c) coarse controller에 down 신호가 가해진다. 이번에는 내부 클럭이 외부 클럭보다 빠르므로(d) PD는 up 신호를 coarse controller로 보내게 되는데 이것은 delay cell의 크기가 큰 coarse delay로 더 이상의 동기를 이룰

수 없음을 뜻하므로 미세 조종을 할 수 있는 fine controller를 동작시켜야 한다. 이 역할을 MUX가 하는데 coarse controller가 up에서 down으로 또는 down에서 up으로 바뀌면 coarse lock_indicator에서 c_lock 신호를 발생하며, 이 신호에 의해 up/down 신호의 경로가 fine controller로 바뀌게 된다. 그리고 coarse controller는 고정되게 된다. fine controller는 up/down 신호에 의해 shift 동작을 하며, 내부 클럭과 외부 클럭이 동기를 이루게 되면(e) jitter를 줄이기 위해 구성한 fine lock_indicator가 f_lock 신호를 발생하게 된다. MUX는 f_lock 신호에 의해 PD에서 나오는 up/down 신호를 더 이상 controller로 내보내지 않는다.

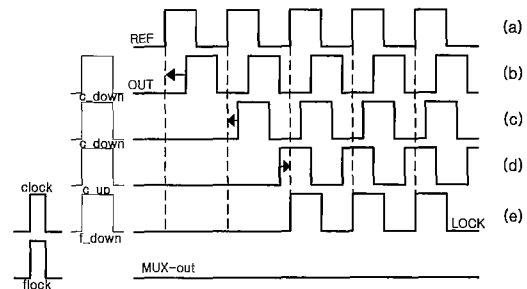


그림 8. 제안한 새로운 locking 알고리즘에 따른 동작 파형도

III. 모의실험 결과

위에서 기술한 RDLL을 0.6μm technology를 사용

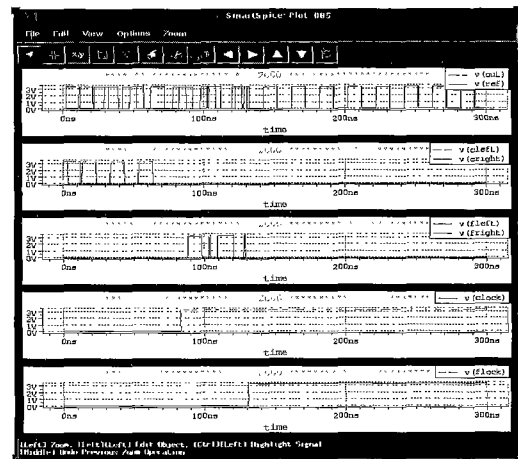


그림 9. 입력클럭이 50MHz일 때 locking 동작 (순서대로 외부클럭 & 내부클럭, MUX의 출력 (coarse_up/down & fine_up/down), coarse lock_indicator, fine_lock indicator)

하여 Smart SPICE로 설계하고 모의 실험하였다. 그림 9에서 그림 11은 제한한 locking 알고리즘을 확인하기 위해 lock-indicator, MUX, f_lock파형을 보여주고 있다. 50MHz에서는 외부 클럭을 가한지 7주기만에 locking 되었고 200MHz에서는 4주기만에 lock을 이룰 수 있었다. 설계한 DLL의 성능은 표 1에 제시하였다.

표 1. DLL 특성 요약

Items	Values
Locking frequency range	50MHz ~200MHz
Power consumption	15mA at 200MHz
Supply voltage	3.3V
Skew	200ps at 200MHz
Locking time	~7 cycles

IV. 결론

새로운 locking 알고리즘을 이용하여 locking time이 빠르고 소모전력을 줄인 DLL을 설계하였다. 제한한 locking 알고리즘은 기존의 DLL locking 방식처럼 dual delay controller를 사용하지만 PD에서 나오는 up/down 출력을 MUX로 제어하여 delay pass를 결정함으로써 한번에 한 개의 delay controller만을 사용함으로써 소비전력을 줄일 수 있었고, 초기상태를 coarse controller가 동작하도록 하여 위상차가 큰 경우에도 빠르게 locking 되도록 하였다. 설계한 RDLL은 50MHz~200MHz의 범위에서 7 cycle안에 locking이 되었다. 200MHz의 외부 입력이 인가되었을 때 소비전류는 15mA이며, 200ps 이내의 위상오차가 발생하였다.

참고 문헌

- [1] B. S. Kim, "High speed clock recovery in VLSI using hybrid analog/digital techniques," Memorendum NO.. UCB/ERL M90/50 College of Eng. Univ. of California, Berkeley, June 1989
- [2] Bruno W. Garlepp, et. al., "A Portable Digital DLL Architecture for CMOS Interface Circuit", Symposium on VLSI Circuit Digest of Technical Papers, 1998.
- [3] T. Saeki, Y. Nakaoka, M. Fujita, A. Tanaka, et. al., "A 2.5-ns clock access, 250MHz, 256Mb SDRAM with synchronous mirror delay", IEEE J. Solid-State Circuit, vol. 31, pp. 1656-1668, Nov. 1996.
- [4] Yoshinori OKAJIMA, et. al., "Digital Delay Locked Loop and Design Technique for High-speed Synchronous Interface", Special Issue on ULSI Memory Technology.

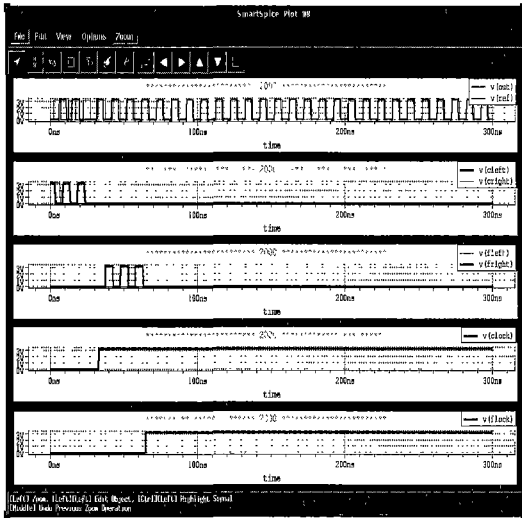


그림 10. 입력클럭이 100MHz일 때 locking 동작 (순서대로 외부클럭 & 내부클럭, MUX의 출력 (coarse_up/down & fine_up/down), coarse lock_indicator, fine_lock indicator)

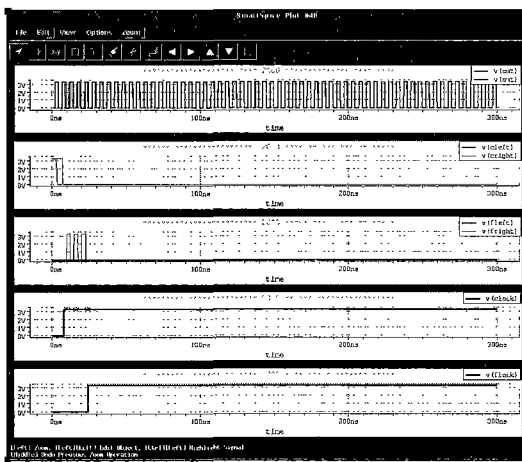
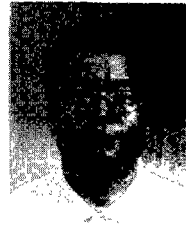


그림 11. 입력클럭이 200MHz일 때 locking 동작 (순서대로 외부클럭 & 내부클럭, MUX의 출력 (coarse_up/down & fine_up/down), coarse lock_indicator, fine_lock indicator)

- [5] Hirotaka Tamura, et. al., "Partial response detection technique for driver power reduction in high-speed memory-to-processor communications", ISSCC Digest of Technical Paper, pp.342-343, Feb., 1996.
- [6] Kohtaroh Gotoh, et. al., "All-digital multiphase delay locked loop for internal timing generation in embedded and/or high-speed DRAMs." Symposium on VLSI Circuit Digest of Technical Paper, pp. 107-108, June, 1996.
- [7] I.A.Young, J.K.Wong, "A PLL Clock Generator with 5 to 110 MHz of Lock Range for Microprocessors, JSSC, VOL.27, pp.1599-1607, Nov,1992.

손 상 희(Sang-Hee Son)

정회원



1988년 8월 : 한양대학교
전자공학과 박사
1988년 9월~1991년 2월 :
순천향대학교 전산학과
전임강사
1991년 3월~현재 : 청주대학교
정보통신 공학부 교수

<주관심 분야> 고주파 아날로그 CMOS회로 설계,
저전력 CMOS 회로 설계, 고속 디지털
CMOS 시스템 설계,

경 영 자(Young-Ja Kyoung)

정회원



1999년 2월 : 청주대학교
반도체공학과 학사
2001년 2월 : 청주대학교
전자공학과 석사
2001년 2월~현재 : 지티정보
시스템 연구원
<주관심 분야> 고속 디지털
시스템 설계

이 광 희(Kwang-Hee Lee)

정회원



2000년 2월 : 청주대학교
전정반공학부 학사
2000년 2월~현재 : 청주대학교
전공학과 석사과정
<주관심 분야> 고속 디지털 시
스템 설계, 고주파 아날
로그 회로 설계