

# 디지털 위성방송 수신용 복조기를 위한 반송파 복원 회로 설계

정회원 하창우\*, 이완범\*, 김형균\*\*, 김환용\*

## Design of Carrier Recovery Loop for Receiving Demodulator in Digital Satellite Broadcasting

Chang-Woo Ha\*, Wan-Bum Lee\*, Hyeoung-Kyun Kim\*\*, Hwan-Yong Kim\* *Regular Members*

### 요 약

디지털 위성방송 수신용 QPSK 복조기에서 반송파 위상 오차의 발생으로 인한 문제점을 해결하기 위해서 반송파 복원 회로가 요구된다. 기존 반송파 복원 회로의 NCO(Numerically Controlled Oscillator)는 Look-up table을 갖는 구조로 되어있어 전력 소모가 큰 단점을 가지고 있다. 따라서 본 논문에서는 전력소모를 줄이기 위해 Look-up table을 사용하지 않는 조합 회로의 구조로 NCO를 설계하였다. 제안된 NCO의 소비 전력을 비교해보면 Look-up table을 사용한 NCO의 경우 175[μW]이고 새로운 구조의 NCO는 24.65[μW]의 결과로 전력소모가 약 1/8로 감소됨을 확인하였다. 또한, 설계한 반송파 복원 회로를 사용하여 위상 오차를 보정해 줄 수 있다는 것을 모의실험을 통해 확인하였다.

### ABSTRACT

In order to resolve problems according to the phase error in QPSK demodulator in the digital satellite broadcasting, the demodulator requires carrier recovery loop which searches for the frequency and phase of the carrier. In this paper the drawback of NCO of the conventional carrier recovery loop is to wastes a amount of power for the structure of Look-up table, we designed the structure of combinational logic without the Look-up table. In the comparison with dynamic power of the proposed NCO, the power of NCO with the Look-up table is 175[μW], NCO with the proposed structure is 24.65[μW]. As the result, it is recognized that loss power is reduced about one eighth. In the simulation of carrier recovery loop designed QPSK demodulator, it is known that the carrier phase is compensated.

### I. 서론

최근 위성 통신은 광역성의 장점 때문에 방송 및 이동 통신 등의 목적으로 많이 사용되고 있다. 이와 같은 세계적인 추세에 따라, 국내에서도 관련 기술의 확보와 난시청의 해소 등의 목적으로 1995년 무궁화 1호 위성발사에 이어 1996년 무궁화 2호 위성을 발사하였고 1999년에 무궁화 3호 위성을 발사하

면서 위성방송과 관련된 분야의 연구가 활발히 진행되고 있다<sup>[1][2]</sup>. 위성 방송에서 사용되는 변조기법은 전력 효율이 높은 QPSK(Quadrature Phase Shift Keying)방식의 위상 변조 기법이 많이 사용되고 있다<sup>[3][4]</sup>.

디지털 위성방송의 수신용 복조기에서는 신호의 전송시 송신단과 수신단 사이의 반송파 위상이 동기 되지 않아 위상 오차  $\theta$ 가 발생한다. 따라서 복

\* 원광대학교 전기전자 및 정보공학부 회로 및 시스템 연구실 (hacw305@yahoo.co.kr)

\*\* 아람 테크놀로지(주) 선임 연구원

논문번호 : 010083-0427, 접수일자 : 2001년 4월 27일

조된 심벌은 원 신호에  $e^{j\theta}$ 가 곱해진 형태로 변하게 되어 복소 평면상에서 변·복조단의 위상 오차  $\theta$ 만큼 회전을 하게 된다. 따라서 복원된 신호의 성상도(Constellation)의 회전으로 인해 수신된 심벌이 결정 구간의 경계를 지날 때마다 에러를 발생시키므로 성상도가 회전한다면 수신단 측에서는 정확한 성상도를 얻을 수가 없다. 따라서 위상에 정보를 가지는 QPSK 복조기의 경우에는 정확한 위상동기가 필수적이다<sup>[5], [7]</sup>. 반송파 복원 회로의 성능은 연산처리 비트수가 증가할수록 향상된다. 그러나 비트수가 증가할수록 하드웨어의 복잡도가 증가하므로 하드웨어의 복잡도와 시스템의 성능을 동시에 고려하여 비트수를 결정하여야 한다<sup>[7]</sup>.

본 논문에서는 이러한 원리를 고려하여 고정 소수점 모의실험을 통해 복조기의 최적 내부 처리 비트수를 결정하여 반송파 복원 회로를 설계하였고, 설계된 회로의 성능을 분석 평가하였다. 그리고 기존 반송파 복원 회로의 NCO는 Look-up table을 갖는 구조로 되어있어 전력 소모가 큰 단점을 가지고 있다<sup>[8], [11]</sup>. 따라서 본 논문에서는 전력소모를 줄이기 위해 Look-up table을 사용하지 않는 조합 회로의 구조로 NCO를 설계하였다. 그리고 설계한 반송파 복원 회로를 사용하여 위상 오차를 보정해 줄 수 있다는 것을 모의실험을 통해 확인하였다.

## II. 디지털 Phase-Locked Loop

### 1. 동기화 PLL

일반적으로 동기화 방식의 PLL의 구조는 그림 1과 같이 피드백 형태를 갖는다.

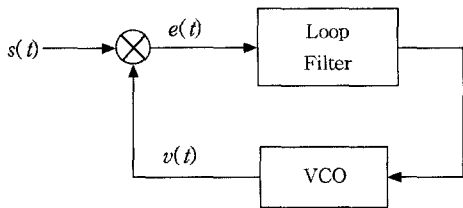


그림 1. PLL 구조의 피드백 시스템

피드백 구조의 PLL형태는 이전 위상과 현재 위상을 비교해서 에러를 제거하는 방식을 말한다. 일반적으로 동기 방식은 비동기 방식보다 약 3 dB 정도의 전력이득이 있다<sup>[3], [5]</sup>. 따라서, QPSK 방식의 수신기에서 주파수 오프셋과 반송파의 위상 보정을

위해 동기화 방식의 PLL을 많이 이용한다<sup>[4]</sup>.

### 2. 2차 디지털 PLL 구조

아날로그 2차 PLL의 시스템 함수는 식(1)과 같이 표현된다.

$$H(s) = \frac{2\xi\omega_n s + \omega_n^2}{s^2 + 2\xi\omega_n s + \omega_n^2} \quad (1)$$

식(1)에서,  $\omega_n$ 은 [rad/s]의 주파수이고,  $\xi$ 는 Damping factor이다. 식(1)을 다시 쌍 일차 z-변환(Bilinear z-transform)을 하면 식(2)와 같이 표현할 수 있다<sup>[3]</sup>.

$$H(z) = \frac{\hat{\Theta}(z)}{\Theta(z)} = \frac{b_0 + b_1 z^{-1} + b_2 z^{-2}}{a_0 + a_1 z^{-1} + a_2 z^{-2}} \quad (2)$$

$$\begin{aligned} a_0 &= 4(\omega_n T)^2 + \xi\omega_n T + 4 & b_0 &= (\omega_n T)^2 + 4\xi\omega_n T \\ a_1 &= 2(\omega_n T)^2 - 8 & b_1 &= 2(\omega_n T)^2 \\ a_2 &= (\omega_n T)^2 - 4\xi\omega_n T + 4 & b_2 &= (\omega_n T)^2 - 4\xi\omega_n T \end{aligned}$$

그리고, 아날로그 PLL과 같은 특성을 갖게 하기 위해 아날로그 선형 PLL의 모델에 있는 VCO 대신에 디지털 PLL에서는 그림 2처럼 NCO를 이용해 구성한다<sup>[4]</sup>.

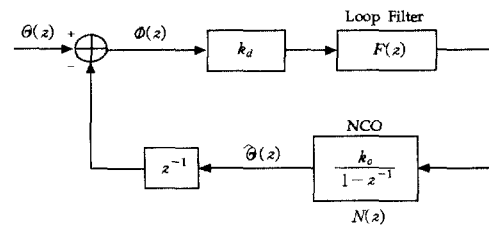


그림 2. 2차 디지털 PLL 모델

VCO는 적분기 형태로 모델화 되지만, NCO는 Accumulator 형태로 모델링 되어진다. NCO의 모델링 된 전달함수  $N(z)$ 는 식(3)과 같이 표현된다.

$$N(z) = \frac{k_o}{1-z^{-1}} \quad (3)$$

위의 식에서,  $k_o$ 는 출력 전압의 크기를 나타낸다. 그리고 디지털 PLL의 시스템 전달함수는 식(4)와 같이 나타낼 수 있다.

$$H(z) = \frac{k_d F(z) N(z)}{1 + k_d F(z) N(z) z^{-1}} \quad (4)$$

식(4)를 이용하여 루프 필터  $F(z)$ 를 표현하면, 식(5)와 같이 모델화 할 수 있다.

$$F(z) = \frac{1}{k_d k_o} \cdot \frac{H(z)(1-z^{-1})}{1-H(z)z^{-1}} \quad (5)$$

2차 디지털 PLL의 시스템 함수  $H_2(z)$ 는 식(3)과 식(5)를 식(4)에 대입하여 식(6)과 같이 표현 할 수 있다.

$$H_2(z) = \frac{k_d k_o (g_0 z^{-1} + g_1 z^{-2})}{1 + (k_d k_o g_0 - 2) z^{-1} + (k_d k_o g_1 + 1) z^{-2}} \quad (6)$$

식(6)은 정규화된  $H(z)$ 인 식(2)와 같으므로, 분모항의 계수값  $g_0$  와  $g_1$ 은 식(7)과 같이 된다.

$$g_0 = \frac{1}{k_d} k_o \left( \frac{a_1}{a_0} + 2 \right), g_1 = \frac{1}{k_d} k_o \left( \frac{a_2}{a_0} - 1 \right) \quad (7)$$

식(2)에서 정의된  $a_0, a_1, a_2$ 값을 식(7)에 대입하여  $g_0, g_1$ 값을 얻을 수 있고,  $g_0$  와  $g_1$ 을 다시 식(6)에 대입하여  $H_2(z)$ 를 구하여 2차 디지털 PLL을 설계할 수 있다<sup>[3][4]</sup>.

### III. 반송과 복원 회로 설계

디지털 위성방송 수신용 복조기의 반송과 복원 회로는 PLL구조를 사용하며 위상 검출기(Phase detector), 루프 필터(Loop filter), 저역통과 필터(Low-pass filter), 정합 필터(Matched filter), NCO로 구성되며 구조는 그림 3과 같다<sup>[5]</sup>.

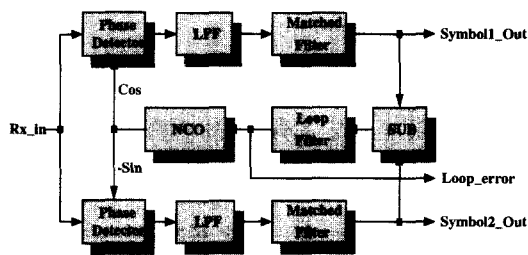


그림 3. 반송과 복원 회로의 전체 구조

#### 1. 위상 검출기 설계

위상 검출기는 반송과 복원 회로의 입력신호와

NCO의 출력신호의 곱셈 연산을 통해 신호를 출력하는 승산형(Multiplier) 위상 검출기를 이용하여 설계하였다. 위상 검출기의 입력신호  $s(t)$ 는 식(8)과 같이 표현할 수 있다.

$$s(t) = \sqrt{2P} \cdot \cos(2\pi f_c t + \theta(t)) + n(t) \quad (8)$$

NCO의 출력신호는 식(9)로 나타낼 수 있다.

$$v(t) = -V_o \sin(2\pi f_c t + \hat{\theta}(t)) \quad (9)$$

그리고 식(8)의 대역통과 잡음  $n(t)$ 는 식(10)으로 표현할 수 있다.

$$n(t) = n_d(t) \cos(2\pi f_c t) - n_q(t) \sin(2\pi f_c t) \quad (10)$$

위상 검출기의 출력  $e(t)$ 는 반송과 복원 회로의 입력신호와 NCO의 출력신호의 곱인 형태로 식(11)과 같이 나타낼 수 있다.

$$e(t) = \sqrt{\frac{P}{2}} V_o \sin(\theta(t) - \hat{\theta}(t)) + \frac{V_o n_d(t)}{2} \cos \hat{\theta}(t) - \frac{V_o n_q(t)}{2} \sin \hat{\theta}(t) \quad (11)$$

#### 2. 저역통과 필터 설계

저역통과 필터는 위상 검출기의 출력 신호를 입력신호로 하며, 시스템의 잡음제거 기능을 하는 Matched 필터의 기능을 보조하는 역할을 수행한다. 이상적인 저역통과 필터는 기저대역 신호와 잡음이 제거된 신호만을 통과시키는데, 기저대역 신호만 통과시키도록 설계하기 위해서는 많은 탭(tap)수를 필요로 한다. 탭 수가 많아지면 필터링 하는 성능은 우수하지만, 하드웨어 설계시 복잡해지는 단점을 가지므로 시스템의 성능에 영향을 주지 않을 정도의 탭 수를 결정해야 한다. 본 논문에서는 선형 위상

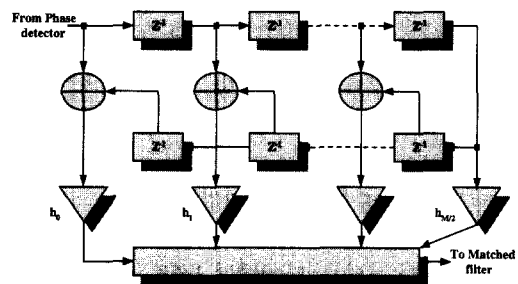


그림 4. 설계한 저역통과 필터 구조

응답 성능이 좋은 FIR 필터를 이용하여 설계하였다. 그리고 설계한 필터는 식(12)처럼 표현 가능하며 식(12)의 구조는 그림 4와 같다<sup>[12]</sup>.

$$H(z) = \sum_{m=0}^{(M/2)-1} h_m \{ Z^{-m} + Z^{-(M-m)} \} + h_{M/2} Z^{-M/2} \quad (12)$$

### 3. Matched 필터 설계

수신단에서 최대 출력 SNR을 얻기 위해서 입력 신호와 동일한 형태의 펄스를 발생시켜 입력신호를 필터링 하기 위해 사용되는 필터를 Matched 필터라 한다. 일반적으로 펄스 성형으로 Raised cosine 형태가 많이 사용되는데, 입력신호가 Raised cosine 펄스로 성형되는 경우 Matched 필터 또한 Raised cosine 펄스의 형태를 가진다. 그러나 성형 필터를 이용하여 대역폭을 제한하게 되면 주파수 영역 상에서는 원하는 스펙트럼을 얻을 수 있지만 시간 영역에서는 인접 심벌간의 간섭(ISI)이 발생하게 된다<sup>[2]9]</sup>. 따라서, 대역폭을 감소시키면서 심벌간의 간섭을 방지하기 위해서는 Nyquist criterion을 만족하는 펄스를 사용해야한다. 성형필터의 주파수 응답을  $x(j\omega)$ 라하고 심벌간의 시간 간격을  $T$ 라고 하면 Nyquist criterion은 식(13)과 같이 표현된다.

$$\frac{1}{T} \sum_{-\infty}^{\infty} X(j\omega - jm \frac{2\pi}{T}) = 1 \quad (13)$$

Nyquist criterion을 만족하는 성형필터는 여러 가지 형태로 나타낼 수 있는데, 그 중 많이 쓰이는 Raised cosine 필터의 임펄스 응답은 식(14)와 같다.

$$x(t) = \left[ \frac{\sin(\pi t/T)}{\pi t/T} \right] \left[ \frac{\cos(\alpha t/T)}{1 - (2\alpha t/T)^2} \right] \quad (14)$$

위의 식에서  $\alpha$ 는 롤-오프 계수(Roll-off factor)이다. 또한, 주파수 응답은 식(15)와 같이 표현할 수 있다.

$$X(j\omega) = \begin{cases} T, & 0 \leq |\omega| \leq (1-\alpha) \frac{\pi}{T} \\ \frac{T}{2} \left[ 1 - \sin \left[ \frac{T}{2\alpha} \left( |\omega| - \frac{\pi}{T} \right) \right] \right], & (1-\alpha) \frac{\pi}{T} \leq |\omega| \leq (1+\alpha) \frac{\pi}{T} \\ 0, & |\omega| > (1+\alpha) \frac{\pi}{T} \end{cases} \quad (15)$$

식(15)를 주파수 대역의 관점에서 보면,  $\alpha$ 가 0일 때 가장 적은 대역폭을 가지며, 이상적으로 대역 제한된 펄스가 된다.  $\alpha$ 가 0에서 1까지 변화함에 따라서 대역폭은 0%에서 100%까지 초과 대역폭을 가

지게 되며,  $\alpha$ 가 적을수록 동일한 대역의 채널로 전송할 수 있는 최대 심볼율이 커지게 된다. 그리고 시간영역에서 보면 펄스는 무한한 임펄스 응답을 가지지만  $\alpha$ 가 증가함에 따라서 Tail의 값이 감소하게 된다. 이러한 이유로 실제 응용에서는 FIR 필터로 근사화가 가능하고, DVB의 규격에서는  $\alpha$ 를 0.35로 정하고 있다.

Matched 필터를 구현하기 위해 탭 수와 계수 및 각 연산자의 비트수를 모의실험을 통하여 결정하였고, 모의실험은 Cadence사의 시뮬레이션 프로그램인 SPW를 이용하여 수행하였다. 그리고 Matched 필터의 탭 수를 결정하기 위해 탭 수를 변화시켜가면서 BER을 Checking 하였다. Matched 필터의 탭 수에 따른 BER 모의실험 결과는 그림 5와 같다.

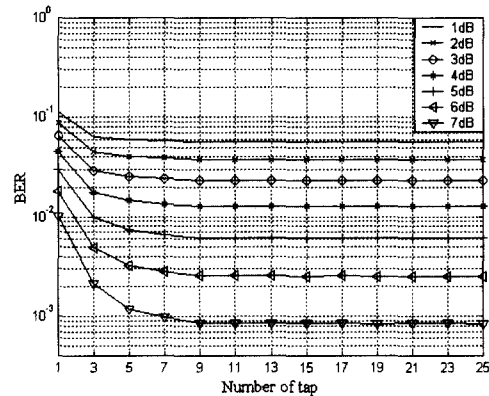


그림 5. Matched 필터의 탭 수에 따른 BER

모의실험 결과에서 보는바와 같이 롤-오프 계수가 0.35인 경우 탭 수가 9개 이상에서 BER값이 이상적인 값과 다른 차이를 보이지 않았다. 따라서 Matched 필터의 탭 수는 고정 소수점에서의 비트제한과 타이밍 에러 및 반송파 옵셋 등을 고려하여 15탭으로 결정하였다.

### 4. 루프 필터 설계

루프 필터는 위상 검출기에서 예측한 위상 오차 정보를 입력으로 하여 NCO를 구동하기 위한 제어 전압을 출력시키는 2차 루프 필터의 구조를 사용하였다. 실제 시스템에서는 위상 에러뿐만 아니라 주파수 에러도 동시에 존재하므로, 주파수 에러를 추적하기 위해서는 루프 필터를 사용하여야 한다. 루프 필터를 사용하면 주파수 옵셋을 추적 가능하게 할 뿐만 아니라, 검출한 에러의 가중 평균을 출력함

으로써 잡음도 제거하는 효과를 가진다. 그러므로 아날로그의 루프 필터는 적분기를 가지는 1차 저역 통과 필터를 가진 필터로 구성된다. 루프 필터의 아날로그 전달함수는 식(16)으로 표현된다<sup>[3][4]</sup>.

$$H(s) = (1 + T_2s) / (T_1s) \tag{16}$$

식(16)의 시스템 함수를 디지털 수식으로 표현하면 식(17)과 같다.

$$F(Z) = K_p + \frac{K_i}{(1 - Z^{-1})} \tag{17}$$

위 식의 계수 값  $K_p = (4 B_L / (1 + (1/4 \zeta^2))) / G_L$  이고,  $K_i = (2 B_L / (\zeta + (1/4 \zeta)))^2 / G_L$  이 된다. 여기서,  $G_L$ 은 루프의 이득이다. 설계한 2차 루프 필터 구조는 그림 6과 같다.

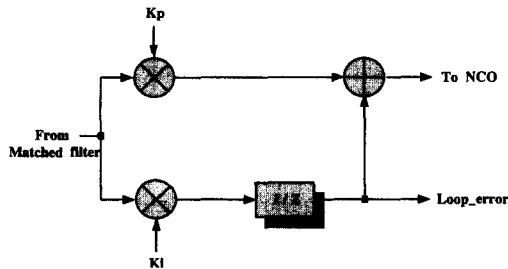


그림 6. 2차 루프 필터의 구조

반송파 복원 회로에서 루프 필터의 계수 값은 위상 추적 범위의 증가와 감소로 인한 잡음과 trade-off의 관계를 결정한다. 루프 필터의 계수 값  $K_p$ 와  $K_i$ 의 최적 조합을 결정하는 시뮬레이션 결과는  $K_p$ 의 값이 크게되면 빨리 수렴하게 되는 장점이 있으나, 수렴한 후 에러에 지터 현상이 발생하게 되

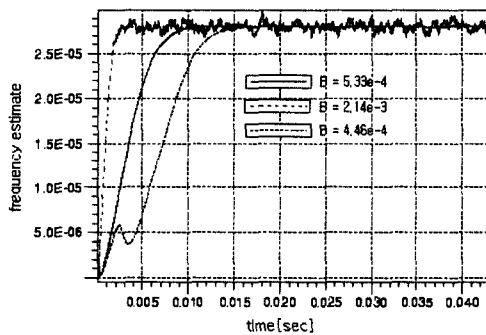


그림 7. 루프 필터 대역폭의 모의실험

고,  $K_p$ 값이 작은 경우는 수렴 후 에러의 지터는 작아지나 수렴하는 속도는 느려지는 단점을 갖는다.

두 이득 값의 모의실험을 통해  $K_p$ 와  $K_i$ 의 최적 조합을 찾아야 한다. 루프 필터의 대역폭 모의실험 결과는 그림 7과 같고 Damping factors 모의실험 결과는 그림 8과 같다.

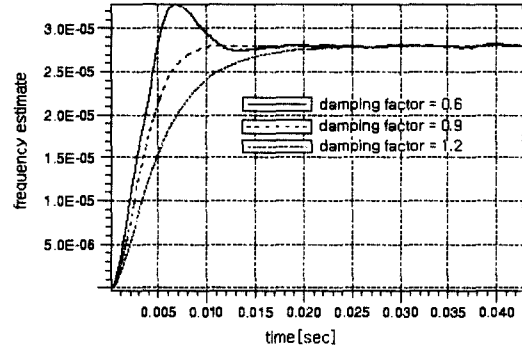


그림 8. 루프 필터 Damping factors의 모의실험

따라서, 위의 두 모의실험 결과 루프 필터의 대역폭은  $5.33 \times 10^{-4}$ , Damping factors는 0.9를 이용해서  $K_p = 6.0 \times 10^{-5}$ 와  $K_i = 3.02 \times 10^{-8}$ 로 설계하였다.

### 5. NCO 설계

반송파 복원 회로를 디지털로 구현하기 위해서는 Sine/Cosine파를 발생시키는 디지털 발진기가 필요한데 일반적으로 NCO를 사용한다. 주로 PLL을 쓰는 아날로그 방식과 비교할 때 NCO는 빠른 연속 위상 전이 반응과 높은 주파수 해상도, 넓은 대역폭 등의 우수한 성능을 보인다. 그동안 고속의 NCO를 적은 칩 면적에 구현하기 위한 연구가 진행되어 왔는데, 그 대부분은 Look-up table을 이용한 Sine/Cosine값들을 저장하는 방식이었다. 주파수의 정밀

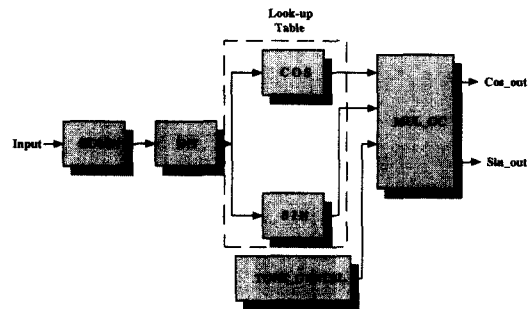


그림 9. 기존 NCO 구조

도를 높이기 위해서는 크기가 큰 Look-up table이 필요하므로 전력 소모가 큰 단점을 가지고 있다. 기존 반송과 복원 회로의 NCO는 그림 9와 같다<sup>[8]-[11]</sup>.

저전력 구조로 설계하기 위해 Look-up table을 사용하지 않는 새로운 구조의 NCO로 설계하였다.

NCO 입력신호의 위상 오차  $\Delta\theta \approx 0$  이라고 가정한다면 식(18)과 같이 표현할 수 있다.

$$\cos\Delta\theta + j\sin\Delta\theta \approx 1 + j\Delta\theta \quad (18)$$

NCO는 NCO 자체에 있는 기준 위상에 루프 필터의 출력인 위상 오차를 더하여 발전하며 식(19)와 같이 나타낼 수 있다.

$$\begin{aligned} & (\cos\theta + j\sin\theta)(\cos\Delta\theta + j\sin\Delta\theta) \\ &= (\cos\theta \cdot \cos\Delta\theta - \sin\theta \cdot \sin\Delta\theta) \\ & \quad + j(\sin\Delta\theta \cdot \cos\theta + \cos\Delta\theta \cdot \sin\theta) \\ & \approx (\cos\theta - \Delta\theta \cdot \sin\theta) + j(\Delta\theta \cdot \cos\theta + \sin\theta) \\ &= \Delta\theta(-\sin\theta + j\cos\theta) + (\cos\theta + j\sin\theta) \end{aligned} \quad (19)$$

그리고, 정규화를 위해 양변에 제곱을 취하고 Taylor 공식을 이용하여 식(20)과 같이 실제 정규화된 식으로 표현 할 수 있다.

$$\begin{aligned} \frac{1}{\sqrt{1+(\Delta\theta)^2}} &= f_n(\Delta\theta) \\ &= f(0) + f'(0)\Delta\theta + \frac{f''(0)}{2!}(\Delta\theta)^2 \\ & \quad + \dots + \frac{f^{(n)}(0)}{n!}(\Delta\theta)^n \\ & \approx 1 - \frac{1}{2}(\Delta\theta)^2 \end{aligned} \quad (20)$$

따라서 식(19)와 식(20)에 의해 Look-up table을 사용하지 않는 NCO를 구현할 수 있으며 제안된 Look-up table을 갖지 않는 새로운 NCO의 구조는 그림 10과 같다.

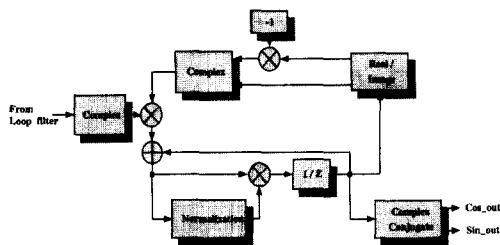


그림 10. 제안된 NCO 구조

제안된 NCO 구조는 VHDL로 Coding한 다음 Synopsys를 이용하여 회로 합성 및 모의 실험을 수행하였다. 모의실험 결과 제안된 NCO의 출력이 Sine과 Cosine파형으로 발전하는 것을 확인하였다. 제안된 NCO의 모의 실험 결과는 그림 11과 같다.

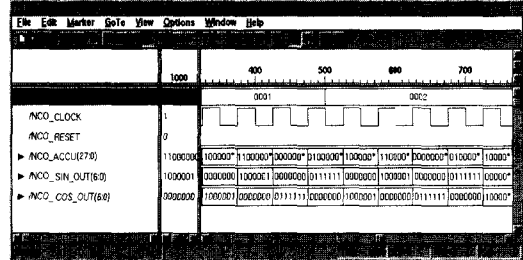


그림 11. 제안된 NCO 모의 실험 결과

#### IV. 설계 및 모의실험

디지털 위성방송 수신용 복조기를 위한 반송과 복원 회로의 설계는 먼저, Cossap을 이용해서 위성 방송 수신용 복조기의 반송과 복원 회로를 부동 소수점으로 모의실험을 수행한 후 최적의 비트수를 결정하여 고정 소수점으로 설계했다. 고정 소수점으로 설계한 반송과 복원 회로의 각 블록별 입, 출력 비트는 다음과 같이 구성 되어있다. 위상 검출기의 입력은 6비트 출력은 7비트이고, 루프 필터의 입력은 8비트 출력은 15비트로 구성 되어있으며, 저역통과 필터의 입력은 10비트 출력은 8비트이고, 그리고 Matched필터의 입력은 8비트 출력 또한 8비트로 구성 되어있다.

고정 소수점으로 설계한 회로의 모의실험 결과를 통해 성능 분석을 확인한 후 Cadence를 이용하여 4mm×4mm 0.6μm 2-poly 3-metal CMOS 80-QFP Full custom으로 설계했다. 설계한 반송과 복원 회로를 Cossap을 이용하여 모의실험 하기 위해 구성된 모델은 그림 12와 같다.

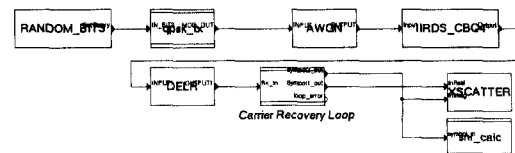


그림 12. 반송과 복원 회로의 모의실험 모델

모의실험을 수행한 결과 QPSK 변조된 신호는 AWGN(Additive White Gaussian Noise) 채널을 통과하면서 원래의 신호에 약 45°의 위상 오차가 발생을 하여 제안된 반송파 복원 회로에 입력되었다. 제안된 구조의 반송파 복원 회로에 입력된 초기 위상 오차의 성장도는 그림 13과 같다.

이러한 위상 오차성분은 반송파 복원 회로를 통과하면서 그림 14와 같이 본래의 신호 위치로 돌려지게 되는 결과를 확인했다.

설계된 반송파 복원 회로의 전체 구조는 그림 15와 같다.

그리고, 설계된 반송파 복원 회로의 전체 레이아웃은 그림 16과 같다.

### V. 결론

디지털 위성방송의 수신용 복조기에서는 신호의 전송시 송·수신단 사이의 반송파 위상이 동기되지 않아 위상 오차가 발생하면 복원된 신호의 성장

도의 회전으로 인해 에러를 발생시키므로 반송파 복원 회로를 사용하여 정확한 위상 동기를 수행해야 한다.

따라서 본 논문에서는 이러한 원리를 고려하여 고정 소수점 모의실험을 통해 반송파 복원 회로의 최적 내부 처리 비트수를 결정하여 설계하였으며, 설계된 회로의 성능을 분석 평가하였다. 기존 반송파 복원 회로의 NCO는 Look-up table을 갖는 구조로 되어있어 전력 소모가 큰 단점을 가지고 있다. 이러한 단점을 줄이기 위해서 Look-up table을 사용하지 않는 조합 회로의 구조로 NCO를 설계하였다. 제안한 구조의 소비 전력을 비교하기 위하여 기존의 NCO와 제안된 NCO를 VHDL로 Coding한 다음 Synopsys를 이용하여 회로 합성 및 모의 실험을 하였다. 그 결과, Look-up table을 사용한 기존 NCO의 경우 소비전력이 175[ $\mu$ W]이고, 제안된 구조의 NCO는 24.65[ $\mu$ W]로서 전력소모가 약 1/8로 감소됨을 확인하였다. 또한, 설계한 반송파 복원 회로를 사용하여 위상 오차를 보정해 줄 수 있다는 것

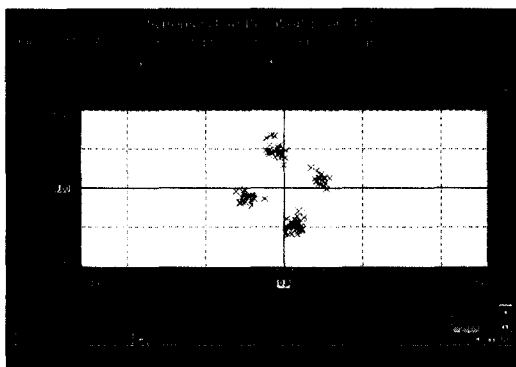


그림 13. 반송파 복원 회로의 초기 위상

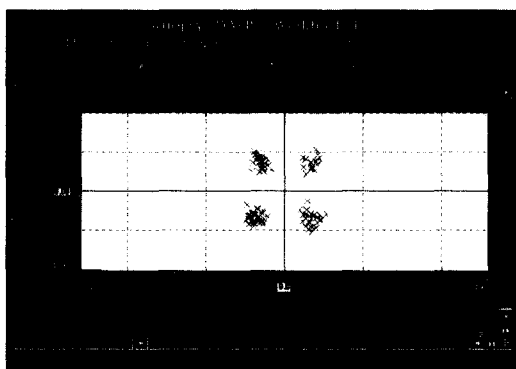


그림 14. 반송파 복원 회로의 출력 결과

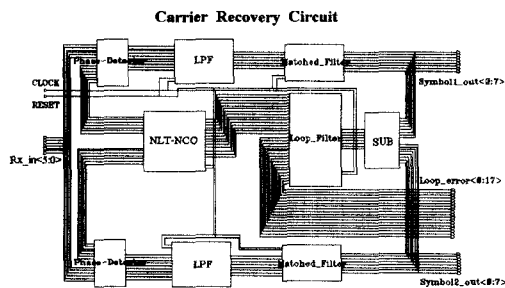


그림 15. 설계된 반송파 복원 회로의 전체 구조

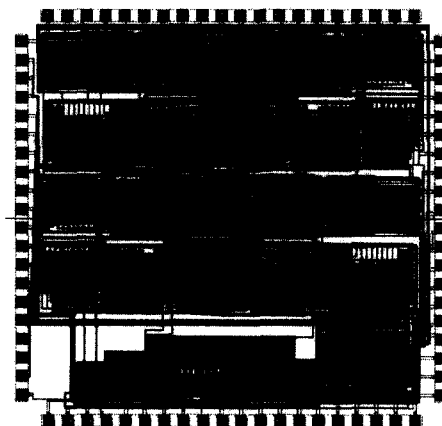


그림 16. 반송파 복원 회로의 레이아웃

을 모의실험을 통해 확인하였다.

참고 문헌

[1] T. Pratt and C. W. "Satellite Communications". New York, NY: *John Wiley & Sons*, 1986.

[2] John G. Proakis , "Digital Communications", 4th ed, New York, NY: *McGraw-Hill*, 2001.

[3] D. H. Wolaver, "Phase-Locked Loop Circuit Design", Englewood Cliffs, NJ: *Prentice-Hall*, 1991.

[4] J. Encinas, "Phase-Locked Loop", London, *Chapman & Hall*, 1993.

[5] Brian T. Kopp and William P. Osborne, "Phase Jitter in MPSK Carrier Tracking Loops: Analytical, Simulation, and Laboratory Results", *IEEE Trans. on Commun.*, Vol. 45, No. 11, Nov. 1997.

[6] VLSI TECHNOLOGY: Consumer & Industrial Products Division. cometas preliminary Datasheet VY 874123 : PSK Digital Demodulator. *Technical report*, 1994.

[7] Mehmet Soyuer et al., "Frequency Limitations of a Conventional Phase-Frequency Detector", *IEEE Journal of Solid-State Circuits*, Vol. 25, No. 4, pp. 1019-1022, Aug. 1990.

[8] Loke Kun Tan and Henry Samueli, "A 200 MHz quadrature digital synthesizer/mixer in 0.8- $\mu$ m CMOS", *IEEE J. Solid-State Circuits*, Vol. 30, No. 3, pp. 193-200, Mar. 1995.

[9] 이종선 외 2명, "병렬구조의 직접 디지털 주파수 합성기의 설계", *한국통신학회 논문지*, Vol. 21, No.12, pp. 3235-3245, Dec. 1996.

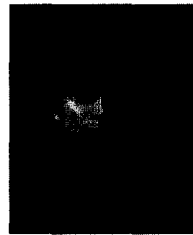
[10] AKihiro Yamagishi, "A 2-V 2-GHz Low-power Direct Digital Frequency Synthesizer Chip-set for Wireless Communication", *IEEE J. Solid-State Circuits*, Vol. 33, pp. 210-217, Feb. 1998.

[11] 김강주 외 2명, "A Study on High Resolution DDFS using CORDIC", *IDEC Conf.*, pp. 81-84, 2001.

[12] S. He, "FPGA Implementation of FIR Filters using Pipelined Bit-Serial Canonical Signed Digital Multipliers", *IEEE Custom Integrated Circuits Conf.* pp. 81-84, 1994.

하 창 우(Chang-Woo Ha)

정회원



2000년 2월 : 원광대학교 전자공학과 졸업  
 2000년 3월~현재 : 원광대학교 전자공학과 석사과정  
 <주관심 분야> 위성방송, VLSI 회로 설계, 디지털 신호처리, 이동 통신 시스템 설계

이 완 범(Wan-Bum Lee)

정회원



1995년 2월 : 원광대학교 전자공학과 졸업  
 1997년 8월 : 원광대학교 전자공학과 석사  
 1997년 9월~현재 : 원광대학교 전자공학과 박사과정  
 <주관심 분야> 위성방송, VLSI 회로 설계, 디지털 신호처리

김 형 균(Hyeong-Kyun Kim)

정회원



1993년 2월 : 원광대학교 전자공학과 졸업  
 1995년 2월 : 원광대학교 전자공학과 석사  
 2001년 2월 : 원광대학교 전자공학과 박사  
 2001년 3월~현재 : 이룸 테크놀로지(주) 선임 연구원

<주관심 분야> 고속 모뎀 설계, 데이터 압축, 디지털 신호 처리

김 환 용(Hwan-Yong Kim)

정회원

한국통신학회 논문지 제21권 제11호 참조  
 현재 : 원광대학교 전기전자 및 정보공학부 교수