

반도체 소자의 직류특성 측정 시스템의 구현에 관한 연구

A Study on the Implementation of the DC Characteristic Measurement System for Semiconductor Devices

최인규, 심태은, 정해용, 김재철, 박종식

(In-Kyu Choi, Tae-Eun Shim, Hae-Yong Jeong, Jae-Chul Kim, and Jong-Sik Park)

Abstract : In this paper, we design and implement the DC characteristic measurement system for semiconductor devices. The proposed system is composed of 4 SMU(Source and Measure Unit) channels. Various efforts in hardware and software have been made to reduce the measurement errors. Internal and external sources of errors in measurement system especially in pA range measurement have been identified and removed. Also, various digital signal processing techniques are developed. Calibration is executed under the control of microprocessor periodically. Experimental results show that the implemented system can measure the DC characteristic of semiconductor devices with less than 0.2% error in various voltage and current source/measurement range.

Keywords : DC characteristic measurement system, semiconductor devices, shared ADC, low level measurement, guarding, calibration, averaging

I. 서론

다이오드나 바이폴라 트랜지스터, MOSFET 등과 같은 반도체 소자의 정확한 모델 파라미터 추출은 회로 설계에 있어서 집적회로의 전기적 특성 및 성능을 제조공정을 거치기 전에 예측하고 최적화된 집적회로를 설계하는데 있어서 필수적인 과정이다. 이러한 파라미터의 추출은 반도체 소자의 전류 및 전압 특성(I-V curve)을 측정된 후 이로부터 최적화 알고리즘을 사용하여 파라미터를 추출한다[1]-[3]. 또한 반도체 소자의 전류 및 전압 특성의 측정은 소자 자체를 이해하거나 그 응용을 위해서도 필요하며 생산된 소자의 테스트 용도로도 이용할 수 있다.

전류 및 전압 특성은 DUT(Device Under Test)에 전류를 인가하고 전압 측정 샘플 값을 저장하거나 전압을 인가하고 DUT에 흐르는 전류를 측정하는 방식으로 이루어진다. 그러나 회로에서의 스위칭과 케이블, 그리고 주위환경과 테스트되는 소자 등에 의해서 측정 에러가 발생한다. 또한 측정 회로의 정확도와 민감도에 의해서도 측정시의 불확정성(uncertainty)이 발생하게 된다[4].

저 전류 측정 시에는 외부의 전기장에 의해 케이블에 발생하는 유도 전류와 전류 측정 회로의 각 지점에서의 전위차이 때문에 발생하는 누설전류(leakage current)에 의해 에러를 발생시킨다. 유도 전류를 방지하기 위해서는 차폐(shielding)된 케이블을 사용하며 누설 전류는 guard를 사용하거나 절연체의 저항을 크게 하는 방법으로 감소시킬 수 있다[5].

저 전압 측정 시에는 전원 공급기나 고 전류 스위치에 의

한 자기장에 의해 유도되는 유도 전압과 오프셋 전압에 의해 측정 오차가 발생한다. 유도 전압은 회로를 차폐시키거나 전류가 흐르는 루프의 면적을 줄이는 방법으로 해결할 수 있다. 오프셋 전압은 측정회로에서 발생하는 전압으로 DUT 양단의 실제 전압 감소치를 증가시키거나 감소시키는 결과를 가진다. 공급 전압의 극성을 반대로 하여 측정하는 방법으로 오프셋 전압을 제거할 수 있다[6].

그러나 종래의 아날로그 회로를 사용한 측정 시스템에서는 측정 오차의 한계를 가지게 되며 이를 극복하고 정확한 측정과 데이터의 획득 및 전송을 위해 마이크로프로세서를 기반으로 하는 측정 장비들이 개발되었다[7]. 마이크로프로세서를 기반으로 할 경우 신호 처리 기법을 사용하여 오차 교정이 가능해지므로 아날로그에 비해 적은 비용으로 측정의 오차를 줄일 수 있게 된다. 또한 자기 보정 알고리즘(self-calibration algorithm)을 사용하면 AD 변환기나 연산증폭기 등에 의한 측정 회로의 비이상적인 특성에 의해 발생하는 에러를 제거할 수 있다[8][9].

본 논문에서는 반도체 소자의 파라미터 추출이나 테스트를 위하여 DC 특성을 측정하기 위한 시스템의 구현에 관하여 논한다. 직류 특성 측정 시스템은 전류 및 전압 인가 값은 가변시키면서 DUT의 전압 및 전류를 측정하는 구조를 가진다. 전류 및 전압 특성 측정은 동일한 구조를 가지는 4개의 SMU(Source and Measure Unit)에서 병렬로 이루어지며 비용을 줄이기 위해 하나의 AD 변환기와 DA 변환기만을 가지도록 설계하였다. 본 논문에서 개발된 시스템은 많이 사용되는 HP4145의 채널구성과 동일한 외부연결채널을 가지도록 구현되었다. 또한 측정 오차를 감소하기 위한 측정 회로의 보정(calibration) 과정을 제안하였다. 본 논문의 구성은 다음과 같다. 제 2장에서 직류 특성 측정 시스템의 설계에 관하여 논하며 제 3장에서는 측정 회로의 보정 과정을 소개한다. 제 4장에서는 실험 결과를 소개하고 제 5장에서 결론

접수일자 : 2001. 2. 20., 수정완료 : 2001. 6. 25.

최인규, 심태은, 정해용, 박종식 : 경북대학교 전자전기공학부(cik@palgong.knu.ac.kr/ste1150@hanmail.net/sunwater@palgong.knu.ac.kr/jspark@elecscom.com)

김재철 : 구미1대학 정보통신전공(blackcow@kumi.ac.kr)

을 맺는다.

$$V_{SE} = V_i e^{-\frac{T}{8RC}} \tag{1}$$

II. DC 특성 측정 시스템의 설계 및 구현

그림 1에 구현된 직류 특성 측정 시스템의 블록도를 나타내었다. 측정 조건 설정 및 측정값 분석은 PC에서 GUI를 통해서 이루어진다. 마이크로프로세서는 GUI와의 통신을 통해 측정 조건과 측정 결과를 교환하고 측정부에 측정 조건을 설정하는 역할을 하며 MC68030을 사용하였다. SMU는 마이크로프로세서의 설정에 따라 전류 인가/전압 측정, 전압 인가/전류 측정 등으로 동작한다. SMU의 인가값 및 제한값은 DAC를 통하여 설정되며 측정값은 ADC를 통하여 디지털로 샘플된 후 마이크로프로세서를 통해 PC로 전송된다. SMU 4 채널을 통해 DUT에 바이어스를 설정할 수 있으며 측정 또한 SMU 4 채널을 통해 이루어지도록 설계하였다.

1. 공유 DAC를 이용한 DA변환부의 설계

본 논문에서 구현된 시스템에서 반도체 소자의 테스트를 위해서는 8 채널의 전압이 인가되어야 한다. 이를 위해서는 일반적으로 8개의 DAC가 필요하나 본 논문에서는 비용을 줄이기 위해서 S/H(Sample and Hold)와 하나의 DAC를 공유하는 구조를 사용하였다. 그림 2에서는 DA 변환부의 블록도를 나타내었다.

DAC 출력 전압이 마이크로 프로세서의 제어에 의해 8 채널의 S/H중 하나로 입력된다. S/H는 입력 전압을 샘플링하여 커패시터에 저장하는 전압 저장 장치로 샘플링 주기는 마이크로프로세서의 타이밍 회로에서 생성된다. 샘플링 타이밍 신호는 S/H를 샘플링 상태와 유지상태로 제어하는데 사용되며 유지 명령이 인가될 때의 입력 전압이 다음 샘플링 명령이 인가될 때까지 유지된다.

샘플링 상태에서 유지 상태로 전환할 때의 샘플링 에러는 (1)과 같이 표현된다[10].

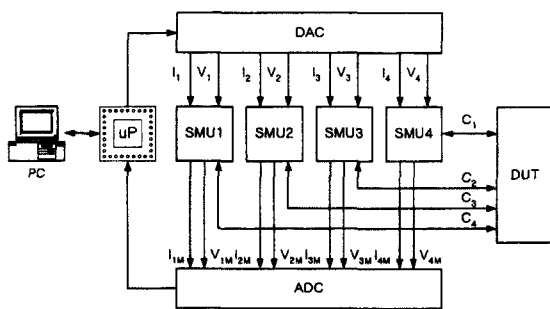


그림 1. 직류 특성 측정 시스템의 블록도.
Fig. 1. Block diagram of DC characteristic measurement system.

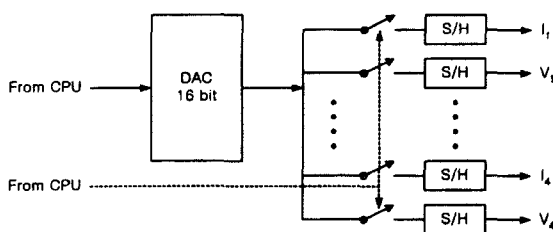


그림 2. DA 변환부의 블록도.
Fig. 2. Block diagram of DA conversion unit.

V_i 는 입력 전압, R 은 스위치 도통 저항, T 는 샘플링 주기를 나타낸다. 각 S/H는 8 채널마다 한번씩 샘플링 되므로 샘플링 시간은 $T/8$ 로 나타낼 수 있다.

유지 상태에서 샘플링 상태로 다시 전환할 때까지의 출력 전압 강하는 (2)와 같이 표현된다[10].

$$V_{HE} = \frac{I_L}{C} \times \frac{7}{8} T \tag{2}$$

이때 I_L 은 누설 전류를 나타낸다.

본 논문에서는 S/H에서의 에러를 최소화하기 위해서 T 와 C 가 (3)을 만족하도록 선택하였다.

$$V_{HE} + V_{SE} < \frac{1}{2} V_{LSB} = \frac{1}{2} \times \frac{2FS_{DAC}}{2^{16}} \tag{3}$$

여기서 V_{LSB} 는 16비트 DAC의 LSB(Least Significant Bit) 입력에 의한 출력 전압을 나타내며 $\pm FS_{DAC}$ 는 DAC의 전체 출력 범위를 나타낸다.

2. SMU

SMU는 반도체 소자에 전압을 인가하고 전류를 측정하거나 전류를 인가하고 전압을 측정한다. 그림 3에서는 전압을 인가하고 전류를 측정하는 경우의 블록도를 나타내었다.

DA 변환부에서 입력되는 전압 V_S 는 U1에서 증폭된 후 U3를 통하여 DUT로 인가된다. 이때 DUT에 인가되는 전압은 (4)와 같다.

$$V_{DUT} = -\frac{R_2}{R_1} V_S = -\alpha V_S \tag{4}$$

α 는 R_1 의 값에 따라 2와 4, 10의 값을 가진다.

DUT에 흐르는 전류는 R_S 를 통하여 흐르게 되므로 R_S 양단의 전압 강하를 측정함으로써 전류를 계산할 수 있다. R_S 양단의 전압강하는 (5)와 같다.

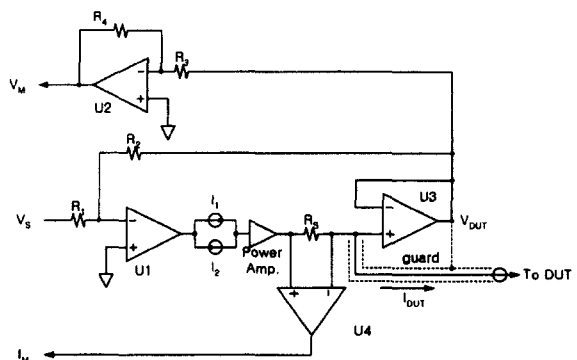


그림 3. 전압인가/전류측정을 위한 SMU 블록도.
Fig. 3. Block diagram of SMU for voltage source/current measurement.

$$I_M = I_{DUT} \times R_S \times \beta \quad (5)$$

β 는 U4의 전압 이득으로 1 또는 10의 값을 가지며 R_S 는 10 Ω , 1K Ω , 100K Ω , 10M Ω 그리고 1G Ω 중 마이크로 프로세서에 의해 선택된다. 전류 측정시에는 누설 전류와 유도 전류에 의해 주로 측정 오차가 발생하게 된다. 유도 전류는 외부에서 전기장에 의해 케이블에 유도되므로 triaxial cable을 사용하여 이를 최소가 되도록 하였다. 누설전류는 전류 측정 회로의 각 지점에서의 전위 차이 때문에 발생하게 되는데 케이블이나 커넥터, 릴레이는 물론 절연체에서도 누설전류가 발생할 수 있다. 이를 방지하기 위해서 케이블이나 스위치는 적어도 $10^{14} \Omega$ 이상의 저항을 가지도록 하였고 U3 및 U4등의 연산증폭기는 100fA 이하의 입력 바이어스 전류를 가지는 연산증폭기(AD515)를 사용하였다. 또한 guard를 사용하여 민감한 측정 도선을 둘러싸고 있는 절연체와의 전위차를 거의 0이 되도록 하여 누설 전류를 감소하도록 하였다.

측정 범위 저항인 R_S 는 마이크로프로세서에 의해 설정되며 DUT가 높은 저항을 가질 경우 스위치와 케이블 등의 병렬 커패시턴스에 의해 큰 시정수를 가지게 되어 안정화 시간(settling time)이 길어지게 된다. Guard를 사용할 경우 이러한 병렬 커패시턴스를 제거하는 효과를 가지게 되므로 안정화 시간이 줄어들게 된다[4].

그림 4에서는 (+)전류를 인가하고 전압을 측정하는 경우의 블록도를 나타내었다. 반도체 소자에 인가되는 전류는 입력 전압 I_S 와 U5, U4를 통하여 (6)과 같이 결정된다.

$$I_{DUT} = -\frac{R_6}{R_5} \frac{I_S}{\beta} \frac{1}{R_S} = -\frac{I_S}{\beta} \frac{1}{R_S} \quad (6)$$

식 (6)에 의해 인가되는 전류에 의한 DUT의 전압은 (7)과 같이 측정될 수 있다.

$$V_M = -\frac{R_4}{R_3} V_{DUT} = -\gamma V_{DUT} \quad (7)$$

여기서 γ 는 R_4 에 따라서 1/2과 1/4, 1/10의 값을 가진다.

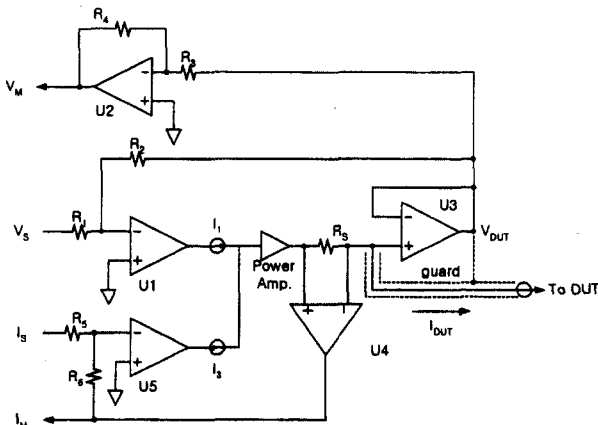


그림 4. 전류(+)/인가/전압측정을 위한 SMU 블록도.
Fig. 4. Block diagram of SMU for (+) current source/voltage measurement.

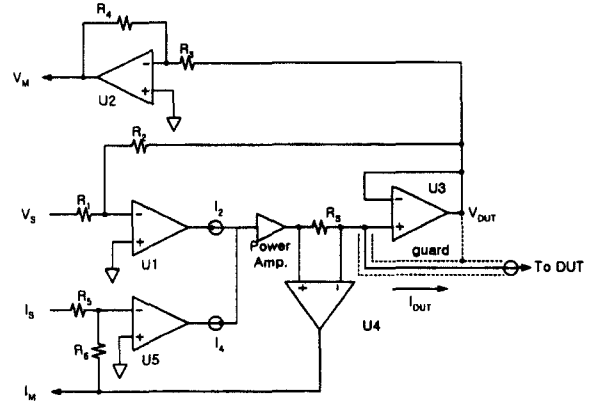


그림 5. 전류(-)인가/전압측정을 위한 SMU 블록도.
Fig. 5. Block diagram of SMU for (-) current source/voltage measurement.

전압 측정시에는 오프셋 전압이나 유도 전압이 오차의 주요 원인이 된다. 오프셋 전압은 보정 과정을 통하여 제거된다. 유도 전압은 전원 공급기나 높은 전류를 가지는 스위치에 의해 발생하는 자기장에 의해 유도되므로 회로 차폐와 회로망의 면적을 적게 가지도록 레이-아웃하여 이를 감소시키도록 하였다.

그림 5에서는 (-)전류를 인가하고 전압을 측정하는 경우의 블록도를 나타내었다. DUT에 인가되는 전류는 (+)전류 인가와 동일한 식으로 표현할 수 있다. 이 때 V_S 로 입력되는 값은 전압 제한값으로 작용하여 DUT에 $-\alpha V_S$ 이상의 전압이 걸리지 않도록 한다. (-)전류 인가 시에는 I_2 와 I_4 가 작동하며 I_2 가 I_4 보다 크기 때문에 DUT에서 전류를 끌어당기는 역할을 한다. 그러나 V_{DUT} 가 $-\alpha V_S$ 와 같아지면 I_1 이 on이 되면서 I_4 는 off가 되어 전압인가/전류측정 시와 동일한 동작을 하게 된다. 따라서 V_{DUT} 에 제한값 이상의 전압이 걸리지 않도록 해준다.

마찬가지로 전압인가/전류측정 모드에서는 I_S 가 전류 제한값으로 작용한다. I_1 과 I_2 가 on이 되어 전압 인가 상태를 유지하다가 I_M 의 크기가 I_S 보다 크거나 같아지면 I_3 또는 I_4 가 on이 되면서 전류인가/전압측정 상태로 전환하게 된다.

3. 공유 ADC 구조를 가지는 AD변환부

DUT에서 측정된 8 채널의 전압을 디지털로 변환하기 위해서는 8 개의 ADC가 필요하다. 그러나 ADC는 고가이므로 비용을 줄이기 위해서 MUX와 하나의 ADC 만을 사용하여 8 채널의 입력값과 보정시에 필요한 입력값을 변환하도록 하였다. 그림 6에 AD 변환부의 블록도를 나타내었다.

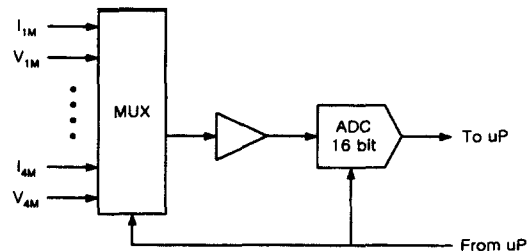


그림 6. AD 변환부의 블록도.
Fig. 6. Block diagram of ADC unit.

SMU의 측정값들이 MUX의 입력으로 들어가서 이 중 하나의 입력이 마이크로프로세서의 제어에 의해 MUX의 출력으로 연결된다. T₁ 시간 동안에는 I_{1M}이 MUX로 출력되며, T₂ 동안에는 V_{1M} 그리고 T₈ 동안에는 V_{4M}가 차례로 MUX로 출력되어 하나의 ADC를 사용하여 모든 신호가 디지털로 변환된다. 디지털로 변환된 신호는 마이크로프로세서를 통해서 GUI로 전달되어 측정값을 분석할 수 있게 된다.

III. 측정 회로의 보상 알고리즘

측정 회로에서 발생하는 에러를 최소화하기 위해서는 신호 처리 기법을 사용하여 측정 시스템의 내부 또는 외부에서 발생하는 잡음과 구현된 측정 회로가 가지는 오차에 의한 영향을 제거함으로써 측정 정밀도를 높일 수 있다. 측정 에러는 임의적으로 발생하는 랜덤 에러와 구조적 에러로 나눌 수 있다. 랜덤 에러는 측정 시스템 자체의 노이즈와 시스템 외부에서 인가되는 간섭(interference)에 의해 발생한다.

1. 랜덤 에러의 제거

평균화를 사용하여 임의로 발생하는 에러를 감소시킬 수 있다. 평균화는 (8)과 같이 나타낼 수 있다.

$$\overline{x(n)} = \frac{1}{M} \sum_{i=0}^{M-1} x(it_s) \tag{8}$$

위 식에서 x(it_s)는 측정 신호의 샘플링 데이터를 나타낸다.

측정 오차는 특히 외부의 전원 신호에 의해 많이 발생하므로 (M-1)t_s가 전원 신호의 주기와 같도록 설정하였다. 그러나 제한값 근처에서는 측정 신호의 일부분만이 제한값에 걸리게 되어 (8)을 사용하여 평균을 구할 경우 에러가 발생한다. 이를 그림 7에 나타내었다. 측정시 요구되는 값은 $\overline{x'(n)}$ 이지만 식 (8)을 사용할 경우 $\overline{x(n)}$ 으로 측정된다. 이를 방지하기 위해서 본 논문에서는 제한값에 걸리는 샘플 신호와 반대 위상을 가지는 샘플 신호를 동시에 제거하고 평균값을 취하는 방법을 제안한다. 즉, n번째 샘플이 제한값에 걸리는 경우 (M-n) 번째 샘플을 동시에 제거하고 평균을 구한다.

2. 측정 회로의 보상

측정 회로에서 오차는 DA변환기와 AD변환기, 연산증폭기의 이득 오차, 오프셋 전압 등에 의해서 발생한다. 본 논문에서는 이러한 오차를 제거하기 위해 구현된 시스템에 내장된 마이크로프로세서를 사용하여 보정을 사용한다.

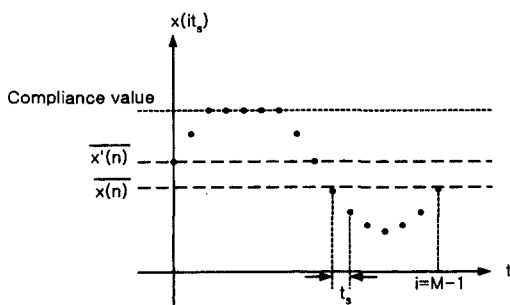


그림 7. 제한값에 의한 평균화 에러.
Fig. 7. Averaging error from compliance value.

DUT에 인가되는 전압은 (9)와 같이 나타낼 수 있다.

$$V_{DUT} = -\alpha_1 \times V_{DAC} + V_{OS1} \tag{9}$$

여기서 V_{DUT}는 DUT에 인가되는 전압을 AD 변환한 값을 나타내며 V_{DAC}는 DA 변환기의 출력 전압을 나타낸다. α₁은 전압 인가 회로의 이득을 나타내며 V_{OS1}는 오프셋 전압을 나타낸다.

DUT에서 측정된 전압은 식 (10)과 같이 나타낼 수 있다

$$V_{ADC} = -\gamma_1 \times V_{DUT} + V_{OS2} \tag{10}$$

γ₁은 전압 측정 회로의 이득을 나타내며, V_{OS2}는 오프셋 전압을 나타낸다.

마이크로 프로세서는 일정 시간마다 주기적으로 보정을 실행하여 측정값으로부터 α₁, V_{OS1}, γ₁ 그리고 V_{OS2} 값을 구하여 저장한다. 보정 과정을 통해 얻어진 파라미터는 측정시에 인가값 및 측정값을 계산하는데 사용된다. DUT에 인가시에는 DA변환기의 이득 오차 및 오프셋, 그리고 인가 회로 이득 및 오프셋을 고려하여 DA변환기의 설정값을 결정한다. 또한 AD변환기를 통해 변환된 값은 측정 회로의 이득 및 오프셋 전압과 AD변환기의 이득 오차 및 오프셋을 고려하여 실제 측정값을 계산하여 측정 회로가 가지는 오차를 제거한다.

IV. 실험 결과

그림 8은 10MΩ 저항을 구현된 반도체 소자 직류 특성 측정 시스템에 연결하여 전압을 인가하고 평균화를 수행하지 않은 상태에서 전류를 측정된 결과이다. 전류 제한값은 80nA로 설정하였으며 -1V부터 +1V 사이의 전압을 인가하였다.

측정 결과에서 교류 신호가 같이 측정된 것처럼 보이는데 이는 전원 신호에 의해 발생하는 측정 오차로 주기는 약 60Hz를 가진다. 그림 9는 본 논문에서 제안한 평균화를 거친 측정 결과이다. 전원 신호의 한 주기 동안 256개의 샘플 데이터를 얻은 후 제한값에 걸리는 부분을 제거하고 평균을 취한 결과이다. 전원 신호에 의한 교류 성분이 제거되었으며 제한값 근처에서도 단순 평균에 의한 오차가 발생하지

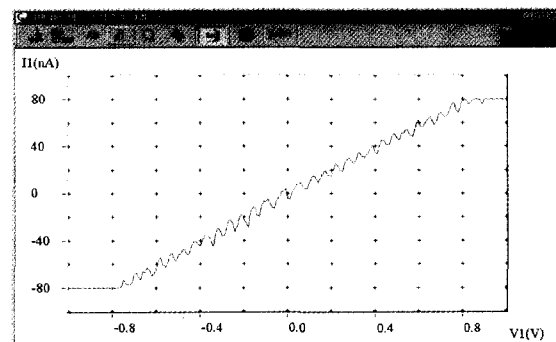


그림 8. 평균화를 사용하지 않은 10MΩ 측정 결과.
Fig. 8. Measurement results of 10 MΩ without averaging.

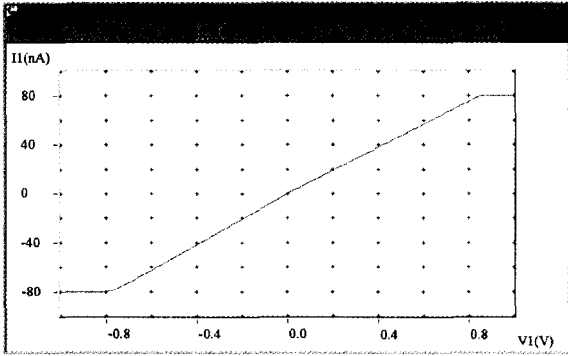


그림 9. 평균화를 사용한 10MΩ 측정 결과.
Fig. 9. Measurement results of 10 MΩ with averaging.

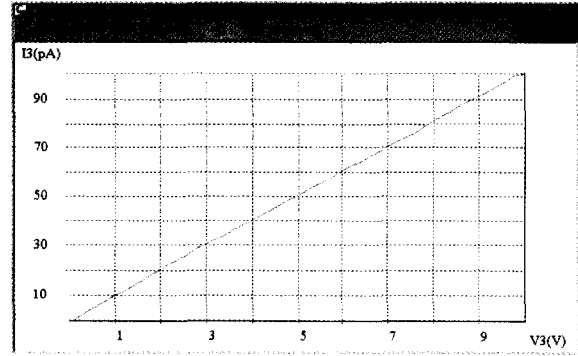


그림 10. 100GΩ 측정 결과.
Fig. 10. Measurement results of 100 GΩ.

표 1. 평균화 샘플 수에 따른 측정 오차.

Table 1. Measurement error according to averaging sample number.

전압인가/전류측정 오차(%)			
저항	no average	16 average	256 average
1MΩ	1.89×10^{-1}	5.00×10^{-2}	2.78×10^{-2}
100KΩ	1.37×10^{-1}	1.02×10^{-1}	6.16×10^{-2}
10KΩ	2.81×10^{-1}	2.59×10^{-1}	2.33×10^{-1}
1KΩ	1.41×10^{-1}	9.92×10^{-2}	6.92×10^{-2}
전류인가/전압측정 오차(%)			
1MΩ	2.88×10^{-1}	1.15×10^{-1}	6.30×10^{-2}
100KΩ	1.80×10^{-1}	9.45×10^{-2}	7.47×10^{-2}
10KΩ	1.58×10^{-1}	7.27×10^{-2}	5.60×10^{-2}
1KΩ	1.59×10^{-1}	7.81×10^{-2}	6.81×10^{-2}

표 2. 보정에 따른 측정 오차.

Table 2. Measurement error according to calibration method.

전압인가/전류측정 오차(%)		
	no calibration	calibration
1MΩ	1.76	2.78×10^{-2}
100KΩ	1.61	6.16×10^{-2}
10KΩ	1.76	2.33×10^{-1}
1KΩ	1.60	6.92×10^{-2}
전류인가/전압측정 오차(%)		
1MΩ	1.46	6.30×10^{-2}
100KΩ	1.32	7.47×10^{-2}
10KΩ	1.15	5.60×10^{-2}
1KΩ	1.51	6.81×10^{-2}

않음을 확인하였다.

표 1에서는 0.01%의 오차를 가지는 정밀 저항을 보정을 수행한 상태에서 주기당 샘플 수를 가변하면서 측정된 결과로부터 측정 오차를 계산한 결과를 나타내었다. 주기당 샘플수가 증가할수록 측정 오차가 감소하며 이는 전원 신호에 의한 잡음뿐만 아니라 측정 회로에서 발생하는 랜덤 에러가

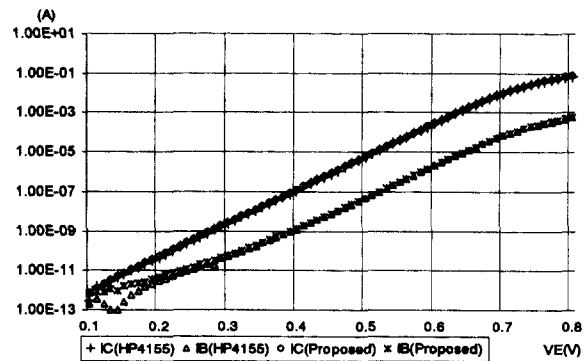


그림 11. 순방향 Gummel plot 측정 결과.
Fig. 11. Measurement results for a forward Gummel plot.

감소한 결과로 생각할 수 있다.

표 2에서는 256개의 샘플로부터 평균화를 수행하는 상태에서 보정을 사용한 경우와 그렇지 않은 경우의 측정 결과를 나타내었다. 보정을 사용하는 경우의 측정 오차가 현저히 줄어들었음을 확인하였다.

그림 10은 0V에서 10V 사이의 전압을 10mV 간격으로 인가하고 100GΩ 저항 양단의 전류를 측정된 결과이다. 측정 결과에서 누설 전류와 드래프트(draft) 전류에 의한 약간의 측정 오차가 존재하지만 그래프의 기울기로부터 구해진 DUT의 저항값은 아주 적은 오차를 가짐을 확인하였다.

그림 11에서는 본 논문에서 제안한 시스템에서의 NPN 트랜지스터인 2N2219의 순방향 Gummel plot 측정 결과를 HP4155의 측정 결과와 비교하여 나타내었다. 측정 결과에서 pA 이상의 영역에서는 거의 동일한 결과를 가지며 fA 수준에서는 랜덤 에러와 드래프트 전류에 의한 영향으로 측정값의 차이가 발생한다. 본 논문의 측정시스템은 0.3mA의 분해능으로 -100V~100V의 전압을 인가/측정 가능하며, 전류는 0.1pA의 분해능으로 -100mA~100mA의 범위를 인가/측정할 수 있는데, 이 결과는 비슷한 측정조건 하에서 HP4155의 측정결과와 매우 흡사하였다.

V. 결론

본 논문에서는 반도체 소자의 직류 특성을 측정하기 위한 시스템을 설계하고 구현하였다. 구현된 시스템은 공유 AD변환기 및 DA변환기를 사용하여 비용을 줄이도록 설계

하였으며 최대 4채널을 통하여 DUT에 바이어스를 설정할 수 있고 또한 최대 4채널을 통하여 측정이 가능하다. 그리고 측정 오차를 감소시키기 위해 평균화 방법과 보정 방법을 제안하였다. 실험을 통하여 제안한 신호 처리 기법을 사용할 경우 측정 오차가 현저하게 줄어들게 됨을 확인하였다.

참고문헌

[1] S. J. Wang, J. Y. Lee, and C. Y. Chang, "An efficient and reliable approach for semiconductor device parameter extraction," *IEEE Trans. on CAD*, vol. CAD-5, no.1, Jan., 1986.

[2] M. Kondo, H. Onodera, and K. Tamaru, "A model-adaptable MOSFET parameter extraction system," *Proc. ASP-DAC'95/CHDL'95/VLSI'95.*, pp. 373-377, Aug. 1995.

[3] A. Ortiz-Conde, F.J. Garcia Sanchez, et. al., "A method to extract parameters in a generalized two-terminal device," *Southcon'94*, pp. 262-265, Mar. 1994.

[4] D. Kirsop and J. Yeager, "Design considerations in low

level analog test systems," *AUTOTESTCON'90 Conf. Record*, pp. 577-582, 1990.

[5] Henry W. Ott, *Noise reduction techniques in electronic systems*, 2nd ed., Wiley, 1989.

[6] Gene C., C. Chen, Winifred Y., C. Lin, et. al., "Accurate self-checking digital teraohmmeter," *IEEE Trans. Instrum. Meas.*, vol. 44, no. 2, Apr. 1995.

[7] M. F. Lai, Y.-P. Wu, G. C. Hsieh, and J. L. Lin, "Design and implementation of a microprocessor-based intelligent electronic meter," *ICIT'94 Conf. Record*, pp. 268-272, Dec. 1994.

[8] Kolen P. T., "Self-calibration/compensation technique for microcontroller-based sensor arrays," *IEEE Trans. Instrum. Meas.*, vol. 43, no. 4, pp. 620-623, Aug. 1994.

[9] Ji-Gou Liu, U. Fruhauf, and A. Schonecker, "On the application of special self-calibration algorithm to improve impedance measurement by standard measuring systems," *Proc. IMTC'99*, vol. 2, pp. 1017-1022, 1999.

[10] D. A. Bell, *Operational amplifiers : Applications, Troubleshooting, and Design*, Prentice-Hall, 1990.



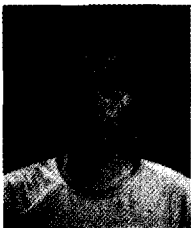
최 인 규

1972년 4월 28일생. 1995년 경북대 전자공학과 졸업. 동대학원 석사(1997), 1997년~현재 동대학원 박사과정. 관심분야는 DSP 응용 시스템 설계, ASIC 설계.



심 태 은

1966년 8월 7일생. 경북대 전자공학과 졸업. 동대학원 석사(1993), 1995년~현재 동대학원 박사과정. 1998년~현재 경도대학 컴퓨터전자과 조교수. 관심분야는 자동화 시스템 설계, 지능제어, 디지털 신호처리.



정 해 용

1969년 11월 3일생. 1997년 부경대 전자공학과 졸업. 2000년~현재 경북대 전자공학과 석사과정. 2000년~현재 (주)일렉스 개발과장. 관심분야는 아날로그 회로 설계, Computer Aided Testing System.



김 재 철

1964년 2월 23일생. 1990년 경북대 전자공학과 졸업. 동대학원 석사(1992). 동대학원 박사(2000). 1997년~현재 구미1대학 정보통신전공 조교수. 관심분야는 프로세서응용 시스템 설계.

박 종 식

제어 · 자동화 · 시스템 공학회논문지, 제5권, 제7호, 참조.