

## 단상 UPS 인버터의 강인한 2중 데드비트제어

(Robust Double Deadbeat Control of Single-Phase UPS Inverter)

박지호\* · 허태원\*\* · 안인모\*\*\* · 이현우\*\*\*\* · 정재륜※ · 우정인※※

(Jee-Ho Park · Tae-Won Heo · In-Mo Ahn · Hyun-Woo Lee · Jae-Roun Jung · Jung-In Woo)

### 요 약

본 논문에서는 UPS용 인버터의 강인한 디지털제어를 위하여 인버터 출력측 LC필터의 커패시터 전압과 전류의 2중 제어루프로 구성된 새로운 제어기법을 제안한다. 제안된 전압·전류의 2중 제어루프는 전압 제어루프의 커패시터 전압을 전류 제어루프의 커패시터 전류의 위상중심으로 두고, 2중 데드비트 제어를 수행함으로써 커패시터 전류의 위상지연이 보상된 완전한 진상전류 제어가 가능하게 된다. 전류 제어루프는 디지털 제어기의 시간 지연요소를 시스템의 고유한 파라미터로 가정한 2차 데드비트 제어기로 설계하여 디지털 제어기의 고유한 연산 지연시간에 의한 성능저하를 개선한다. 또한, 외란에 의한 데드비트 제어의 영향을 제거하기 위하여 부하전류 예측기법을 전류 제어루프에 추가하여 외란을 피드포워드 보상함으로써 외란에 강인한 전류제어를 수행한다.

### Abstract

This paper deals with a novel full digital control of the single-phase PWM(Pulse Width Modulation) inverter for UPS(Uninterruptible Power Supply). The voltage and current of output filter capacitor as a state variable are the feedback control input. In the proposed scheme, a double deadbeat control consisting of minor current control loop and major voltage control loop have been developed. In addition, a second order deadbeat current control which should be exactly equal to its reference in two sampling time without error and overshoot is proposed to remove the influence of the calculation time delay. The load current prediction is achieved to compensate the load disturbance. The simulation and experimental result shows that the proposed system offers an output voltage with THD(Total Harmonic Distortion) less than 5% at a full nonlinear load.

key words : UPS Inverter, Deadbeat Control, Load Current Prediction, DSP.

\* 정회원 : 동명대학 기계자동화시스템계열 전임강사  
E-mail : jhpark@youngma.tmc.ac.kr  
\*\* 정회원 : 마산대학 전기과 겸임교수  
\*\*\* 정회원 : 마산대학 전기과 부교수  
\*\*\*\* 정회원 : 경남대학교 전기전자공학부 교수

※ 정회원 : 유한대학 제어계측과 교수  
※※ 정회원 : 동아대학교 전기전자컴퓨터공학부 교수  
접수일자 : 2001년 8월 28일  
1차심사일 : 2001년 8월 30일  
심사완료일 : 2001년 9월 28일

### 1. 서 론

최근 전원 장애시 컴퓨터, FA시스템, 전자장비 및 통신시스템과 같은 민감한 부하들에 양질의 전원을 공급하는 UPS의 사용이 증대되고 있다. 따라서 UPS용 인버터는 부하의 조건이나 과도현상에 관계없이 출력전압 파형이 일정전압·일정주파수의 정현파를 만족시켜야 하며, 강인한 제어능력이 요구된다. 일반적으로 UPS용 인버터의 성능은 THD, 과도응답특성, 효율 및 신뢰성으로 평가되며, 이러한 조건을 만족시키기 위하여 내부 필터 인덕터 전류 혹은 커패시터 전류 제어루프와 외부 필터 커패시터 전압 제어루프를 가진 2중 제어기법이 널리 사용되고 있다[1]. 또한 디지털 제어시스템이 아날로그 제어시스템보다 경년 변화가 없고, 높은 적응성 및 신뢰성이 있기 때문에 UPS용 인버터의 제어시스템은 DSP(Digital Signal Processor)를 이용한 디지털 제어시스템이 사용된다. 디지털로 제어되는 인버터의 성능은 디지털 제어기의 샘플링 시간과 연산시간에 의한 시간지연에 의존하며, 성능향상을 위한 기본적인 조건은 가능한 한 시간지연을 줄이는 것이다. 따라서 디지털 제어기의 필수조건은 간단한 제어알고리즘과 시간지연의 보상이다. 이와 같은 조건을 만족시키기 위하여 PWM 인버터시스템을 이산시간모델로 변환하고 인버터 출력전압이 그 지령치와 1 샘플링 시간 내에 정확히 일치하도록 스위칭 펄스폭을 선택하는 데드비트 제어가 제안되었다[2-4]. 이러한 데드비트 제어는 매우 빠른 동특성을 가지지만 디지털 제어기의 고유한 연산지연시간에 의하여 제어시스템의 성능이 저하되며, 부하 외란에 의하여 시스템이 불안정해지는 단점이 있다[5-7].

본 논문에서는 UPS용 인버터의 강인한 디지털제어를 위하여 인버터 출력측 LC필터의 커패시터 전압과 전류의 2중 제어루프로 구성된 새로운 제어기법을 제안한다. 인버터 출력측 LC필터의 커패시터 전압이기 때문에 전류 제어루프의 빠른 제어능력을 위하여 제안된 시스템은 인버터 출력측 LC필터의 커패시터 전압과 전류의 2중 제어루프로 구성되며, 제안된 2중 제어루프에서 전압 제어루프의 커패시터 전압을 전류 제어루프의 커패시터 전류의 위상중심으로 두고 2중 데드비트 제어를 수행함으로써 커패시터 전류의 위상지연이 보상된 완전한 진상

전류 제어가 가능하다. 또한, 전류 제어루프는 디지털 제어기의 시간지연요소를 시스템의 고유한 파라미터로 가정된 2차 데드비트 제어기로 설계하여 디지털 제어기의 고유한 연산지연시간에 의한 성능저하를 개선한다. 외란에 의한 데드비트 제어의 영향을 제거하기 위하여 부하전류 예측기법을 전류 제어루프에 부가하고 현시점과 1 샘플링 이전의 부하전류로부터 2 샘플링 이후의 부하전류를 예측하여 디지털 제어기의 시간지연요소를 시스템의 고유한 파라미터로 가정된 2차 데드비트 제어기의 샘플링 시간 내에 외란을 피드포워드 보상함으로써 제안된 2차 데드비트 전류제어는 LC필터의 커패시터 전류를 정상상태 오차나 오버슈트 없이 지령치와 2 샘플링 시간 내에 정확히 일치하도록 제어하며, 부하외란에 의하여 시스템이 불안정해지는 데드비트 제어의 단점이 개선된 강인한 전류제어를 수행한다. 제안된 시스템의 타당성을 평가하기 위하여 PSIM을 이용한 시뮬레이션 및 1kVA의 UPS용 단상 인버터시스템을 제작하고, DSP(TMS320C32)를 이용하여 실험한 결과, 외란에 강인하며 우수한 과도응답특성과 출력전압의 낮은 THD를 확인하였다.

### 2. 시스템 모델링

출력측 LC필터를 포함한 단상 인버터 시스템은 그림 1과 같으며, 그림 1로부터 식 (1)과 같은 상태방정식을 얻을 수 있다.

$$L_f \frac{di_i}{dt} + R_f i_i = v_i - v_c \tag{1}$$

$$C_f \frac{dv_c}{dt} = i_i - i_L$$

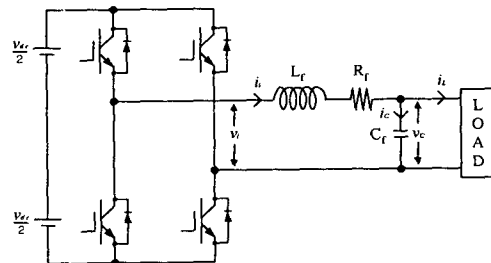


그림 1. UPS용 단상 인버터 시스템.  
Fig. 1. Circuit configuration of single-phase UPS inverter.

여기서  $L_f, R_f, C_f$ 는 인버터 출력측 LC필터의 인덕턴스와 인덕터 등가직렬저항 및 커패시턴스,  $v_i$ 와  $i_i$ 는 각각 인버터 출력전압과 전류,  $v_c$ 와  $i_c$ 는 각각 인버터 출력측 LC필터의 커패시터 전압과 전류, 그리고  $i_L$ 은 외란으로 작용하는 부하전류를 나타낸다.

식 (1)을 라플라스 변환하면 인버터 플랜트의 블록선도는 그림 2와 같다.

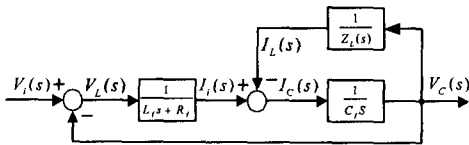


그림 2. 인버터 플랜트의 블록선도.  
Fig. 2. Block diagram of inverter plant.

여기서,  $Z_L(s)$ 는 부하의 라플라스 변환이다.

또한, 그림 2에서 인버터 플랜트의 보드선도는 그림 3과 같다.

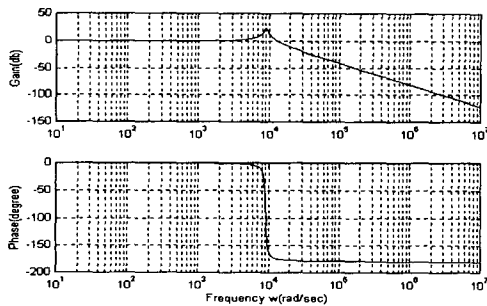


그림 3. 인버터 플랜트의 보드선도.  
Fig. 3. Bode plots of inverter plant.

### 3. 2중 데드비트제어

#### 3.1 내부 전류 제어루프

디지털 제어기의 시간지연을 시스템의 고유한 파라메타로 가정하여 인버터 시스템을 ZOH(Zero Order Hold) 등가모델로 변환하면 전류 제어루프는 그림 2와 식 (1)로부터 그림 4와 같이 된다.

그림 4에서 전류 제어루프의 플랜트 전달함수는

다음과 같다.

$$G_{pc}(z) = \frac{b}{z-a} \quad (2)$$

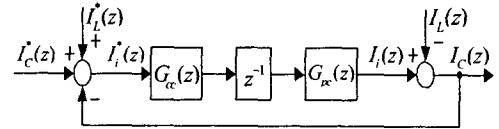


그림 4. 전류 제어루프.  
Fig. 4. Block diagram of current control loop.

여기서  $a = e^{-R_f T_{sc}/L_f}$ ,  $b = \frac{1}{R_f}(1-a)$ 이며,  $T_{sc}$ 는 전류 제어루프의 샘플링 주기이다.

그림 4에서 외란이 존재하지 않는다면, 즉  $I_L(z) = 0$ 인 경우에 전류 제어루프가 데드비트제어가 되기 위한 조건은 다음과 같다.

$$G_{cc}(z) = \frac{z(z-a)}{b(z-1)} \quad (3)$$

식 (3)의 데드비트 제어기는 분자의 차수가 분모의 차수보다 크기 때문에 구현이 불가능하며, 이는 연산지연시간이 존재하는 한 전류 제어루프는 데드비트 제어가 될 수 없음을 의미한다. 따라서, 전류 제어루프가 데드비트 제어가 되기 위한 조건은 식 (4)와 같이 수정된다.

$$\left. \frac{I_c(z)}{I_c^*(z)} \right|_{I_L(z)=0} = \frac{1}{z^2} \quad (4)$$

식 (4)에서 알 수 있는 바와 같이 디지털 제어기의 시간지연을 시스템의 고유한 파라미터로 가정했기 때문에 시스템의 차수가 증가한 2차의 데드비트 제어가 됨을 알 수 있다. 또한, 식 (4)의 조건을 만족하기 위한 전류제어기의 전달함수는 다음과 같으며, 등가 전류 제어루프는 그림 4로부터 그림 5와 같이 된다.

$$G_{cc}(z) = \frac{z(z-a)}{b(z^2-1)} \quad (5)$$

## 단상 UPS 인버터의 강인한 2중 데드비트제어

외란이 존재한다면, 즉  $I_L(z) \neq 0$  인 경우에 정확한 전류제어를 위해서 외란은 보상되어야 하며, 이러한 외란의 보상은 그림 5의 등가 전류 제어루프의 커패시터 전류 지령치에 부하전류를 피드포워드 보상함으로써 수행된다. 그림 5에서 커패시터 전류는 다음 식과 같이 된다.

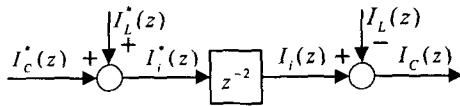


그림 5. 등가 전류 제어루프.  
Fig. 5. Equivalent current control loop.

$$I_C(z) = (I_C^*(z) + I_L^*(z))z^{-2} - I_L(z) \quad (6)$$

식 (6)에서 커패시터 전류가 2차 데드비트 제어를 만족하기 위한 조건은 식 (7)과 같다.

$$I_L^*(z) = z^2 I_L(z) \quad (7)$$

식 (7)에서  $I_L^*(z)$  는 실제의 부하전류  $I_L(z)$  보다 2 샘플링 이전의 값이어야 하며, 이 값은 미래의 값이므로 직접 구할 수 없고, 식 (8)과 같은 부하전류 예측기법에 의해서 구할 수 있다.

$$i_L(k+2) \approx 3i_L(k) - 2i_L(k-1) \quad (8)$$

식 (8)의 부하전류 예측기법에 의하여 외란이 완전히 보상된 경우, 전류 제어루프는 식 (4)를 만족하며, 따라서 제안된 2차 데드비트 전류제어는 LC 필터의 커패시터 전류를 정상상태 오차나 오버슈트 없이 지령치와 2 샘플링 시간 내에 정확히 일치하도록 제어한다. 또한, 디지털 제어기의 시간지연요소를 시스템의 고유한 파라미터로 가정하여 데드비트 제어기를 설계하였기 때문에 디지털 제어기의 고유한 연산지연시간에 의한 성능저하를 개선한다. 그러나, 실제 시스템에 있어서 LC필터의 커패시터 전류는 필터 인덕턴스의 영향으로 위상지연이 발생하며, 이러한 위상지연은 기본과 주파수에서 지령치와 실제 커패시터 전류 사이에 위상오차를 발생시키게 된다.

## 3.2 외부 전압 제어루프

식 (8)의 부하전류 예측기법에 의해서 외란이 완전히 보상되고, 제안된 2차 데드비트 전류제어기에 의해서 LC필터의 커패시터 전류가 정상상태 오차나 오버슈트 없이 지령치에 2 샘플링 시간 내에 정확히 일치하도록 제어된다면 내부 전류 제어루프의 동특성은 무시할 수 있으며, 전류 제어루프는 1로 등가화 될 수 있다. 따라서, 전압 제어루프는 그림 6과 같이 된다.

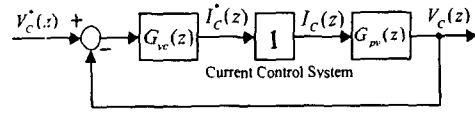


그림 6. 전압 제어루프.  
Fig. 6. Block diagram of voltage control loop.

그림 6에서 전압 제어루프의 플랜트와 페루프 전달함수는 각각 다음과 같다.

$$G_{pv}(z) = \frac{T_{sv}}{C_f(z-1)} \quad (9)$$

$$\frac{V_C(z)}{V_C^*(z)} = \frac{G_{vc}(z)G_{pv}(z)}{1+G_{vc}(z)G_{pv}(z)} \quad (10)$$

여기서,  $T_{sv}$  는 전압 제어루프의 샘플링 주기이다.

식 (10)의 전압 제어루프가 데드비트 제어가 되기 위한 조건은 다음과 같다.

$$G_{vc}(z) = \frac{C_f}{T_{sv}} \quad (11)$$

한편 내부 전류 제어루프에서 짧은 샘플링 주기 동안 인버터 출력전류가 일정한 것으로 가정하면 커패시터 전류가 부하전류보다 진상이므로 커패시터 전류를 데드비트 제어함으로써 진상전류 제어가 가능하며 내부 전류 제어루프는 빠른 제어능력을 얻을 수 있다. 그러나, 실제 시스템에 있어서 LC필터의 커패시터 전류는 필터 인덕턴스의 영향으로 위상지연이 발생하며, 이러한 위상지연은 기본과 주파수에서 지령치와 실제 커패시터 전류 사이에 위상오차를 발생

시리게 된다. 따라서 외부 전압 제어루프에서 커패시터 전압을 커패시터 전류의 위상중심( $i_c = j\omega C_f v_c$ )에 두고 2중 데드비트 제어를 수행함으로써 커패시터 전류의 위상지연에 대한 보상이 가능하다.

#### 4. 시뮬레이션 및 실험 결과

제안된 시스템의 타당성을 검토하기 위하여 PSIM을 이용하여 시뮬레이션을 수행하였으며, 시뮬레이션에 사용된 시스템 파라미터는 표 1과 같다.

표 1. 시스템 파라미터  
Table 1. System Parameters

DC link 전압	200[V]
출력 전압	100[V](RMS), 60[Hz]
스위칭 주파수	20[kHz]
필터 인덕턴스	1.2[mH]
필터 인덕터 등가직렬저항	0.7[Ω]
필터 커패시턴스	10[μF]
부 하 저항	10[Ω]

내부 전류 제어루프와 외부 전압 제어루프의 샘플링 주기는 각각 50[μs]와 100[μs]이며, 내부 2차 데드비트 전류제어기와 외부 데드비트 전압제어기의 전달함수는 각각 다음과 같다.

$$G_{cc}(z) = \frac{z(z-0.9713)}{0.0411(z^2-1)} \quad (12)$$

$$G_{vc}(z) = 0.1 \quad (13)$$

그림 7은 부하저항 10[Ω]에서 제안된 시스템의 시뮬레이션 결과로써 파형 (a)는 출력전압을, 파형 (b)는 부하전류를 각각 나타낸다. 인버터 출력전압과 부하저항 모두 연산지연시간을 고려한 내부 2차 데드비트 전류제어기와 외부 데드비트 전압제어기에 의하여 정상상태에서 양호한 특성을 나타냄을 알 수 있다.

그림 8은 무부하에서 정격부하로 71[ms]에서 변동하였을 경우 제안된 시스템의 시뮬레이션 결과로써, 파형 (a)와 (b)는 각각 그림 7과 동일하다. 제안된 2중 데드비트 제어기와 부하전류 예측기법에 의한 부하전류 피드포워드 보상에 의해서 출력전압과 부하

전류는 각각 100[μs]와 50[μs]의 매우 빠른 동특성을 나타내며, 부하변동에 강인함을 알 수 있다.

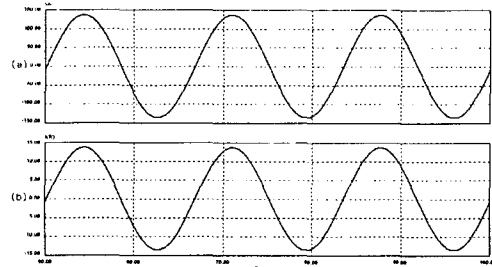


그림 7. 저항부하에서의 시뮬레이션 결과.  
(a) 출력전압 (b) 부하전류  
Fig. 7. Simulation results with resistive load.  
(a) Output voltage (b) Load current

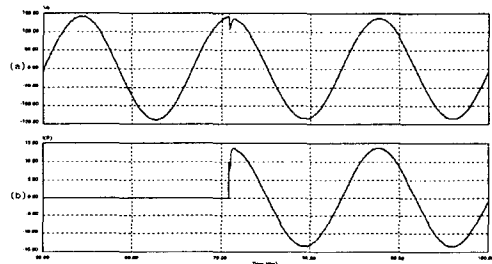


그림 8. 부하 변동시 시뮬레이션 결과.  
(a) 출력전압 (b) 부하전류  
Fig. 8. Simulation results under load variation.  
(a) Output voltage (b) Load current

그림 9는 역률 0.8의 R-L부하에서 제안된 시스템의 시뮬레이션 결과로써, 파형 (a)와 (b)는 각각 그림 7과 같이 출력전압과 부하전류 파형을 나타낸다. 여기서 R-L부하의 저항과 인덕턴스는 각각 8[Ω]과

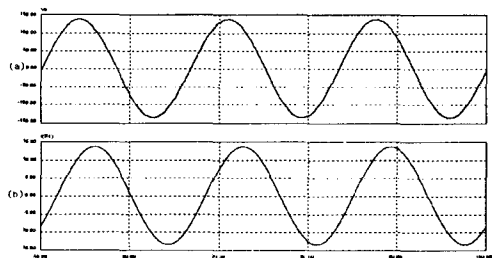


그림 9. R-L부하에서의 시뮬레이션 결과.  
(a) 출력전압 (b) 부하전류  
Fig. 9. Simulation results with R-L load.  
(a) Output voltage (b) Load current.

단상 UPS 인버터의 강인한 2중 데드비트제어

16[mH]이다. 그림에서 알 수 있듯이 부하전류는 출력전압보다 지상전류이며, 역률 0.8의 R-L 부하에서도 제안된 시스템의 출력전압은 2중 데드비트 제어기에 의해서 1.7%의 낮은 THD를 나타낸다.

그림 10은 비선형 부하로 커패시터 입력형 정류기 부하에서 제안된 시스템의 시뮬레이션 결과로써, 파형 (a)와 (b)는 그림 7과 마찬가지로 출력전압과 부하전류를 각각 나타낸다. 제안된 부하전류 예측기법과 2중 데드비트 제어기에 의해서 제안된 시스템의 출력전압은 커패시터 입력형 정류기 부하에서도 2.3%의 낮은 THD를 나타낸다.

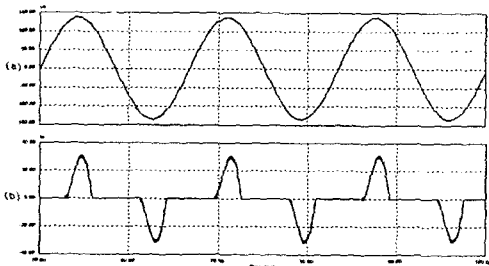


그림 10. 정류기 부하에서의 시뮬레이션 결과.  
 (a) 출력전압 (b) 부하전류  
 Fig. 10. Simulation results with rectifier load.  
 (a) Output voltage (b) Load current

다음으로 그림 11과 같이 1[kVA]의 UPS용 단상 인버터 실험장치를 제작하고 실제 실험을 수행하였다. 실험에 사용된 시스템 파라메타는 표 1과 동일하고, 스위칭 소자인 IPM(Intelligent Power Module)은 미쯔비시사의 PM100DSA120을 사용하였으며, 제어기로는 32비트 부동소수점 연산이 가능한 TMS320C32의 DSP를 이용하였다. 또한, 실험에 사용된 각각의 이득은 MATLAB을 이용하여 구한 다음 실제 실험에서는 오프라인으로 처리하였다.

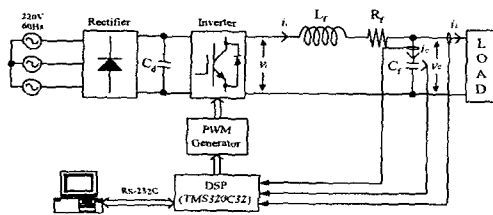


그림 11. 실험장치 구성도.  
 Fig. 11. Schematic configuration of experimental system.

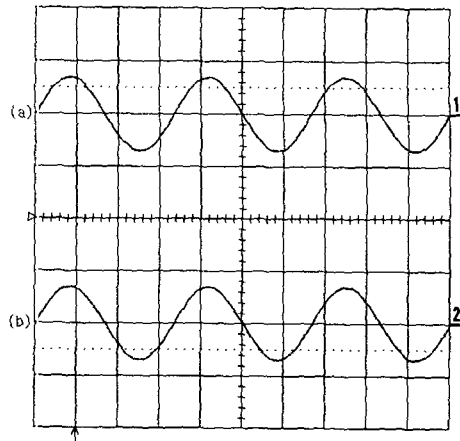


그림 12. 저항부하에서의 실험 결과 (5ms/div).  
 (a) 출력전압 (200V/div)  
 (b) 부하전류 (20A/div)  
 Fig. 12. Experimental results with resistive load.  
 (a) Output voltage  
 (b) Load current

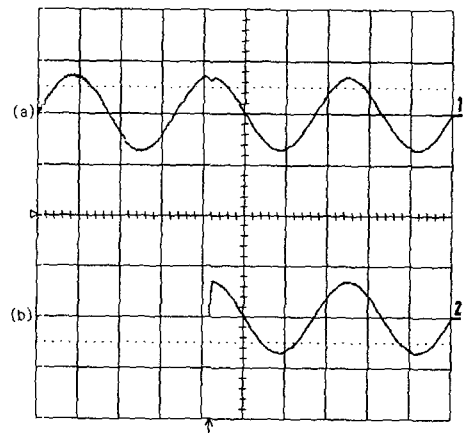


그림 13. 부하 변동시 실험 결과 (5ms/div).  
 (a) 출력전압 (200V/div)  
 (b) 부하전류 (20A/div)  
 Fig. 13. Experimental results under load variation.  
 (a) Output voltage  
 (b) Load current

그림 12부터 15는 각각 그림 7부터 10까지의 시뮬레이션을 실제 실험한 결과로써, 파형 (a)는 출력전압을 파형 (b)는 부하전류를 각각 나타낸다. 그림에서 알 수 있는 바와 같이 제안된 시스템의 실험결과는 시뮬레이션 결과와 유사하며, 2중 데드비트 제어기에 의해서 양호한 정상상태 특성 및 과도상태에서

매우 빠른 동특성을, 부하전류 예측기법에 의해서 부하변동과 비선형 부하에서도 출력전압의 낮은 THD를 각각 나타낸다. 또한 그림 16은 그림 15의 커패시터 입력형 정류기 부하에서 제안된 시스템의 고주파 스펙트럼으로 출력전압의 THD가 5[%] 이내를 만족하는 것을 알 수 있다.

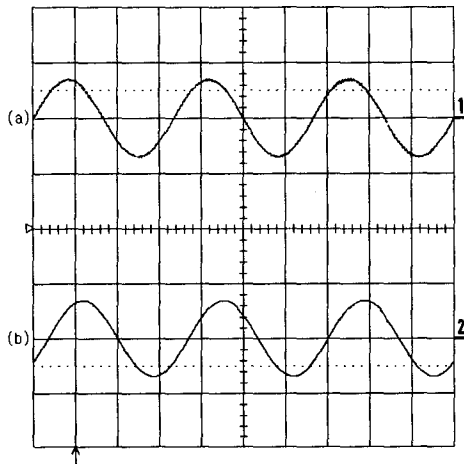


그림 14. R-L 부하에서의 실험 결과 (5ms/div).  
 (a) 출력전압 (200V/div)  
 (b) 부하전류 (20A/div)  
 Fig. 14. Experimental results with R-L load.  
 (a) Output voltage  
 (b) Load current

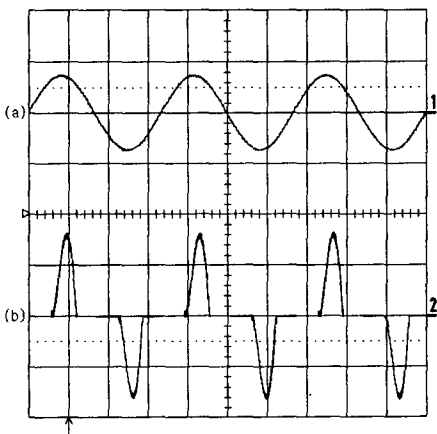


그림 15. 정류기 부하에서의 실험 결과 (5ms/div).  
 (a) 출력전압 (200V/div)  
 (b) 부하전류 (20A/div)  
 Fig. 15. Experimental results with rectifier load.  
 (a) Output voltage  
 (b) Load current

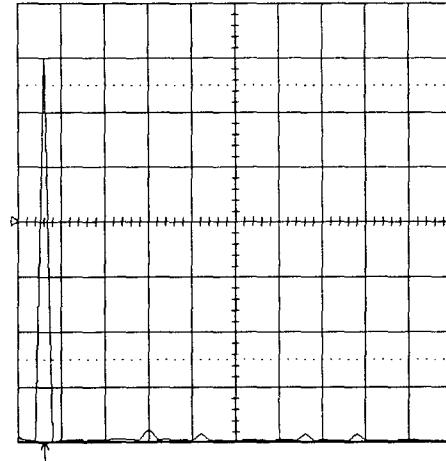


그림 16. 그림 15(a)의 고조파 스펙트럼.  
 (20V/div, 100Hz/div)  
 Fig. 16. Harmonic spectrum of Fig. 15(a).

## 5. 결 론

본 논문에서는 UPS용 인버터의 강인한 디지털 제어를 위하여 인버터 출력측 LC필터의 커패시터 전압과 전류의 2중 제어루프로 구성하고, 전류 제어루프는 디지털 제어기의 시간지연요소를 시스템의 고유한 파라미터로 가정한 2차 데드비트제어기로 설계하여 우수한 과도응답특성을 얻을 수 있었다. 또한, 외란에 의한 데드비트제어의 성능저하를 개선하기 위하여 부하전류 예측기법을 전류 제어루프에 추가하여 부하전류를 피드포워드 보상한 결과 부하의 변동이나 비선형부하와 같은 외란에 강인함을 알 수 있었다. 전압 제어루프의 커패시터 전압을 전류 제어루프의 커패시터 전류의 위상중심으로 두고 2중 데드비트 제어를 수행함으로써 실제 커패시터 전류와 지령치 사이의 위상지연 보상이 가능하여 커패시터 전류에 의한 진상전류 제어가 가능하였으며, 커패시터 입력형 정류기 부하에서도 5%미만의 출력전압의 낮은 THD를 확인하였다. 향후 플랜트 파라미터 변동에 대한 데드비트 제어기의 민감성에 대한 고려가 필요하다.

참 고 문 헌

[1] N. M. Abdel-Rahim and J. E. Quaicoe, "Analysis and Design of a Multiple Feedback Loop Control Strategy for Single-Phase Voltage-Source LPS Inverters," *IEEE Trans. on Power Electron.*, Vol. 11, No. 4, pp. 532-541, 1996.

[2] T. Kawabata, T. Miyashita and Y. Yamamoto, "Digital Control of Three-Phase PWM Inverter with LC Filter," *IEEE Trans. on Power Electron.*, Vol. 6, No. 1, pp. 62-72, 1991.

[3] T. Yokoyama and A. Kawamura, "Disturbance Observer Based Fully Digital Controlled PWM Inverter for CVCF Operation," *IEEE Trans. on Power Electron.*, Vol. 9, No. 5, pp. 473-480, 1994.

[4] O. Kukrer, "Discrete-Time Current Control of Voltage-Fed Three-Phase PWM Inverters," *IEEE Trans. on Power Electron.*, Vol. 11, No. 2, pp. 260-269, 1996.

[5] Y. Ito and S. Kawauchi, "Microprocessor-Based Robust Digital Control for LPS with Three-Phase PWM Inverter," *IEEE Trans. on Power Electron.*, Vol. 10, No. 2, pp. 196-204, 1995.

[6] S. L. Jung, M. Y. Chang, J. Y. Jyang, L. C. Yeh, and Y. Y. Tzou, "Design and Implementation of an FPGA-Based Control IC for AC-Voltage Regulation," *IEEE Trans. on Power Electron.*, Vol. 14, No. 3, pp. 522-532, 1999.

[7] 박지호, 허태원, 신동률, 노태균, 우정인, "3상 UPS용 인버터의 강인한 비간섭 디지털제어," *대한전기학회 논문지*, Vol. 49B, No. 4, pp. 246-255, 2000.

허 태 원 (許泰遠)

1973년 4월 27일생. 1997년 동서대 전자공학과 졸업. 1999년 동아대 대학원 전기공학과 졸업(석사). 2001년 동 대학원 전기공학과 박사과정 수료. 현재 마산대학 전기과 겸임교수.

안 인 모 (安仁模)

1959년 4월9일생. 1981년 동아대 전기공학과 졸업. 1983년 동 대학원 전기공학과 졸업(석사). 1996년 KAIST 자동화 및 설계공학과 박사과정 수료. 현재 마산대학 전기과 부교수.

이 현 우 (李鉉雨)

1953년 4월 28일생. 1979년 동아대 전기공학과 졸업. 1984년 영남대 대학원 전기공학과 졸업(석사). 1992년 동아대 대학원 전기공학과 졸업(박사). 현재 경남대 전기전자공학부 교수.

정 재 료 (鄭載倫)

1950년 1월 3일생. 1978년 중앙대 전기공학과 졸업. 1980년 동 대학원 전기공학과 졸업(석사). 1989년 동 대학원 전기공학과 졸업(박사). 현재 유한대학 제어계측과 교수.

우 정 인 (禹靖仁)

1941년 2월 12일생. 1963년 한양대 전기공학과 졸업. 1978년 영남대 대학원 전자공학과 졸업(석사). 1970년~1979년 부산공업대 전기공학과 조교수. 1984년 중앙대 대학원 전기공학과 졸업(박사). 1979년~현재 동아대 전기전자컴퓨터공학부 교수.

◇ 저자소개 ◇

박 지 호 (朴志浩)

1971년 4월 23일생. 1997년 동아대 전기공학과 졸업. 1999년 동 대학원 전기공학과 졸업(석사). 2001년 동 대학원 전기공학과 박사과정 수료. 2000년~현재 동명대학 기계자동화시스템계열 전임강사.