

능동 클램프 ZVS 플라이백 컨버터의 역률개선에 관한 연구

(A Study on PFC of Active Clamp ZVS Flyback Converter)

최태영* · 류동균* · 이우석* · 안정준** · 원종연** · 김수석****

(Tae-Young Choi · Dong-Kyun Ryu · Woo-Suk Lee · Jeong-Joon Ahn · Chung-Yuen Won · Soo-Seok Kim)

요 약

본 논문에서는 single-stage, two-stage 두가지 역률보상(PFC)기법을 기존의 능동 클램프 플라이백 컨버터에 적용하여 역률개선을 하였다. 삽입된 플라이백 컨버터의 능동클램프회로가 주스위치와 보조스위치의 영전압스위칭(ZVS)을 구현하며, 스위칭 손실을 줄임으로써 고효율을 얻을 수 있고, 높은 주파수에서의 스위칭이 가능하다. 하지만 일반적으로 사용되는 다이오드정류기, 평활용커패시터에 의한 낮은 역률의 문제점이 남아있다. 본 논문에서는 300[W]급 능동 클램프 ZVS 플라이백 컨버터를 설계하여 single-stage, two-stage방식을 적용, 입력역률개선을 시뮬레이션과 실험에 의해 입증하고자 한다.

Abstract

This paper analyzed PFC of active clamp ZVS flyback converter by adding two method PFC (Power Factor Correction) circuit - two-stage and single-stage. The addition of active clamp circuit also provide a mechanism for achieving ZVS of both the primary and auxiliary switches. ZVS also limits the turn off di/dt of the output rectifier, reducing rectifier switching loss and switching noise, due to diode reverse recovery. As a results, the proposed converters have characteristics of the reduced switching noise and high efficiency in comparison to conventional flyback converter.

The simulation and experimental results show that the proposed converters improve the input PF of 300[W] ZVS flyback converter by adding single-stage, two-stage PFC circuit.

key words : Active clamp ZVS flyback convertor, Power Factor Correction, Single stage approach, Two stage approach.

* 정회원 : 성균관대학교 전기전자 및 컴퓨터공학과 석사과정
E-mail : peranty@hanmail.net
** 정회원 : (주) TMDevice 이사
*** 정회원 : 성균관대학교 전기전자 및 컴퓨터공학부 교수
**** 정회원 : 서울산업대학교 전기공학과 조교
접수일자 : 2001년 8월 24일
1차심사일 : 2001년 8월 28일
심사완료일 : 2001년 9월 26일

1. 서 론

세계 각국의 에너지 활용도에 대한 관심이 높아지면서, 효율이 높은 전자 장비를 사용하여 에너지의 소비를 줄이고 있다. 이러한 요구를 만족시키기 위해

가전제품이나 조명장치, 그리고 전동기 구동 시스템 등에 사용되는 전원장치를 기존의 리니어 전원장치를 대신하여 스위칭 전원장치로 교체하고 있다. 그러나 기존의 스위칭 전원장치는 입력단에 다이오드 브릿지를 사용하는 간단한 형태의 정류기를 사용하므로 큰 커패시터가 필요하다. 그 결과로, 전원측의 심각한 고조파가 발생된다. 그리고 전원측의 전력품질을 개선하기 위한 추가비용이 필요하게 된다[1].

기존의 플라이백 컨버터는 고주파 스위칭에 의한 손실증가, 노이즈 발생, 스위치의 높은 전압 스트레스 등 많은 문제점을 가지고 있다. 그리고 이러한 단점들을 소프트스위칭 기법을 도입하여 문제점들을 개선할 수 있었다. 하지만 다이오드 정류기의 입력 커패시터에 의해 생기는 폭이 좁은 전류파형으로 인하여, 낮은 PF와 입력전류에 포함된 고조파에 의해 다른 장치로의 전원공급에 영향을 미치는 문제점이 있다.

최근에 이 문제를 해결하기 위해서 구미 선진국에서는 IEC 61000이나 IEEE 519와 같은 규격을 제정하여 고조파에 대해 규제를 가하고 있는 실정이다. 이를 만족시키기 위하여 많은 회로들이 연구되었으며, 그 결과 크게 two-stage 방식과 single-stage 방식으로 나눌 수 있다.

전자의 two-stage 방식은, Boost컨버터와 같은 단순한 PFC회로를 이용하여, 일정한 DC전압을 만들고, 이것을 다시 절연트랜스를 갖는 DC/DC컨버터를 통해서 출력전압을 얻는 방식이다.

이러한 컨버터의 장점은 역률 보상과 출력 전압 제어가 각각 독립적이라는 것이나, 소자수가 많아 부피가 크고 전체시스템이 복잡하고, 효율이 낮다는 단점을 가지고 있다.

후자의 single-stage방식은 하나의 전력단으로 입력역률보상 뿐만 아니라, 출력전압도 제어가 가능하다. 역률 보상과 출력전압제어가 하나의 제어부를 가지고 있어서 소자수가 적고, 전체시스템이 간단하여 원가가 낮고, 효율이 높다는 장점이 있지만, two-stage방식과 비교할 때 역률개선의 정도는 낮다. 하지만 고조파 제한 규격인 IEC-61000-3-2 조항에는 따를 수 있다[2],[3].

본 논문에서는 RF 제너레이터용 능동클램프 ZVS 플라이백 컨버터에 두 가지 방식의 대표적인 토폴로지를 적용하여 역률개선을 하였다.

2. Two-stage 방식에 의한 역률개선

그림 1은 다이오드정류기 - 능동 클램프 ZVS 플라이백 컨버터의 구조를 나타내고 있다.

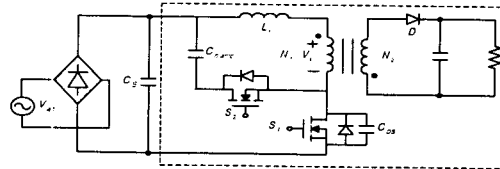


그림 1. 능동 클램프 ZVS 플라이백 컨버터
Fig. 1. Active Clamp ZVS flyback converter

능동 클램프 ZVS 플라이백 컨버터는 기존 PWM 플라이백 컨버터에 보조스위치(S_2)와 클램프커패시터(C_{clamp})를 추가하였고, 주스위치(S_1)의 기생커패시터(C_{DS})와 변압기의 누설인덕턴스(L_r)를 이용하여 S_1 , S_2 의 영전압스위칭(ZVS)을 가능하게 한다. 이로 인해 스위칭 손실을 줄임으로써 고효율을 얻을 수 있고, 높은 주파수에서의 스위칭이 가능하다. 하지만 일반적으로 사용되는 다이오드정류기, 평활용커패시터에 의한 낮은 역률의 문제점이 남아있다[4].

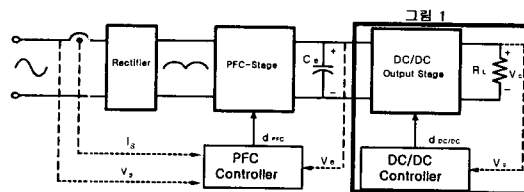


그림 2. Two-stage PFC컨버터의 기본구조
Fig. 2. Structure of two-stage PFC converter

그림 2에서 다이오드 정류기에 의한 낮은 역률과 입력전류에 포함된 고조파를 저감하고자 PFC단을 삽입하였고, DC/DC 출력단은 능동클램프 ZVS플라이백 컨버터를 사용하였다. 이러한 two-stage 방식은 두 개의 독립된 제어부가 역률보상과 출력전압제어를 한다는 특징이 있다.

본 논문에서 PFC단에 사용한 일정주파수 평균전류제어방식은 매 일정 주기마다 전류가 증가하는 방향으로 스위치를 턴온 시키고, 이 경우에 인덕터에는 에너지가 축적되고, 입력전류의 크기(I_s)는 전류 기준치(센싱된 입력전압의 모양 I_{ref})에 도달할 때까지 증가하게 되고 커패시터는 방전하게 된다. 입력전류가 기

준치에 도달하게 되면 컨버터 출력단인 직류측으로 다이오드를 통해 인덕터에 축적된 에너지를 공급한다. 에너지의 전달 모드에서 입력전류의 크기가 부하 전류의 정격치 보다 큰 경우 커패시터는 충전되며, 일정 시간마다 스위치를 턴 온 시키므로 일정 주파수 제어 가 이루어지게 된다. 그림 4는 PFC단의 제어블럭 도로서 DCPT로 검출한 직류출력전압이 전압 PI제어기의 입력이 되고, 전류제어기에서는 I_s 가 I_{ref} 를 추종하는 일정주파수 평균전류제어가 이루어지게 된다[5].

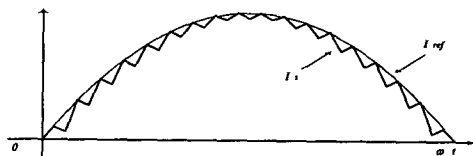


그림 3. 일정주파수 평균전류제어
Fig. 3. The average current control and fixed frequency control

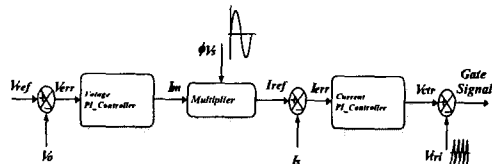
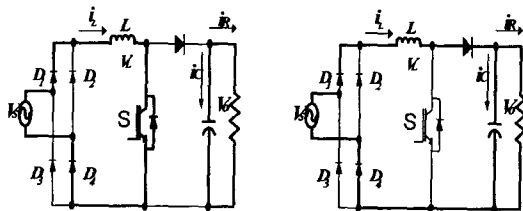


그림 4. PFC stage의 제어 블럭도
Fig. 4. Block diagram of PFC stage controller



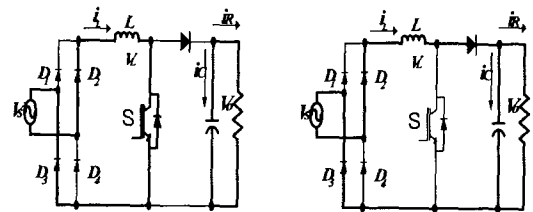
Mode 1
S (ON), D₁ (ON), D₄ (ON)
(양의 반주기)
(Positive half cycle)

Mode 2
S (OFF), D₁ (ON), D₄ (ON)
(양의 반주기)
(Positive half cycle)

그림 5는 two-stage 방식으로 이용되는 Boost 컨버터의 동작모드이다.

Mode 1은 스위치(S)가 턴 온 하면, 입력전류가 증가하여, 인덕터에는 에너지를 축적하게 되고, 출력 커패시터의 전압은 부하로 방전하게 된다. Mode 2에서는 스위치가 turn-off 하면서, 인덕터에 축적되었던 에너지를 환류 다이오드를 통해 부하로 방전하게 된다. Mode 3과 Mode 4에서는 입력전압이 음의 반주

기일 경우이며, 양의 반주기일 경우와 동일한 동작을 하게된다. 그림 6은 two-stage 방식의 입력전압, 전류 모양과 각 stage의 스위치 듀티 사이클이다[6].



Mode 3
S (ON), D₂ (ON), D₃ (ON)
(음의 반주기)
(Negative half cycle)

Mode 4
S (OFF), D₂ (ON), D₃ (ON)
(음의 반주기)
(Negative half cycle)

그림 5. Boost PFC 컨버터 각 모드별 분석
Fig. 5. Proposed PFC converter (Boost) and operation modes

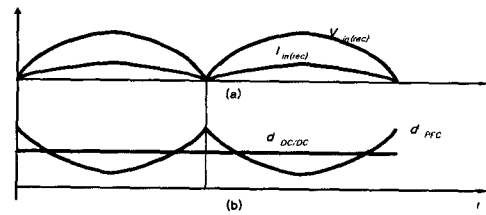


그림 6. Two-stage PFC 컨버터의 이상적파형
Fig. 6. Ideal waveforms of the two-stage PFC converter.
(a) Rectified input voltage and current
(b) Duty cycle of the PFC and DC/DC switch

3. Single-stage 방식에 의한 역률개선

그림 7은 single-stage 방식의 기본구조이다.

Single-stage 방식은 하나의 제어부가 역률보상과 출력전압을 제어한다는 특징이 있다.

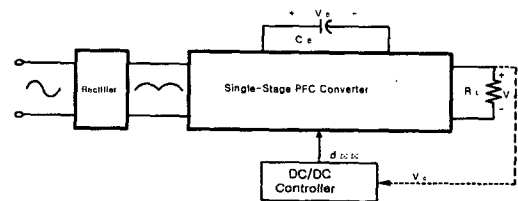


그림 7. single-stage PFC 컨버터의 기본구조
Fig. 7. Structure of single-stage PFC converter

능동 클램프 ZVS 플라이백 컨버터의 역률개선에 관한 연구

그림 8은 본 논문에서 쓰인 single-stage 방식이고, 각각의 동작모드별로 나타내었다. 이 방식은 two-stage 방식과 같은 별도의 전류제어기가 필요없이, 삽입된 인덕터(L1)에 의해 입력역률을 개선할 수 있다. 즉, 삽입된 인덕터가 입력전압의 순시 크기에 따라 유효슈티비를 가변하여 입력전류를 분할함으로써 연속모드에서 역률이 개선된다.

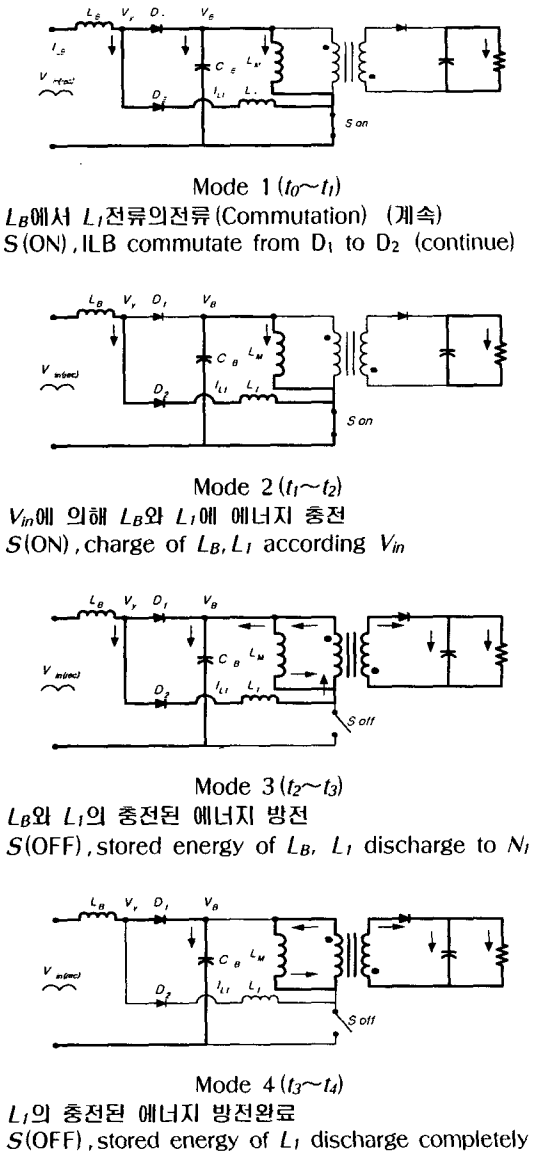
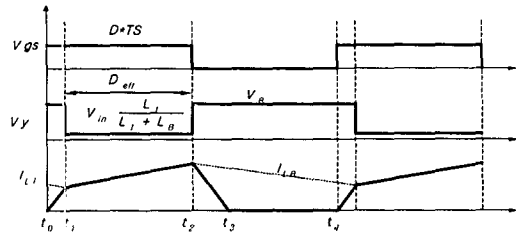
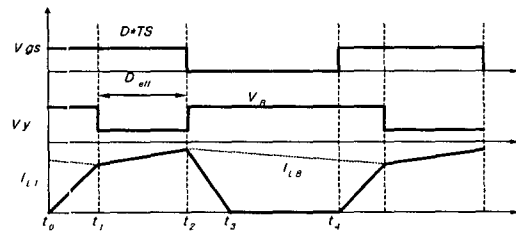


그림 8. 제안된 single-stage 방식과 각 모드 분석
 Fig. 8. Proposed single-stage converter and operation modes.



(a) Waveforms according to Input voltage (ta)



(b) Waveforms according to Input voltage (tb)

그림 9. 순시 입력전압에 따른 각부 파형
 Fig. 9. Waveforms according to the input voltage

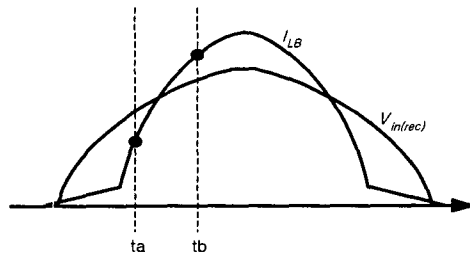


그림 10. 입력전압의 크기에 따른 입력전류
 Fig. 10. Input current Waveform according to input voltage magnitude.

동작상태는 능동클램프회로를 제외한 PWM 플라이백 컨버터에 의한 4개의 Mode로 구분한다. 스위치 S에 의해서 턴온이 되면 I_{LL} 이 I_{LB} 에 이르는 시간 t_1 까지 계속 도통한다. 인덕터 L에 흐르는 전류의 기울기는 $di_L/dt = V_{in}/L$ 로 나타낼 수 있고, L_1 은 L_B 에 비해 상대적으로 매우 작은 값이기 때문에 I_{LL} 기울기가 급하게 이루어지면서 t_1 에서 I_{LB} 에 도달하게 된다. 이 시점에서의 노드전압은, $V_y = (L_1 / (L_1 + L_B)) \times V_{in(rec)}$ 이고 결국 $t_0 \sim t_1$ 까지의 시간은 L_1 과 순시입력전압 V_{in} 에 의해 결정된다. 그리고 $t_0 \sim t_1$ 동안 D_1 과 D_2 의 전류

(Commutation)가 생기면서 t_1 시점에서는 D_1 방향으로 전류가 흐르지 않게 된다. t_1-t_2 까지는 V_{in} 에 의해 L_B, L_1 에 에너지가 충전되고, t_1-t_2 시간은 식 $(L_1/(L_1+L_B)) \times V_{in(rec)}$ 에 의해 정해진 Mode 1 기간을 제외한, 스위치 S가 턴온 되기 전까지의 기간이므로, Mode 1, Mode 2 기간은 입력전압 V_{in} 순시치와 L_1 의 크기에 의해서 정해진다. 따라서, 순시입력전압이 증가하면 Mode 2의 기간도 V_V 의 평균치로 증가하게 된다. 결국, 유효듀티비(D_{eff}) 구간인 Mode 2 구간은 입력전압이 높으면 Boost인덕터 L_B 의 D_{eff} 는 감소하고, 낮으면 증가하게 되어 two-stage의 듀티비의 증감과 같은 효과를 가지게 된다. Mode 3에서는 S가 턴오프되면 L_B 와 L_1 에 충전된 에너지가 방전한다. 동시에 역기전력에 의해서 자화인덕턴스에 축적된 에너지가 출력으로 방전하기 시작한다. Mode 4는 L_1 의 에너지가 모두 방전했을 경우이다.

그림 10을 그림 9의 (a)와 (b)와 비교해 보면, 유효 듀티비 D_{eff} 구간인 Mode 2의 구간에서 입력전압이 t_a 에서 t_b 로 증가하면, Boost인덕터의 유효듀티비는 감소하며, 이러한 원리로 전류를 분할하여 역률이 개선됨을 보여주고 있다[3],[7].

그림 11은 single-stage방식의 입력전압, 전류모양과 스위치 S 듀티 사이클이다.

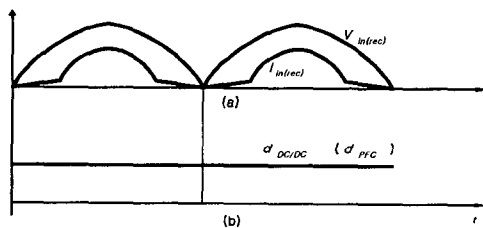


그림 11. Single-stage PFC컨버터의 입력전압, 전류
Fig. 11. Waveforms of the single-stage PFC converter.

(a) Rectified input voltage and current
(b) Duty cycle of the integrated switch

4. 시뮬레이션 및 실험 결과

능동 클램프 ZVS 플라이백 컨버터의 역률개선 및 타당성을 검증하기 위해서 시뮬레이션 (Psim Ver.4.1) 과 실제 하드웨어 제작 및 실험을 수행하였다. 본 논문에서는 입력 AC 110[V], 유효전력 300[W]급의 컨버터를 설계하였고, 회로정수는 표 1 과 같다. 그림 12

와 그림 13은 입력전압, 전류파형과 입력전류 고조파 분석 및 IEC-61000-3-2등급과 비교한 그래프를 나타내었다. 이 때 역률이 0.71이며 이를 개선하기 위해 두 가지 방식에 의해 시뮬레이션을 수행하였다.

표 1. 능동클램프 ZVS 플라이백 컨버터 회로정수
Table 1. Design parameters of active clamp ZVS flyback converter

교류입력전압 V_{in}	110[V]	평활용커패시터 C_B	1000[μ F]
출력전압 V_o	48[V]	S1기생커패시터 C_{s1}	700[nF]
스위칭주파수	100[kHz]	변압기누설인덕턴스 L_r	20[uH]
권수비	4:1	시비율 D	0.5~0.7

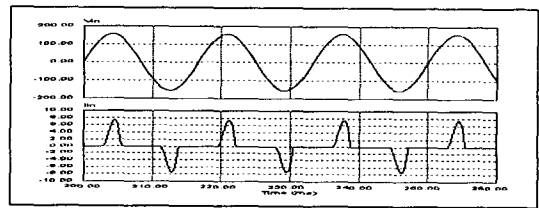


그림 12. 능동클램프 플라이백컨버터 입력전압, 전류 파형
Fig. 12. Active clamp ZVS flyback converter input voltage, input current waveforms

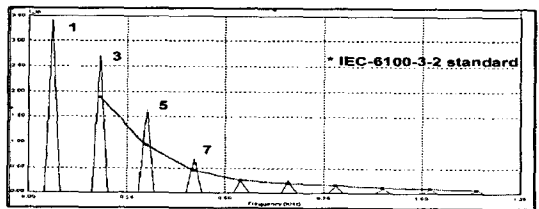


그림 13. 고조파 분석 및 IEC 규격 비교
Fig. 13. Measured harmonic content of input current. (Compared with IEC 61000-3-2 standard)

그림 14는 Boost PFC컨버터를 추가하여, two-stage 방식에 의한 역률개선 시뮬레이션 회로도이다. 입력교류전압 110[V], Boost컨버터 인덕터(L_B : 600[uH]), 평활용커패시터(C_B : 2000[μ F]) 양단전압 190[V], 출력전압 48[V]로 가정하였다.

그림 15는 입력전압, 전류파형이고, 그림 16은 고조파분석 및 IEC-61000-3-2와 비교한 그래프이다. 역률개선으로 IEC규격에 적합함을 알 수 있다. 그림 17, 18은 전류제어기를 통해 전류제어가 이루어짐을 보이고 있다.

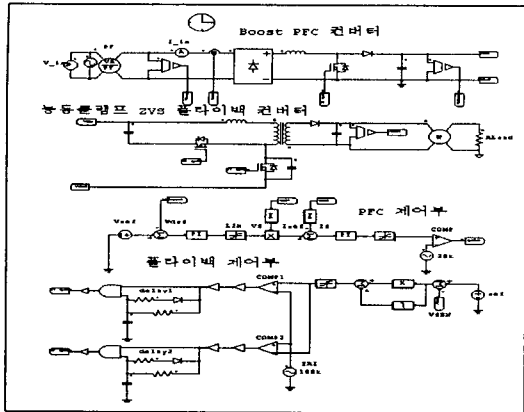


그림 14. Two-stage 방식에 의한 시뮬레이션
Fig. 14. Simulation circuit by two-stage approach

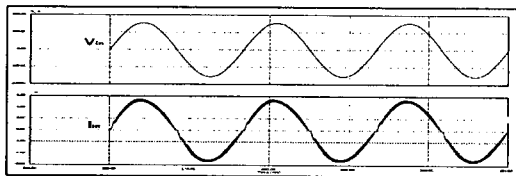


그림 15. 입력전압, 전류 파형 (PF:0.98)
Fig. 15. Input voltage, input current waveforms (PF:0.98)

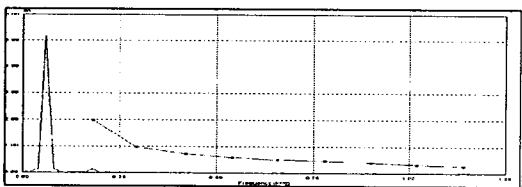


그림 16. 고조파 분석 및 IEC 규격 비교
Fig. 16. Measured harmonic content of input current (Compared with IEC 61000-3-2 standard)

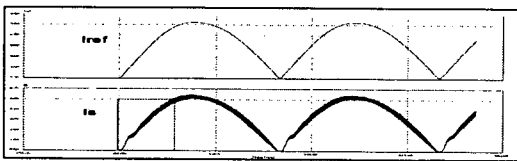


그림 17. Iref와 Is의 파형
Fig. 17. Iref, Is waveforms

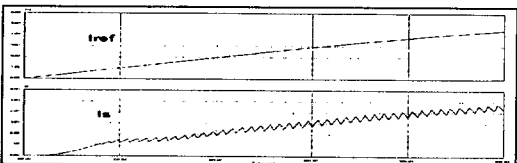


그림 18. Iref와 Is 확대한 파형
Fig. 18. Iref, Is Extended waveforms

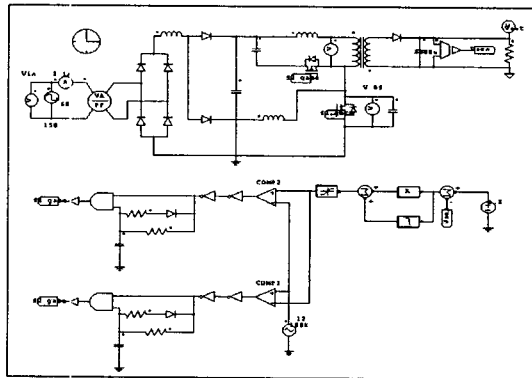


그림 19. Single-stage 방식에 의한 시뮬레이션
Fig. 19. Simulation by single-stage approach.

표 2. Single-stage 방식에 사용된 회로정수
Table 2. Design parameters of single-stage approach.

교류입력전압 V_{in}	110[V]	평활용커패시터 C_B	1500[μ F]
출력전압 V_o	48[V]	S ₁ 기생커패시터 C_{S1}	700[nF]
인덕터 L_B	600[μ H]	변압기누설인 덕턴스 L_r	20[μ H]
보조인덕터 L_l	30[μ H]	시비율 D	0.5~ 0.7
권수비	4:1	스위칭주파수	100[kHz]

그림 19는 본 논문에서 제안된 single-stage 방식의 시뮬레이션 회로도이며 회로정수는 표 2와 같다.

그림 20은 입력전압, 전류파형이고, 그림 21은 고조파분석 및 IEC-61000-3-2와 비교한 그래프이다. 역률개선으로 IEC규격에 적합함을 알 수 있다.

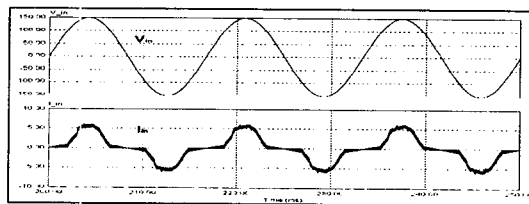


그림 20. 입력전압, 전류 파형 (PF:0.90)
Fig. 20. Input voltage, input current waveforms (PF:0.90)

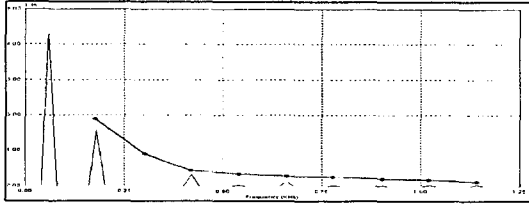


그림 21. 고조파 분석 및 IEC 규격 비교
Fig. 21. Measured harmonic content of input current (Compared with IEC 61000-3-2 standard)

그림 22, 23은 역률개선회로 각부의 파형이고, 입력순시전압이 높을때와 낮을때를 나타내고 있으며 D_{eff} 가 변화함을 알 수 있다.

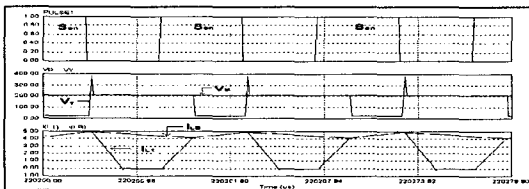


그림 22. SW1신호, V_g , V_b , I_{L1} , I_{LB} 파형 (순시입력전압이 높을 때)
Fig. 22. Simulation waveforms of SW_1 , V_g , V_b , I_{L1} , I_{LB} (Input voltage magnitude is high)

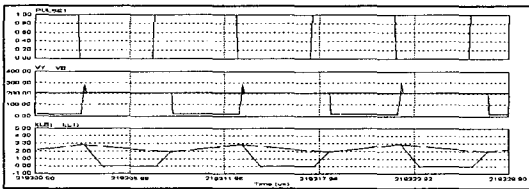


그림 23. SW1신호, V_g , V_b , I_{L1} , I_{LB} 파형 (순시입력전압이 낮을 때)
Fig. 23. Simulation waveforms of SW_1 , V_g , V_b , I_{L1} , I_{LB} (Input voltage magnitude is low)

실험은 300[W]급 능동클램프 ZVS 플라이백 컨버터를 설계 및 제작하였고, 시뮬레이션과 같은 조건하에 single-stage와 two-stage 방식으로 역률개선에 관한 실험을 하였다. 그림 24는 제작한 RF 제너레이터용 능동클램프 ZVS 플라이백컨버터 실험장치 사진이고, 그림 25(a)는 다이오드 정류기-평활용 커패시터를 사용한 경우의 입력전압, 전류파형을 나타내고 있다. 이때 역률은 0.71이다. (b)와 (c)는 각각 two-stage방식과 single-stage방식을 사용하였을 때의 입력전압, 전류 파형이다.

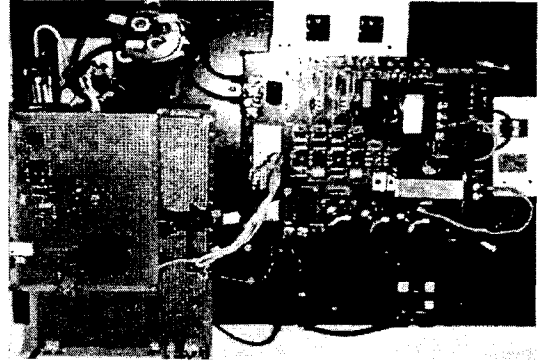
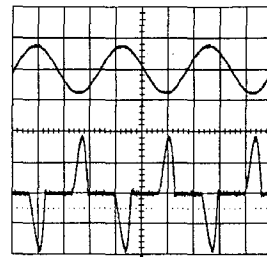
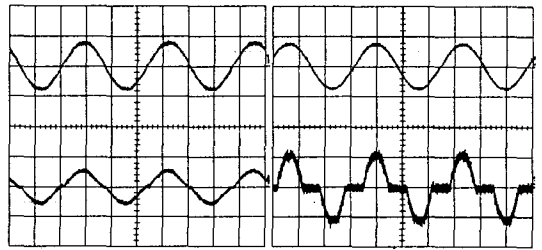


그림 24. 능동클램프 ZVS 플라이백 컨버터 실험장치
Fig. 24. Experimental set up of Active clamp ZVS flyback converter.



상: 입력전압(100[V]/div)
하: 입력전류(2[A]/div)

(a) Active clamp ZVS flyback converter
Line-voltage, line-current waveforms



(b) Two-stage approach (c) Single-stage approach
그림 25. 각각의 실험결과에 따른 입력전압, 전류파형 역률.

(a) :0.71, (b) :0.98, (c) :0.90
Fig. 25. Experimental Input voltage, input current waveforms.

PF (a) :0.71, (b) :0.98, (c) :0.90

그림 26는 그림 25에 나타난 전류파형의 고조파 분석과 IEC-61000-3-2규격을 비교한 그래프이다. 다이오드정류기-평활용 커패시터를 사용하였을 때의 그래프가 좌측이고, single-stage방식을 사용하였을

능동 클램프 ZVS 플라이백 컨버터의 역률개선에 관한 연구

때의 그래프가 우측이며, 역률개선으로 고조파가 저감되어, IEC-61000-3-2규격에 적합함을 알 수가 있다.

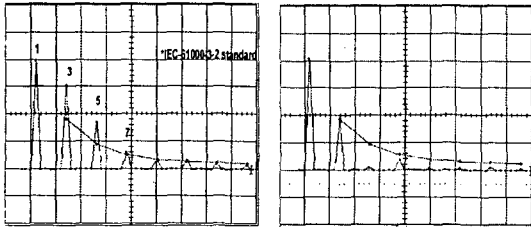


그림 26. 고조파 분석 및 IEC 규격 비교 (1 [A] /div)
 좌 : 능동클램프 ZVS 플라이백 컨버터
 우 : Single-stage방식에 의한 역률개선
 Fig. 26. Harmonic content of input current. (compared with IEC)
 Left : active clamp ZVS flyback converter
 Right : single-stage approach

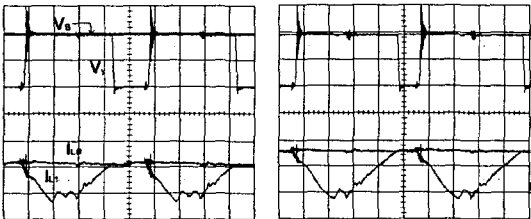


그림 27. V_v , V_b (100 [V] /div), I_{L1} , I_{LB} (2 [A] /div) 파형
 좌 : 순시입력전압이 낮을 때
 우 : 순시입력전압이 높을 때
 Fig. 27. Experimental waveforms of V_v , V_b , I_{L1} , I_{LB} .
 Left : Input voltage magnitude is low
 Right : Input voltage magnitude is high

그림 27은 single-stage방식을 사용하였을 때, 다이오드 정류기와 평활용커패시터 사이에 L_1 , L_B , D_1 , D_2 를 추가하여, 입력전압의 크기에 따라 유효득터비 (D_{eff})가 변화하는 것을 나타내며, D_{eff} 가 변화함을 알 수 있다.

5. 결론

본 논문에서는 스위칭 주파수 100[KHz], 입력교류 전압 110[V], 직류 48[V], 300[W]급 능동 클램프 ZVS 플라이백컨버터 설계 및 제작을 하였다.

다이오드 정류기를 사용한 능동클램프 ZVS 플라이백 컨버터의 역률은 0.71정도였으나, single-stage

와 two-stage방식에 의해 역률개선 및 고조파분석을 한 결과 다음과 같은 결과를 얻었다.

1) Single-stage방식에 의한 역률은 0.90정도이고, 역률보상과 출력전압제어가 단일화로, 시스템 소형 경량화 및 고효율화가 가능하며, IEC 61000-3-2 고조파규정에 적합하였다. 하지만 경부하시 높은 직류 링크전압과 출력전압의 120Hz의 리플이 생긴다는 단점이 있다.

2) Two-stage방식에 의한 역률개선은 0.98정도이고, 역률이 높고, 안정된 전압조정능력을 가진다. 하지만, 역률보상과 출력전압제어가 독립적이기 때문에, 역률보상단과 역률제어부의 추가에 따른 비용과 부피 때문에, 소용량보다는 대용량컨버터에서 유리하다.

이 논문은 에너지관리공단의 에너지 절약과제 지원에 의하여 연구되었음 (2000.5 ~ 2002.4)

참고 문헌

- (1) 이준영, "고효율과 넓은 입력전압 범위를 갖는 새로운 단상 역률개선 토폴로지", 한국과학기술원 박사학위 논문, 2000.
- (2) Electromagnetic Compatibility, Part 3: Limits-Sect. 2: Limits for Harmonic Current Emission (Equipment Input Current $\leq 16A$ Per Phase), IEC 61000-3-2.
- (3) Jindong Zhang, Milan M. Jovanovic, and Fred C.Lee, "Comparison Between CCM Single-stage And Two-stage Boost PFC Converters", APEC'99. Fourteenth Annual, pp. 335 -341 vol.1, 1999, 1.
- (4) 김준호 외 5인, "반도체 플라즈마 용융장치용 고효율 능동클램프 ZVS 플라이백 컨버터 설계에 관한 연구", 전력전자학회 하계학술대회, pp. 400 -403, 2000, 7.
- (5) Lloyd H. Dixon, "Average Current Mode Control of Switching Power Supplies", Unitrode Application Note U-14), pp. 10-398~10-411.
- (6) Martinez, R, and Enjeti, P.N, "A high-performance single-phase rectifier with input power factor correction", Power Electronics, IEEE Transactions on, pp. 311-317 vol.11, 1996, 3.
- (7) 김태진 외 4인, "단상 역률개선형 Single-stage AC/DC Forward Converter", 전력전자학회 하계학술대회 pp. 396 -399, 2000, 7.

◇ 저자소개 ◇

최 태 영 (崔太榮)

1975년 8월 27일생. 2001년 호서대 공대 전기공학과 졸업. 현재 성균관대 대학원 전기전자 및 컴퓨터공학과 석사과정.

류 동 균 (柳東均)

1972년 11월 28일생. 1999년 우석대 정보통신 및 컴퓨터공학부 졸업. 현재 성균관대 대학원 전기전자 및 컴퓨터공학과 석사과정.

이 우 석 (李雨錫)

1973년 8월 31일생. 2000년 서울산업대 공대 전기공학과 졸업, 현재 성균관대 대학원 전기전자 및 컴퓨터공학과 석사과정.

안 정 준 (安最俊)

1968년 11월 4일생. 1995년 성균관대 공대 전기공학과 졸업, 1997년 성균관대 대학원 대체에너지공학과 졸업(석사). 2001년 동 대학원 전기전자 및 컴퓨터공학과 졸업(박사). 현재 (주) TMDDevice 이사.

원 충 연 (元忠淵)

1955년 5월 10일생. 1978년 성균관대 공대 전기공학과 졸업. 1980년 서울대 공대 대학원 전기공학과(석사). 1987년 동 대학원 전기공학과 졸업(박사). 1991년 12월 ~ 1992년 12월 미국 테네시 주립대학 전기공학과 방문교수. 현재 성균관대 전기전자 및 컴퓨터 공학과 교수. 당 학회 편수위원.

김 수 석 (金漱石)

1959년 1월 10일생. 1984년 서울산업대 전기공학과 졸업. 1989년 한양대 산업대학원 전기공학과 졸업(석사). 1999년 한양대 대학원 전기공학과 졸업(박사). 1984년 ~ 현재 서울산업대 전기공학과 조교.