

AC PDP의 Reset 기간 단축을 위한 새로운 구동방식에 관한 연구

論 文
50C-10-7

A New Method to Reduce Reset Period in AC Plasma Display Panel

李 盛 絃* · 朴 正 后**
(Sung-Hyun Lee · Chung-Hoo Park)

Abstract - The voltage controlled ramp(VCR) waveform has recently been introduced in the reset period prior to addressing for plasma display. However, this method shows the oscillation of gap voltage when the ramp rate is increased in order to reduce reset period. In this paper a current controlled ramp(CCR) waveform method is suggested. This method can suppress the oscillation of gap voltage under the condition of shorter ramp time. Moreover, the reset time can be reduced about 30% compared with VCR method under the same background luminance.

Key Words : ac PDP, current controlled ramp waveform, reset period

1. 서 론

Plasma display panel (PDP)는 기체 방전을 이용한 평판형 표시소자로서 그림 1은 PDP 방전 셀의 개략도를 나타내고 있다. PDP 단일 셀의 치수는 약 0.3mm × 1mm × 0.15mm(height) 정도이며, 셀 내부의 기체 방전에 의해 발생한 진공방사선이 각 셀마다 도포되어 있는 Red, Green 및 Blue의 형광체를 여기시켜 삼원색의 가시광을 방출하게 된다. 현재 ac PDP는 대화면 HDTV (high-definition television)용 디스플레이 소자로서 가장 각광 받고 있다. 그러나, 저가격화, 고화질 및 저소비전력화 등에 아직 더 많은 연구가 필요하다. [1-5]

최근 ADS(Address and Display period Separated) 방식의 ac PDP 구동 중 reset 기간에서 그림 2에 나타낸 바와 같이 전압제어형 ramp (Voltage Controlled Ramp waveform : VCR) 파형이 주로 이용되고 있다. 전압제어형 ramp 파형을 이용한 방식에서는 ramp time을 길게 하여 reset 전압을 서서히 증가시킨 후 감소시키면서 약한 방전이 반복적으로 발생하게 함으로써 방전공간 상에 벽전하 및 공간전하를 형성하여 addressing 전압을 낮출 수 있을 뿐 아니라, reset 기간에 배경광을 줄임으로써 dark room contrast ratio를 개선할 수 있는 장점이 있다.[6-9]

그러나 ramp time을 길게하면 reset period가 증가하게 된다. 그 결과 sustain 기간이 감소하고 휘도가 감소하게 된다. 만약, reset period를 줄이기 위해 ramp time을 짧게 하면

방전전류가 증가하게 되어 gap 전압에 oscillation 현상이 발생하게 된다.[7] 그 결과 background 광이 증가하게 되고, 방전 불안정 상태로 인해 addressing 실패등을 유발할 수 있다.

그러므로 본 연구에서는 방전 cell 부하변동에 관계없이 주어진 전압 파형을 인가하는 VCR 방식 대신에 cell 부하에 따라 방전전류를 제어함으로써 gap 전압 oscillation을 억제하고, 배경광을 증가시키지 않으면서 reset time을 감소시킬 수 있는 전류제어형 ramp (Current Controlled Ramp:CCR) 파형을 제안하여 그 특성을 실험적으로 고찰하였다.

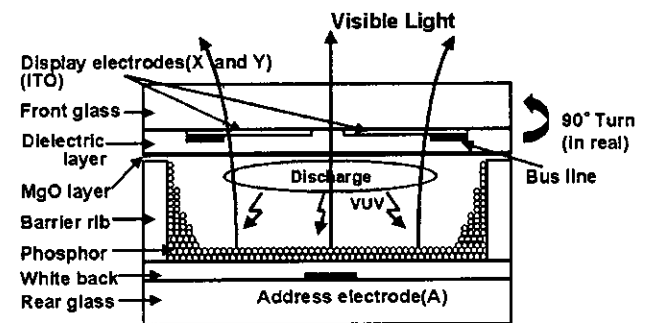


그림 1. ac PDP 방전 셀의 기본 구조.

Fig. 1 Principle structure of a discharge cell in ac PDP.

2. 실험 방법

Table 1은 본 연구에서 사용된 7 inch test PDP의 사양을 나타내고 있다. Test에 사용한 총 scan line 수는 60 line 이며, 42인치 VGA급의 resolution을 지니고 있다. 또한, 실제 대각 42인치의 PDP와 구동 조건을 맞추기 위해서 scanning 펄스 폭은 3μs로 하였고, 총 address 기간은 1ms, 그리고

* 正 會 員 : 釜 山 大 電 氣 工 學 科 博 士 課 程
 ** 正 會 員 : 釜 山 大 電 氣 工 學 科 教 授 · 工 博
 接 受 日 字 : 2001年 7月 27日
 最 終 完 了 : 2001年 9月 5日

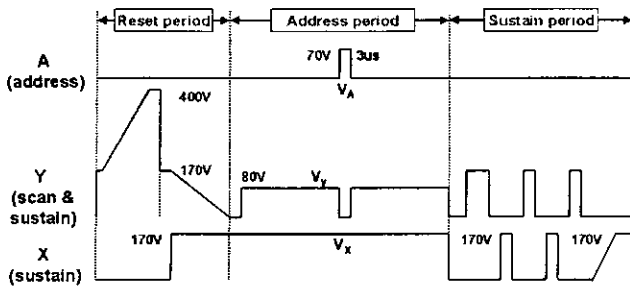
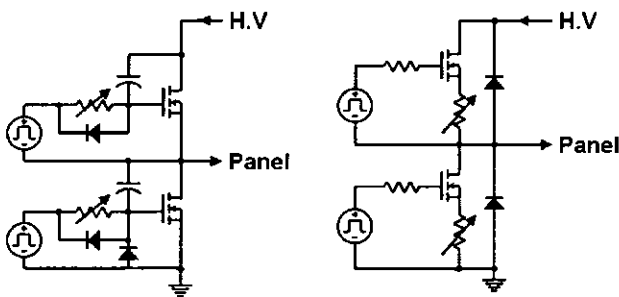


그림 2. 구동 파형의 개략도.
Fig. 2 Schematic diagram of driving waveform.

표 1. 7인치 ac PDP의 사양.
Table 1. Specification of 7-inch model ac PDP.

Front panel		Rear panel	
ITO width	380 μ m	Address electrode width	80 μ m
ITO gap	60 μ m	White back thickness	15 μ m
Bus width	70 μ m	Rib height	130 μ m
Dielectric thickness	30 μ m	Rib pitch	360 μ m
MgO thickness	5000Å	Rib width	60 μ m
Working gas : He+Ne(30%)+Xe(4%) 400torr		Phosphor thickness	30 μ m

총 주기는 2ms로 구동 조건을 설계하였다. 그림 2는 본 연구에서 사용한 구동파형의 개략도로써 misfiring 없이 안정한 구동을 할 수 있는 범위에서 ramp 파형의 기울기를 가변하면서 contrast ratio를 측정할 수 있도록 하였다. address 기간이나 sustain 기간에서 구동 pulse의 rising time은 약 150ns였다.



(a) Voltage Controlled circuit (b) Current controlled circuit

그림 3. Ramp 파형 발생회로의 개략도.
Fig. 3 Schematic diagram of driving circuit for generating ramp waveform.

그림 3은 종래의 전압제어방식인 VCR 파형과 전류제어방식인 CCR 파형 발생 원리를 비교한 것이다. 그림 3(a)는 기존의 전압제어방식의 ramp(VCR) 파형 발생 회로도이다. FET gate의 가변저항과 drain과 gate 사이의 capacitor에 의한 RC 충전시간에 따라 일정한 기울기로 전압이 증가하

는 ramp 파형이 만들어진다.

그림 3(b)는 전류제어방식의 ramp(CCR) 파형 발생 회로도로서 FET의 source와 패널 사이에 가변저항을 두었고, 이 가변저항과 FET에 인가되는 12V 정전압원의 floating ground가 접하도록 설계되어 있다. 이 경우 FET를 turn on 시키는 데는 약 3~4V의 전압이 요구되는데 일정한 DC 전압(12V)을 인가한 경우 패널 방전에 의해 방전전류가 흐름으로써 가변저항 양단의 전압강하가 나타나면 N channel FET의 gate와 source 사이에는 상대적으로 전압 drop이 발생하여 FET가 turn off 되도록 하여 ramp와 같은 전압 slope을 형성하도록 한 회로이다.

3. 실험 결과 및 고찰

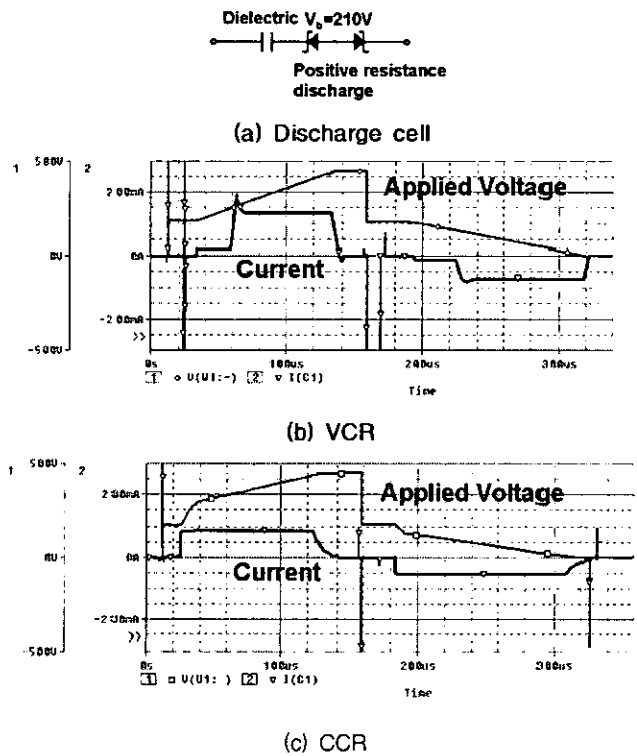


그림 4. PSPICE 시뮬레이션 결과.
Fig. 4 Results of PSPICE simulation.

그림 4는 VCR과 CCR을 회로적으로 simulation한 결과이다. PSPICE를 사용하여 simulation 하였으며, 방전 셀은 positive-resistance discharge 특성을 구현하기 위해 종래 알려져 있던 그림 4(a)와 같이 모식화 하였다.[10] VCR과 CCR 모두 동일하게 180V의 sustain 전압과 450V의 setup 전압을 인가하였으며, 210V에서 zener diode가 breakdown 되도록 design 하였다. 그 결과 그림 4(c)에서와 같이 CCR의 경우 방전이 발생하는 지점에서 전압 파형이 전류 제어 현상으로 꺾여지는 현상이 발생함을 알 수 있다. 이로써 방전 전류의 양은 VCR에 비해 적게 되지만, 전압 slope는 VCR과 같이 일정한 기울기를 가지는 ramp 형태를 유지하게 된다.

회로 simulation의 결과로도 CCR의 경우가 방전전류를 제

어함으로 배경광을 줄일 수 있으리라 예측할 수 있다.

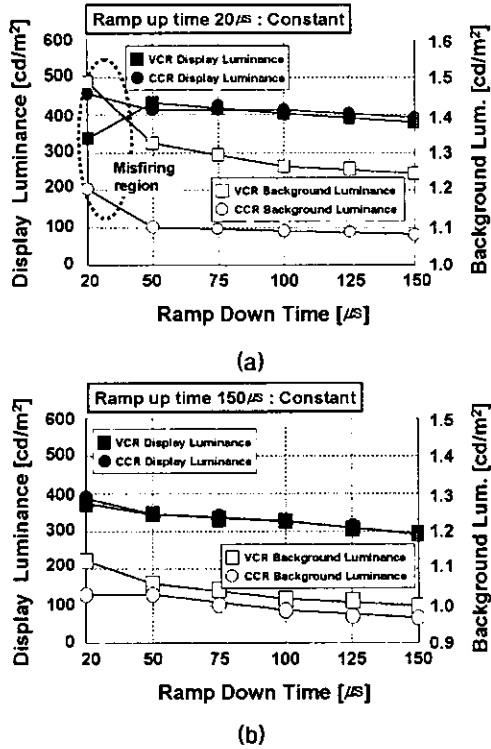


그림 5. Ramp 상승 및 하강 시간에 따른 배경광과 디스플레이 휘도.

Fig. 5 Background and display luminance as parameters of ramp up and down time.

그림 5는 ramp 파형의 ramp up 시간이 20 μs 및 150 μs로 일정하게 유지했을 경우 ramp down 시간을 parameter로 하여 VCR 과 CCR 방식을 적용한 경우 reset period 및 address period에서 발생한 배경광 휘도와 sustain 기간에서의 full white 휘도의 변화를 각각 나타내고 있다.

본 연구에서 선택한 ramp time 50 μs ~ 150 μs 의 범위는 ramp up rate가 1.5V/μs ~ 5V/μs 에 상당하는 영역이며, ramp down 시에는 1V/μs ~ 4V/μs 에 상당하는 영역이기 때문에 구동의 측면에서는 거의 일정한 패널 안정도를 지니는 범위라고 할 수 있다.[8] 그러나 ramp up time 20 μs 시에는 ramp rate이 11.5V/μs 에 상당하며 이 영역은 패널의 안정 구동을 저해시킬 수 있는 영역에 속한다고 할 수 있다.[8]

그림 5에서 알 수 있듯이 VCR과 CCR 모두 ramp up과 down 시간이 짧아질수록 강방전에 의해 배경광 휘도가 증가하였다. 다만, CCR의 경우 VCR에 비해 전체적으로 배경광 휘도가 낮음을 알 수 있다. 특히 ramp up time이 20 μs인 경우에는 VCR의 경우 방전 cell의 구조적 및 전기적 불균일 때문에 일부 cell에서 전류가 급속히 성장하는 경우가 발생할 수 있지만, CCR의 경우는 그러한 전류를 어느 정도 억제시키는 역할을 하게 됨으로 배경광 휘도를 줄인 것으로 생각된다. 그리고, 50 μs ~ 150 μs 영역에서 display 휘도는 VCR과 CCR이

거의 동일하였다. 한편 VCR 방식에서 ramp up /down time 이 20 μs/20 μs 일 경우에 misfiring 현상에 의해 배경광 휘도가 급격히 상승하였고 display 휘도는 오히려 감소함을 알 수 있었다.

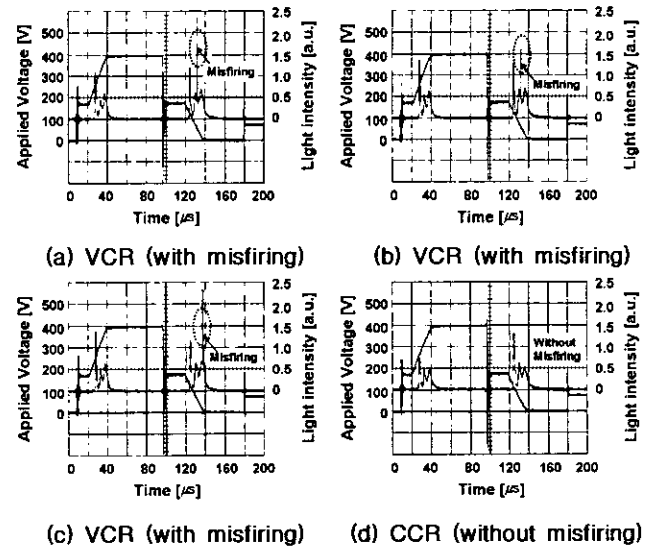


그림 6. Reset 기간 중에 ramp 파형과 광 파형.

Fig. 6 Applied ramp and emitted light waveforms during reset period.

표 2. 고감도 광 검출기의 사양.

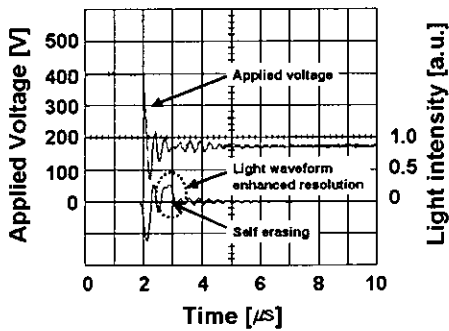
Table 2. The specification of the high sensitivity light detector.

Items	Specification	Unit
Active area size	1.5 φ	mm
Spectral response range	400-1000	nm
Photo sensitivity	0.5	A/W
Temperature stability of gain	±2.5	%
Gain of APD	30	
Gain of Amplifier	1.0 × 10 ³	V/A
Maximum incident photo energy	6.0	μW
Minimum detectable limit	0.8	nW

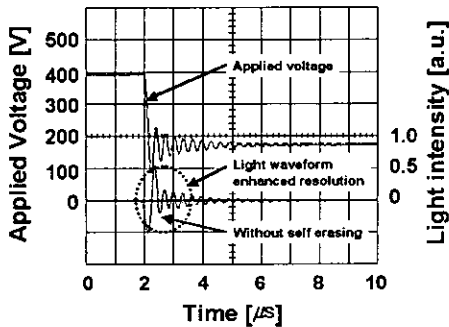
그림 6은 ramp up/down time이 20 μs/20 μs 일 경우 reset 기간 중의 VCR과 CCR의 광파형을 나타내고 있다. 본 연구에서는 광파형을 정밀하게 검출하기 위해서 고감도 광 검출기를 사용하였다. 이 검출기는 avalanche photo-diode(APD)와 온도보상 바이어스 회로 및 low noise I-V 증폭회로로 구성이 되어 있으며 자세한 사양은 표 2와 같다.

그림 6(a)-(c)에서 알 수 있듯이 reset 기간을 줄이기 위해서 무리하게 ramp up/down time을 20 μs/20 μs 까지 줄인 경우, VCR 적용 시에 배경광에서 misfiring에 의한 high peak intensity의 불안정한 광파형이 검출되는 것을 알 수 있다.

그러나 CCR 적용 시에는 그림 6(d)에서와 같이 안정된 구동으로 인해 그러한 불안정한 광파형이 나타나지 않았다. 이는 ramp up/down time $20\mu\text{s}/20\mu\text{s}$ 의 VCR 방식의 경우 앞서 언급한 것과 같은 안정한 positive resistance discharge 특성을 유지하지 못하고 과방전이 발생함으로써 패널의 안정도를 떨어뜨리게 되기 때문으로 생각할 수 있다. Ramp up 시에 과방전이 발생하면 벽전하가 증가하여 ramp up 이후에 self erasing 현상이 발생하기 때문에 addressing 실패를 유발한 것으로 생각된다. 그러나 CCR 방식의 경우에는 전류제한의 영향으로 인해 그러한 addressing 실패 현상이 발생하지 않았다.



(a) VCR (with self erasing after ramp up period)



(b) CCR (without self erasing after ramp up period)

그림 7. 광 파형으로부터 self erasing 현상 검출.
Fig. 7 Detecting the self erasing discharge from light waveform.

Fig. 7은 ramp up/down time이 $20\mu\text{s}/20\mu\text{s}$ 일 경우 ramp down 기간 이전에 setup 전압에서 sustain 전압으로 하강 시 VCR과 CCR의 전압 파형과 광파형을 나타내고 있다. 그림 7(b)에서 CCR 방식의 경우에는 setup 전압에서 sustain 전압으로 하강 시 switching noise에 의한 자연 damping 현상이 광파형으로 나타나지만, 그림 7(a)의 VCR 방식의 경우에는 거기에 self erasing 방전에 의한 전류 성분이 더해지는 것을 알 수 있다. 이로 인해 VCR 방식의 경우 그림 6(a)-(c)에서와 같은 오방전(misfiring)이 발생하는 것으로 간주할 수 있다.

그림 8은 ramp up과 down 시간에 따른 contrast ratio를 나타내고 있다. 전체 실험 영역에서 배경광 휘도의 감소에 따라 CCR의 contrast ratio가 VCR에 비해 향상되었다. 특히 reset time을 줄이기 위해 ramp up 또는 down time을 $20\mu\text{s}$

까지 줄인 경우에 오방전이 발생하지 않는 영역에서는 주어진 동일 조건하에서 약12% 정도 CCR의 contrast ratio가 VCR에 비해 높았으며, ramp up/down time $20\mu\text{s}/20\mu\text{s}$ 의 경우에는 VCR 방식의 오방전 발생으로 인해 약 67%정도까지 contrast ratio가 향상되었다.

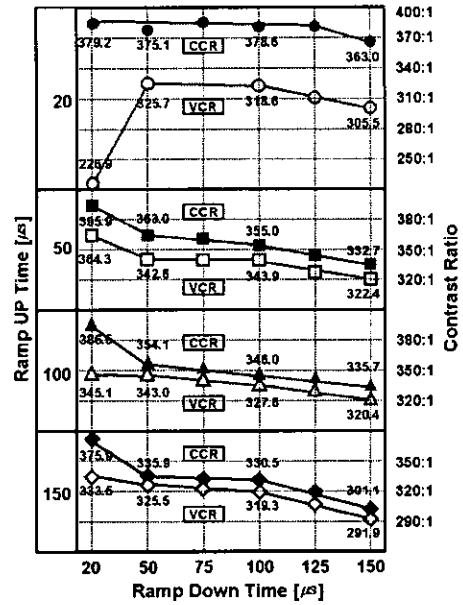
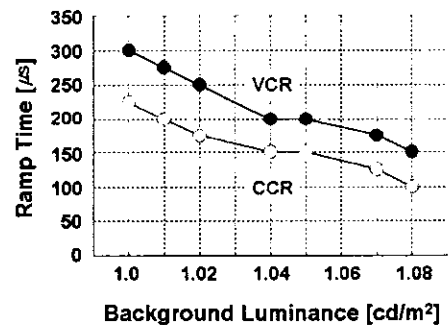
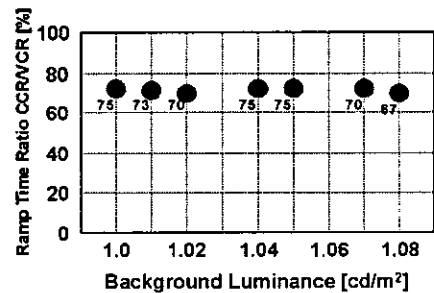


그림 8. Ramp 상승 및 하강 시간에 따른 contrast ratio.
Fig. 8 Contrast ratio as parameters of ramp up and down time.



(a)



(b)

그림 9. 배경광 휘도에 따른 총 ramp (reset) 소요시간
Fig. 9 Total ramp time (reset time) as parameters of background luminance.

그림 9는 동일한 배경광 하에서 VCR 방식에 비해 CCR 방식이 얼마나 더 ramp time을 감소시킬 수 있는지를 나타내고 있다. CCR ramp up/down 100 μ s/75 μ s는 VCR 100 μ s/150 μ s와 그리고, CCR ramp up/down 100 μ s/100 μ s는 VCR 150 μ s/125 μ s 등과 동일한 배경광 휘도를 나타내었다. 그러므로 동일한 배경광 하에서 CCR방식은 VCR방식에 비해 약 50 μ s~75 μ s의 ramp 시간을 줄일 수 있었다. 이는 그림 9(b)에서 알 수 있는 바와 같이 CCR방식을 적용할 경우 기존의 VCR 방식에 비해 reset period를 약 25~33% 정도 단축시킬 수 있음을 의미한다.

CCR방식을 적용한 경우 addressing 시 단위셀 당 방전전하량이 약 19 [pC] 정도였고, addressing time[11,12]은 약 1.0~1.1 μ s 정도였다. 이는 안정 동작 영역 내의 VCR 방식의 경우와 거의 동일한 결과로서 두 type 모두 reset 이후 addressing 방전특성은 동일한 것으로 나타났다.

CCR과 VCR의 addressing 방전 특성이 거의 동일하였으므로 동일한 sustain 전압하에서 sustain 방전도 역시 동일한 특성을 나타내는 것을 알 수 있다. 그러므로 그림 5의 full white의 display 휘도가 VCR이나 CCR에 무관하게 ramp up/down time 에 따라 달라지는 이유는 CCR과 VCR의 회로 방식에 의한 차이에서 기인한 결과가 아니라, 2ms로 고정되어 있는 한 주기 내에서 reset 시간의 변화에 따른 sustain 시간의 변화에서 기인한 것이라 할 수 있다.

4. 결 론

본 연구에서는 ac PDP의 reset 기간에 기존의 전압제어방식의 ramp 파형(VCR) 대신 방전전류를 제어할 수 있는 전류제어방식의 ramp 파형(CCR) 을 제안하였다. 그리고, 제안된 ramp 파형의 ramping up/down 시간 변화 시의 배경광 휘도 및 display 휘도 뿐만 아니라 addressing 및 sustain 방전 특성을 실험적으로 고찰하였다. 그 결과 CCR의 경우 ramping up/down 시간 변화 시 VCR에 비해 배경광 휘도 어느 정도 줄일 수 있었으며, 동일한 배경광 휘도 하에서 CCR 방식은 VCR 방식에 비해 reset 에 소요되는 시간을 약 25~33%까지 줄일 수 있었다. 이 경우 reset 기간 단축에 의한 sustain 기간의 증가로 인해 display 휘도 역시 개선될 수 있음을 알 수 있다.

감사의 글

본 연구는 한국디스플레이 연구조합 내 PDP 거점 연구단과 LG 전자 디스플레이 디바이스 사업본부의 기금 후원으로 이루어졌음을 밝히고 감사의 뜻을 표하는 바입니다.

참 고 문 헌

[1] W. G. Lee et al, "An Electrical and Optical Characteristics of the Color ac Plasma Displays with a New Cell Structure", Journal of Information Display, vol. 2, no. 1, pp5-9, 2001
 [2] C. H. Park et al, "Surface-discharge characteristics of MgO-thin films prepared by reactive RF unbalanced magnetron sputtering", Thin Solid Films, vol 366,

pp88-94, 2000
 [3] J. E. Heo, et al "The Optimum Phosphor Thickness to Obtain the Highest Luminance and Luminous Efficiency in ac PDP", Journal of Information Display, vol. 2, no. 1, pp14-19, 2001
 [4] S. H. Lee et al, "A Study on New Shaped Sustaining Electrode Showing High Luminance and Luminous Efficiency", Journal of Information Display, vol. 2, no. 1, pp20-23, 2001
 [5] S. H. Lee et al, "The Effect of Dielectric Thickness and Barrier Rib Height on Addressing Time of Coplanar ac PDP", Journal of KIEE, vol 11, no 1, pp41-45, 2001
 [6] L. F. Weber, "Plasma Panel Exhibiting Enhanced Contrast", US Patent, US5745086, 1998
 [7] L. F. Weber, "Stability of Positive-resistance Discharges for AC PDP", SID 00 Digest, pp114-117, 2000
 [8] K. Sakita et al, "Analysis of a Weak Discharge of Ramp -Wave Driving to Control Wall voltage and Luminance in AC-PDPs", SID 00 Digest, pp110-113, 2000
 [9] T. Kurita et al, "Proposed Methods for PDP Characterization by PDP Consortium in Japan", SID 00 Digest, pp70-73, 2000
 [10] L. F. Weber, "Plasma Display Device Challenges", Asia Display 98 Digest, pp15-27, 1998
 [11] R. Yoshida, "Plasma Display", Kyoritsu Ed. Japan, pp63- 70, 1983
 [12] C. H. Park et al, "A New Method to Reduce Addressing Time in a large AC Plasma Display Panel", IEEE Transactions on Electron Devices, Vol 48, No. 6, pp1082-1086, June 2001

저 자 소 개



이 성 현 (李盛鉉)

1971년 12월 24일 생. 1997년 부산대 전기공학과 졸업. 1999년 동 대학원 전기공학과 졸업(석사). 현재 동 대학원 전기공학과 박사과정.
 Tel : 051-510-1544, Fax : 051-513-0212
 E-mail : shlee13@hyowon.pusan.ac.kr



박 정 후 (朴正后)

1945년 4월8일 생. 1968년 부산대 공대 전기공학과 졸업. 1974년 동 대학원 전기공학과 졸업(석사). 1980~1983년 일본 구주대학 대학원 졸업(공학박). 현재 부산대 공대 전자전기정보컴퓨터공학부 교수
 Tel : 051-510-2369, Fax : 051-513-0212
 E-mail : chpark@hyowon.pusan.ac.kr