

RF CMOS 기술을 이용한 이동통신용 부품기술 동향

김 천 수

한국전자통신연구원
회로소자기술연구소 RF
CMOS 회로팀

Abstract

Wireless communication systems will be one of the biggest drivers of semiconductor products over the next decade. Global Positioning System (GPS) and Blue-tooth, HomeRF, and Wireless-LNA system are just a few of RF-module candidate awaiting integration into next generation mobile phone. Motivated by the growing needs for low-cost and multi-band/multi-function single chip wireless transceivers, CMOS technology has been recognized as a most promising candidate for the implementation of the future wireless communication systems.

This paper presents recent developments in RF CMOS technology so far, much of them have been developed in ETRI, and from them forecasts technology trends in the near future.

I. 서 론

지금부터 5년전인 '96년 초 "실리콘 RF 집적회로 소자기술" 과제를 시작하면, 앞으로 RF CMOS기술이 1~2 GHz 대역의 이동통신 송수신 부품에 적용 가능할 것인가를 고민한 과거를 비교하면, 현재의 RF CMOS기술은 격세지감을 느낀다. CMOS기술은 수많은 수 많은 연구자들에 의한 기술개발 및 시설 투자 등으로 기술개발의 속도가 너무 빨라서 동향을 예측하는 자체가 많은 무리가 따른다. 5년전의

이동 통신용 부품으로의 적용에 부정적이었던 RF CMOS기술은, 현재는 긍정적인 기술을 넘어서 당연한 기술로 받아 들여지고 있다. 이는 CMOS기술이 제공할 수 대량생산 능력으로 인해 기존 RF IC의 저가격화뿐 아니라 미래의 복합·다기능 무선 멀티미디어 단말기 구현을 위한 single chip solution을 제공할 수 있는 가능성이 Bi-CMOS기술과 더불어 가장 높기 때문이다. 또한 무엇보다도 CMOS 기반의 Digital/Analog 칩을 그대로 활용할 수 있어, RF System IC까지 구현이 가능하다는 측면에서 보다 근본적인 강점이 있다.

본 논문에서는 RF CMOS기술을 이용한 이동통신용 부품기술 동향을 본 연구실에서 수행한 결과와 문헌을 바탕으로 앞으로의 동향을 정확히 예측해 보고자 한다. 이를 위해서 RF CMOS소자기술의 한계 및 RF CMOS집적회로기술 동향을 분석함으로써 그 신뢰도를 높이고자 한다.

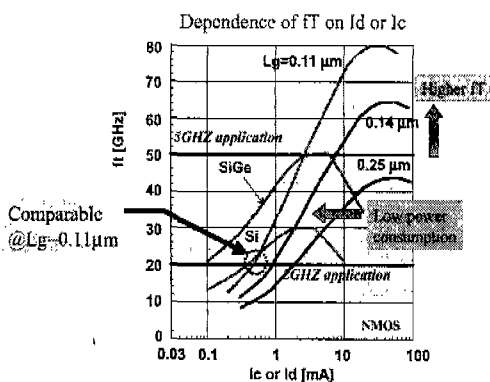
II. RF CMOS 집적회로 소자기술

2-1 RF CMOS 소자기술

CMOS 소자는 고용량의 메모리칩의 필요성으로 꾸준히 scale-down되어 왔으며, 그 결과 고속동작도 가능하게 되었다. 현재 소자의 차단주파수(f_t)는 100 GHz까지 발표되고 있으며, RF적용을 위한 주요지표인 maximum oscillation frequency (f_{max})은 ~60 GHz 까지 발표되고 있는 것으로 미루어 6

GHz 대역의 RF IC를 설계 가능함을 보여준다. 그러나 CMOS 소자의 입력 임피던스를 줄이고 출력 임피던스를 키우면 전력이득 특성의 개선이 가능하다. MOS 소자의 입력 임피던스의 대부분은 게이트 커패시턴스(Cgs)로 설계자에 의한 조절이 불가능하고, 다만 게이트 저항성분은 WSi, TiSi, CoSi 등의 재료의 변화나, 설계자의 layout에 따라 조절이 가능하다. 출력 임피던스는 출력저항(Rds)과 드레인 커패시턴스(Cds)로 구성되어 layout 의존성이 적으며, 기판저항(Rsub)도 출력 임피던스에 영향을 주지만 적당한 substrate contact의 설계로 기판저항을 최소화하면 좋은 특성을 얻을 수 있다. 그러나 시장이 집중되어 있는 이동통신 단말기용 RF IC에 응용하기에는 중요한 몇가지 문제점을 가지고 있다.

첫째, Bipolar (혹은 화합물소자)에 비해 트랜스 컨덕턴스(Gm) (혹은 Gm/Ids)이 낮아 동일한 이득 특성을 얻기 위해서는 결과적으로 많은 전류가 필요하게 된다. 이것은 CMOS 소자가 소비전력 측면에서는 아직도 불리하다는 것을 뜻한다. 그러나 CMOS 기술이 0.14um 이하로 scale-down되면 소자의 Gm 특성이 역전되어 Bipolar와 비교할 때 CMOS 소자가 오히려 저전력화에 유리함을 [그림 1]

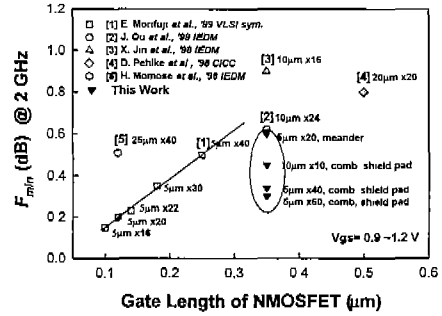
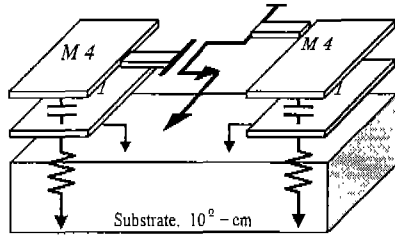


[그림 1] CMOS기술의 Scale-down에 따른 RF특성과 Silicon Bipolar와 SiGe기술과의 소자특성 비교^[1].

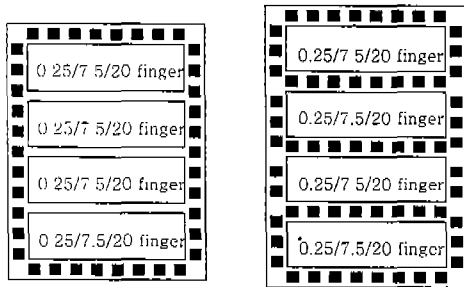
에서 알 수 있다^[1]. (0.11 μm 이하의 경우, SiGe HBT보다 우수). 그래서 0.35 (m)이나 0.25 (m) CMOS 기술로 저전력, 저잡음 이동통신 단말기의 엄격한 규격을 만족하기가 어렵다.

둘째, 단말기의 수신감도(sensitivity)는 잡음특성 (NF: Noise Figure)에 직접적으로 의존한다. 수신단 잡음의 대부분은 저잡음증폭기 (LNA: Low Noise Amp.)에 의해 사실상 결정되는데 LNA의 NF를 줄이기 위해서는 먼저 소자의 잡음특성이 우수해야 한다. CMOS 소자의 경우 가장 중요한 noise source는 게이트의 저항성분으로 알려져 왔으나, 게이트 저항 이외 기판저항(Rsub), 소오스 저항(Rs)뿐만 아니라 probe-pad에 의한 잡음도 큰 영향을 줌이 알려졌다^{[2],[3]}. [그림 2]는 probe-pad에 의한 잡음을 금속층으로 shield함으로써 0.35 μm 급의 소자의 최소 잡음지수를 2 GHz에서 0.35~0.45 dB까지 낮출 수 있음을 보여준다^[3]. 또한 [그림 3]과 같이 소자의 substrate contact의 설계방법에 따라서 0.25 μm 급 소자의 잡음특성이 약 0.25 dB가 개선됨을 보여준다^[4]. 이러한 연구결과로 CMOS의 잡음특성은 많은 개선을 보여, 1~2 GHz 대역에 2 dB 이하의 잡음특성을 가지는 저잡음 증폭기가 보고되고 있다. 또한 소자가 scale-down되면 잡음특성은 더욱더 개선이 되어 0.14 μm 소자의 경우 0.23 dB의 잡음지수를 예측함으로써 미루어, 저전력/저잡음 증폭기의 출현은 시간 문제임을 보여준다^[5].

셋째, CMOS소자가 사용하고 있는 실리콘 기판은 큰 conductivity로 semi-insulator인 GaAs반도체 기판에 비해 RF 신호의 손실이 크며, 인접한 회로의 신호에 의한 cross-talk, 또는 inductor에 의한 electro-magnetic coupling의 영향이 심각하다^[6]. 그래서 RF 신호의 손실을 줄이기 위해서 금속층의 층수를 높이거나, coplanar 구조를 사용함으로써 기판의 영향을 줄이고 있다. 신호의 cross-talk, 또는 inductor에 의한 electro-magnetic coupling에 대한 영



[그림 2] Shielded Probe-pad 구조를 적용한 소자의 잡음특성 비교. Shielded pad 구조일 경우 채널길이/폭이 $0.35 \mu\text{m} / 100 \mu\text{m}$ 인 소자의 잡음지수가 2 GHz에서 0.5 dB 개선효과를 얻음^[3].

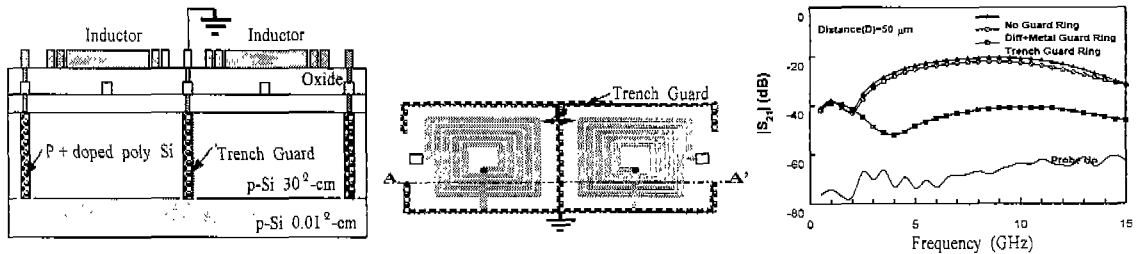


[그림 3] $0.25 \mu\text{m}$ 소자의 substrate contact의 설계방법에 따라서 잡음특성이 약 0.25 dB가 개선됨.

향을 줄이기 위해서는 guard-ring을 사용하거나, 잡음원과의 거리를 두는 노력을 하고 있으나, 주파수가 2 GHz 이상으로 높아짐에 따라 이러한 방법들은 효

과가 반감된다. [그림 4]는 최근 제안한 trench guard 기술^[7]로서 coupling 및 cross-talk 문제를 해결해 주는 방법 중의 한가지이다. Trench guard 기술은 20 GHz까지 coupling 방지효과를 보여, 앞으로 소자간, 회로간 혹은 회로블록간의 잡음 및 coupling을 방지하는데 유용한 기술로 예상된다.

넷째, CMOS 기술의 scale-down은 RF 특성을 대부분 향상시키고 있으나, 소자의 게이트 산화막이 얇아져서 ESD (Electro Static Discharge) 문제는 오히려 더욱 심각해진다. 큰 용량의 ESD 방지용 다이오드는 입력단 RF 임피던스 정합 (impedance matching)을 어렵게 하기 때문에 한계가 있다. 현재는 정합회로에 영향이 작게 작은 소자들을 사용하는 관계로 디지털 칩에 비해서 EDS에 취약하며, 보다



[그림 4] Coupling을 줄이기 위한 Deep Trench Guard 기술의 단면 및 평면도와 주파수에 따른 Coupling Suppression 특성

다 근본적인 대책이 필요한 분야이다.

이러한 이유들로 인하여 RF CMOS 소자기술은 설계자의 layout에 따라 그 특성의 의존성이 아주 크다. 이는 RF IC의 성능이 천차만별인 것도 이러한 이유 중의 하나이다.

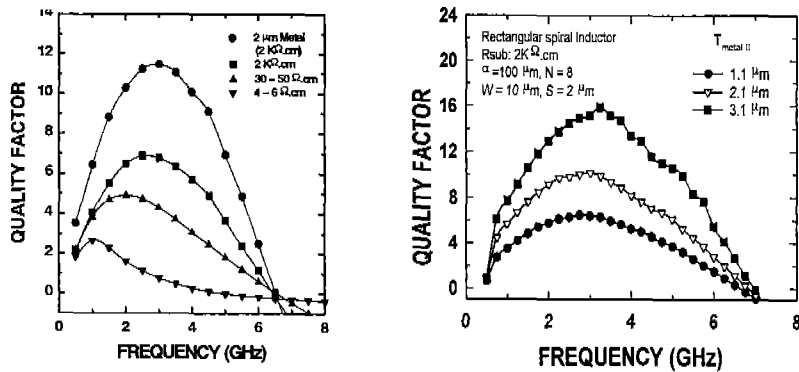
2-2 집적형 Inductor 기술

고주파에서 큰 임피던스를 가지는 소자는 인덕터를 제외하고는 부하로 사용할 적당한 소자가 없다. 그래서 인덕터는 RF IC 설계에서 필수적이며, loss-less 임피던스 정합이나 부하로 활용 된다. 인덕터 성능의 주요 항목으로는 인덕턴스, 총실도 (Q: Quality Factor), resonance frequency(fres), 및 면적 등이다. RF CMOS 집적회로를 구현 하기 위해서는, 실리콘 기판에서 10 이상의 높은 Q (quality factor) 값의 인덕터 개발이 필요하다. 실리콘 기판은 전도도가 높고 따라서 기판손실이 크기 때문에 RF 영역에서 주파수 특성이 저하되는 문제를 해결하는 것은 결코 쉽지 않다. RF CMOS 기술이 기본적으로 기존의 CMOS 집적공정과 양립성을 전제로 한다면, 현재 1층 당 약 $1\mu\text{m}$ 내외의 얇은 금속배선 두께는 직렬저항 성분을 증가시켜 high Q 인덕터 실

현에 또 다른 장애 요소로 작용한다.

최근 5년간의 연구동향을 분석해 보면 크게 두가지로 분류할 수 있는데 첫째는, 실리콘 기판에서 high Q를 얻기 위한 기술개발 노력과 둘째, RF IC의 효율적인 설계에 필요한 새로운 구조의 인덕터 개발 등이다. 실리콘 기판에서의 고성능 인덕터 개발 방향은 크게 기판 손실을 최소화 하는 기술 개발과 인덕터의 직렬저항 감소 등 2가지로 나타나고 있다. 기판손실은 그 원리상, 기판의 free carrier에 의해 발생하는 만큼, 고저항 기판을 사용하거나^[8] 인덕터에 의해 유기되는 기판의 대응 전류흐름을 차단하는 방법 등이 있다. 기판을 $100\mu\text{m}$ 이상 식각하여 인덕터 밑면을 air 상태로 변환시키는 시도도 있으나, 기존 CMOS 라인에 적용하는 것은 여러가지로 문제가 있다. 인덕터의 직렬저항 성분은 Q를 감소시키는 직접적인 요인이다. 따라서 3~5 층의 다층금속 배선, Cu-Damascene 등으로 저항성분을 감소시키고 있다. 일부 RF CMOS 파운드리들은^[9] 최상층 금속배선을 두껍게 하여 보다 개선된 특성을 제공하고 있으나 아직까지는 2 GHz대역에서 Q=5~10 정도의 성능에 머무르고 있다.

본 연구실에서는 [그림 5]와 같이 고저항 기판

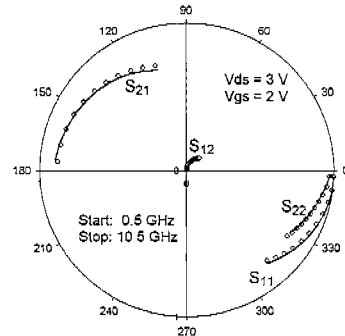


[그림 5] 고저항 기판 (>2k(-cm)위에 후막 금속배선 공정을 이용한 Spiral Inductor 특성^{[8],[10]}.

(>2k Ω -cm)위에 독자적인 후막 금속배선 공정을 개발함으로써 2층 금속배선으로도 2GHz에서 Q=21의 우수한 결과를 얻은 바 있다^{[8],[10]}. 이미지전류를 줄이기 위해 인덕터 배치배선 하단에 ground shielded pattern을 추가하는 방법도 연구되고 있으나 개선정도가 10~30% 정도로 예상보다 크지 않으며, 무엇보다도 기판과의 기생 커패시턴스의 증가로 최대 공진주파수(*f_{res}*)가 감소하여 동작영역을 감소되는 단점이 있다. RF CMOS IC들을 분석해 보면 인덕터가 차지하는 면적이 전체 칩의 50%를 상회하는 경우도 있다. RF CMOS가 아직은 prototype 개발단계이며, 상대적으로 값싼 기판이라 하더라도 이와 같은 형태는 향후 실용화 단계에서 큰 문제로 대두 될 것이다. 따라서 인덕터 사용을 최소화 하는 회로구조가 연구되어야 할 것이며, 사용하더라도 면적을 최소화 할 수 있는 다양한 형태의 인덕터(예: Dual-turn, active inductor, Transformer 등)가 개발되어야 할 것이다.

2-3 RF Modelling 기술

Bipolar나 MESFET에 비해 상대적으로 낮은 이득을 갖는 MOSFET의 경우 출력특성의 예측은 회로성능에 직접적인 영향을 주는 것은 물론 RF IC 성능예측을 어렵게 하므로 정확한 모델링은 매우 중요한 과제이다. 본 연구실에서는 BSIM3v3모델에 게이트/소오스/드레인 저항 및 적절한 substrate network을 사용하여 0.5~10 GHz 주파수 범위에서 5% 이내의 정확도로 소신호modeling을 하고 있다^{[10],[11]}. [그림 6]은 그 모델의 정확성을 보여 주며, 기본적으로 채널폭에 따른 동작회로 변수들의 scalability를 가진다. 이는 IC 성능 최적화 과정에서 설계자가 다양한 채널폭의 소자를 자유롭게 선택할 수 있어야 하기 때문이다. 이점은 CMOS 소자뿐 아니라 인덕터, 커패시터, 저항과 같은 수동소자에



[그림 6] 채널길이/폭이 0.35 μm / 100 μm 인 소자의 측정된 S-parameter와 macro-modeling된 S-parameter 특성 비교

도 마찬가지이다. 2000년 부터 RF CMOS foundry 서비스를 시작한 국외의 TSMC사, Chartered사, UMC사 등도 대부분으로 설계를 위한 능/수동 소자의 등가회로 및 scalable한 모델변수를 제공함으로써 다양한 user들의 요구에 부응하고 있다. 국내의 foundry 회사들도 0.25/0.18 μm 기술의 RF 모델 및 DB들을 개발하여 제공한다면, 훨씬 많은 ASIC customer를 확보 가능할 것으로 기대되, 시급한 투자가 요구된다.

그러나 mixer의 linearity나 power amplifier의 전력특성을 예측하기 위한 대신호 모델이나 고주파 잡음모델 등은 아직도 많은 연구가 필요하다. RF CMOS IC는 다양한 형태의 Doping 영역을 갖는 실리콘 기판위에 형성되므로 기판의 RF 특성 예측이 필요하다. 더구나 switching 잡음이 강하게 발생되는 digital IC와 집적하게 되면 RF Isolation 기술이 요구될 것인데 이에 대한 정량적인 design guideline이 필요하기 때문이다. 약 10 GHz까지는 저항(Resistor Mesh)으로도 모델링이 가능하지만 보다 체계적인 연구가 진행되어야 할 분야이다. CMOS IP가 조금씩 확보되어가는 현 시점에서, IP에 대한 Macro model 혹은 Behavior model (description) 연

구도 중요하게 대두될 것이다. 이는 기존 System IC와의 통합 simulation 환경이 당연히 요구되기 때문이다.

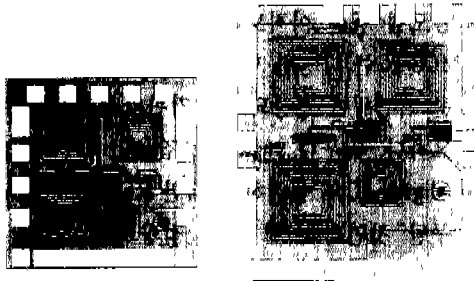
Ⅲ. RF CMOS 집적회로 기술

3-1 LNA (Low Noise Amplifier)

수신기의 수신감도를 향상 시키기 위해서는 수신기 전체의 잡음을 최대한 작게 설계해야 한다. 수신단 잡음은 수신단 선단의 LNA에 의해 대부분 결정되므로 LNA의 설계시 적정의 선형성과 이득을 유지하면서 잡음을 최소화하는 것이 가장 중요한 설계 이슈이다. 또한 대부분의 단말기는 50Ω에 정합시켜야 하므로 전류소모를 고려한 입력단 CMOS 소자크기의 적정한 선정도 필요하다. 일반적으로 CMOS의 경우 입력 임피던스가 capacitive하여 입력 정합이 어렵고, noise 및 power 정합점 각각이 상당히 떨어져 있어 소오스 inductor를 이용함으로써 이들 두 점이 가까워지도록 설계해야 한다^[12]. CMOS 소자는 MESFET나 바이폴라 소자에 비해 이득이 낮고, 자체 저항 (Gate 저항)이 커서 저잡음 회로구현에 어려움이 있으나 지속적인 연구결과로 현재

900~2400 MHz 대역에서 NF=1.7~2.8 dB, Gain=10~20 dB인 성능을 보이고 있으며, 그 성능은 더욱더 개선될 것이다. Common source 형태의 LNA가 주류를 이루고 있는 가운데, 기판에서 여기되는 잡음성분을 제거하기 위한 목적으로 차동형을 사용하면서도 이득 조절기능이 추가된 형태^[13], 저전력을 위한 CMOS형 LNA (current reuse 방법), image제거 기능을 겸비한 LNA^[14] 등 다양한 형태의 CMOS LNA가 속속 발표되고 있다. 2 GHz 대역의 CMOS LNA의 잡음 특성이 2 dB 이하의 성능을 위해서는 입력정합용 인덕터를 Q가 15이상은 되어야 하며, 이를 위해서는 대부분 off-chip 입력정합이 대부분이다. [그림 7]은 본 연구팀에서 발표된 fully monolithic 900 MHz, 1.9 GHz LNA의 chip 사진을 보여준다^{[15],[16]}.

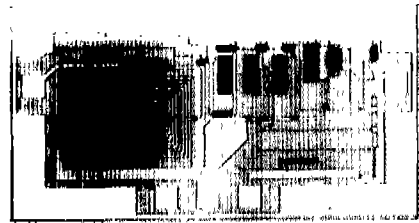
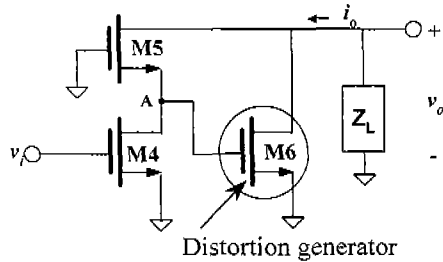
CDMA(Code Division Multiple Access) 수신기는 송신부의 신호가 수신단까지 역류하는 성분이 크므로 수신부 선단에 있는 LNA의 선형성 또한 우수해야 한다. 선형성을 개선하기 위해 입력 단 MOSFET의 선형 특성을 연구하여 distortion을 제거하기 위한 방법이 근래에 들어 많이 제안되고 있다. 즉 주 증폭단 소자의 게이트 bias와 다른 전압을 가하여 pre-distorter를 사용하는 방법^[17]이나 입력 단 MOSFET의 비선형성 특성에 가장 큰 영향을 끼치는 요소를 분석하여 최적화 하는 방법^[18] 등이다. [그림 8]은 predistorter를 사용한 방법으로 OIP3가 20 dBm의 우수한 선형특성을 보여준다.



[그림 7] Fully monolithic 2stage 900MHz, 1.9GHz LNA의 chip 사진, a) 1.9 GHz LNA Gain = 15.2 dB, NF = 2.8 dB, b) 900 MHz LNA, Gain = 19dB, NF = 3.2 dB ^{[15],[16]}.

3-2 Up/Down Mixer

상/하향주파수변환기는 각각 IF 증폭기 출력의 IF신호를 LO (Local Oscillator) 신호와 곱하여 RF 주파수로 상향 (Up-conversion) 시키거나, LNA로부터 증폭된 RF 신호를 LO와 곱하여 IF 주파수로 하향 (Down-conversion) 시키는 회로이다. 수동 주파수변환기 (Passive mixer)는 소자의 선형영역에 동작

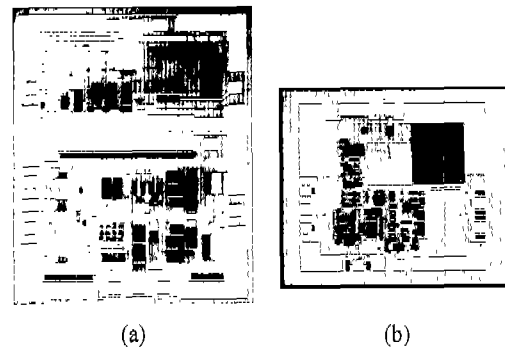


[그림 8] 주 증폭단 소자의 게이트 bias와 다른 전압을 가하여 pre-distorter를 사용하는 방법^[24]. Gain : 25.5 dB, NF : 3.2 dB, OIP3 : 20.0 dBm, Frequency : 880 MHz, VDD : 3.6 V, Chip size : 1.5 mm×0.7 mm.

점을 두기 때문에 static power가 낮고 선형성이 우수한 반면, 변환이득이 낮고 잡음특성이 나쁘다. 현재 가장 많이 채택되고 방식은 Gilbert multiplier 구조를 근간으로 한 능동 주파수 변환기(Active mixer)이다. LO에 진폭이 큰 신호가 가해져 상단의 MOSFET가 이상적인 switching을 한다면, 이득이 $2/\omega$ 이고 출력주파수가 $\omega_{IF} = \omega_{RF} - \omega_{LO}$ 인 특성을 얻을 수 있다. LO leakage를 감소 시키기 위해서 일반적으로 LO 와 RF 사이에 cascode 단을 추가하며, 변환이득을 크게 하거나 가변 시키기 위해 출력단 load의 구조를 변형하는 노력이 다양하게 진행되어 왔다^{[19],[20]}. Dynamic range는 기본적으로 하단 RF 입력부에 의해 결정되므로 우수한 IP3 를 얻기 위한 새로운 회로가 연구되고 있으며, MOSFET의 V_{th} offset에 의해 제한받는 LO pumping의 효율 저하도 향후 개선해야 할 여지가 있다. CMOS의 전압 Scaling에 대한 연구도 진행되고 있다.

3-3 Receiver/Transmitter

[그림 9] 및 [그림 10]과 같은 본 연구팀에서 설계/제작된 900 MHz용 및 1.8 GHz용 receiver IC 및 transceiver IC의 chip사진이다. 이들 IC는 실제 hand phone에 실장하여 통화 test를 성공하였다. 기존의 상용화된 BiCMOS칩 혹은 GaAs칩에 비해서 성능



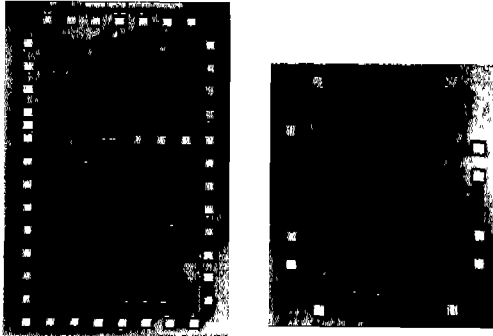
[그림 9] 본 연구팀에서 0.8 μm RF CMOS 기술로 설계/제작된 900 MHz CDMA용 Receiver 및 Transmitter chip사진,

- (a) Receiver IC, Gain = 26.8 dB, NF = 3.7 dB, OIP3 = 4.0 dBm, $I_{dd} = 34.4$ mA, $V_{dd} = 3.6$ V, 1.5×2.2 mm²
- (b) Transmitter IC, Gain = 29.2 dB, OIP3 = 8 dBm, 34.2 mA, $V_{dd} = 4.0$ V, 1.5×1.8 mm² ^[24].

이 잡음특성을 제외하고는 유사하며, pin compatibility의 고려로 CMOS에 적합한 회로 scheme (예: off chip LNA input inductor)으로 설계하지 못한 아쉬움이 있다.

3-4 Frequency Synthesizer

주파수 합성기란 한 개 혹은 여러 개의 주파수원



[그림 10] 본 연구팀에서 0.35 μm Digital CMOS 기술로 설계/제작된 1.8 GHz CDMA용 Receiver 및 Transmitter chip 사진.
 a) Vdd=3.6 V, $1.3 \times 2.0 \text{ mm}^2$
 b) Transmitter IC, Vdd=3.0 V, $1.3 \times 1.5 \text{ mm}^2$
 [24]

(Frequency Source)으로부터 단일 출력주파수 혹은 서로 다른 여러 개의 출력주파수를 발생시키는 회로이다. 합성방법에 따라 기준 주파수로부터 직접 원하는 주파수를 합성하는 직접방식(Direct Synthesizer)과 PLL (Phase-Locked Loop)를 이용한 간접방식(Indirect Synthesizer) 및 이들 방식을 혼용한 복합방식 (Hybrid Synthesizer) 등이 있다. 현재 많이 사용되는 PLL을 사용한 주파수 합성기는 PLL 케환을 통해 노이즈가 줄어들고, 집적화가 용이하며, 높은 주파수를 얻을 수 있는 장점이 있는 반면, 주파수 천이 속도가 직접방식보다 (특히 DDFS보다) 상대적으로 불리하다^[21]. 따라서 통신방식 (Direct Sequence, 혹은 Frequency Hopping)에 따라 합성기 구조의 선택이 달라질 수 있다.

RF 주파수 합성기를 설계하는데 있어 가장 중요한 점은 합성된 주파수의 위상잡음 (Phase Noise)의 크기와 기준 클럭 (Reference Clock)에 의해 발생하는 Spur의 크기를 얼마나 작게 할 수 있는가에 있다. VCO (Voltage Controlled Oscillator)로부터 유입

되는 위상잡음은 고역통과 특성을 가진다. 따라서 대역폭을 증가시킴으로써 PLL의 위상잡음을 감소시킬 수 있지만, 너무 확대할 경우 Spur가 증가하므로 이들간의 Trade-off가 필요하다. 주파수 합성기의 핵심 요소인 VCO 설계에 있어 고려해야 할 사항을 3가지로 요약하면 위상잡음, 주파수 가변범위, 및 전력 소모이다. VCO는 크게 Ring-type 과 LC 공진형이 있는데, Ring type의 경우 주파수 가변 범위가 넓기 때문에 마이크로 프로세서나 클럭 복원회로 등에 주로 사용되고 있으나, 임의의 지연소자에서 발생한 잡음이 chain 통해 계속 돌아 다니게 되어 위상잡음은 좋지 않다. 따라서 위상잡음 규격이 엄격한 단말기용으로는 Ring-type보다 위상 잡음 특성이 우수한 LC 공진형이 유리하다. 최근 LC 공진형 CMOS VCO의 연구가 활발히 전개되고 있으며 0.8 μm CMOS공정을 이용하여 Phase Noise 특성이 $-126 \text{ dBc/Hz}@600 \text{ kHz}$ offset이고 전력 소모가 12.7 mW (@2.7V)인 VCO가 발표된 바 있다 (GSM의 경우, Phase Noise 규격은 $-121 \text{ dBc/Hz}@600 \text{ kHz}$ offset)^[22]. 이 결과는 On chip Inductor와 4 bond wire, package leads를 모두 이용해 Low Phase Noise에 필수적인 High Q Inductor를 구현한 것이다. LC 공진형 발진기의 발진 주파수 조절은 인덕터 혹은 커패시터를 활용하게 되는데 현실적으로 가변 인덕터 실현이 어렵게 때문에 대부분 MOSFET의 가변 Capacitance나 PN diode를 이용한다. 회로의 가변 주파수 범위 증가를 위한 넓은 가변 Capacitor와, 위상잡음 최소화를 위한 High Q 인덕터의 개발은 CMOS LC 공진형 VCO 구현을 위해 개선 되어야 할 요소기술들이다.

3-5 Architecture Design

설계자의 입장에서 볼 때 RF CMOS의 장점은 안정된 공정을 기반으로 한 고집적화에 있다. 따라서

현재 대부분의 단말기에 채택되고 있는 Super-heterodyne 구조는 채널 선택성이 우수한 장점이 있음에도 불구하고 다단계의 주파수 변환과 이에 따른 필터 등 외부 부품의 수요가 많고 집적화에 현재의 기술로는 거의 불가능하여, 저가격화와 고집적화라는 RF CMOS IC의 큰 특징을 제대로 발휘할 수 없다. 이와 같은 관점에, 다중밴드, 다중기능으로 발전되어 가는 휴대통신 기술의 흐름은 외부부품을 최소화하고 집적화에 유리한 새로운 단말기 구조 개발을 요구하고 있다. Direct conversion 방식은 RF 신호를 중간주파수 처리 과정 없이 직접 baseband로 변환하는 방식으로 집적화에 가장 매력적인 구조이다. Pager 등에 일부 활용되고 있기도 하지만, 1995년 UCLA의 Abidi 그룹이 Digital Cellular를 위한 RF IC를 발표한 이래 새롭게 주목을 받고 있다^[23]. DDFS를 활용, 주파수 도약 방식을 채택한 이들은 직접변환 구조가 가지고 있는 DC offset, 1/f noise 등의 문제에 비교적 민감하지 않은 FSK 변조방식을 사용하였다.

차세대의 이동통신용 단말기는 적어도 GPS, Bluetooth, Home-RF, wireless LNA 등의 서비스도 요구가 확실시 되고 있는 상황은, 직접변환 단말기 구조가 이들의 요구에 부응하기에 적합한 구조임은 자명하다.

IV. RF CMOS 발전전망

지난 7~8년간의 연구개발 결과, RF CMOS 기술은 이제 연구단계에서 제품개발 단계로 진입하기 시작했다. 그 한 예로서 2000년 3월 영국의 CSR사는 BlueCore01이라는 이름으로 Bluetooth용 2.4GHz 대역 RF CMOS IC prototype을 발표하였다. RF 주요 block은 물론 디지털 block 까지 단일 칩으로 구현된 상기 칩은 0.35 μm CMOS 공정을 활용한 것이다. RF CMOS 기술은 전술한 바와 같이 아직도 해

결해야 할 많은 문제가 남아 있지만, Bluetooth, WLAN, CT 등과 같이 우선은 규격이 상대적으로 완화된 분야로 적용이 확산될 것이다. 상대적으로 규격이 엄격한 이동 단말기 시장은 시장규모와 통신시장에서 갖는 중요성으로 인해 꾸준한 개발 대상으로 예상된다. 현재까지의 연구 결과를 바탕으로 분석해 보면, 개별 성능이 우수한 RF 소자 (화합물 소자, SiGe HBT)가 산재해 있는 단말기용 반도체 시장에 RF CMOS IC가 이들의 부분품으로 대체되는 것은 시간문제라 생각된다. Core Cell의 성능향상은 물론 지속적으로 진행되었지만, 기존의 RF 신호처리 및 구조를 변화시킴으로써 보다 근본적인 성능개선을 추구하는 것이 필요하다. 이는 다중밴드, 다기능으로 발전하고 있는 지금의 단말기 부품 시장에 RF CMOS IC가 경쟁력을 가질 수 있는 보다 효과적인 개발전략이 될 것으로 판단하기 때문이다.

참고문헌

- [1] T. Ohguro, et al., "RF Circuit Design on CMOS", *IEEE 2000 MTT-S, Workshop Notes*, Boston, MA June, 2000.
- [2] Cheon Soo Kim, Hyun Kyu Yu, Hanjin Cho, Seonghearn Lee, and Kee Soo Nam, "CMOS layout and bias optimization for RF IC design applications", in *IEEE MTT-S Int. Microwave Symp. Dig.*, pp. 945-948, 1997.
- [3] Cheon Soo Kim, Jung-Woo Park, Hyun Kyu Yu and Hanjin Cho, "Gate Layout and Bonding Pad Structure of a RF n-MOSFET for Low Noise Performance", *IEEE Electron Device Letters*, vol. 21, no. 12, pp.607-609, Dec., 2000.
- [4] Q. Huang et al, "GSM Transceiver Front-End Circuits in 0.25 μm CMOS", *IEEE Jour. of*

-
- Solid State Circuits*, vol. 34, no. 3, pp. 292-303, March, 1999.
- [5] E. Morifuji, et al., "Future Perspective and Scaling Down Roadmap for RF CMOS", *IEEE 1999 Symposium on VLSI Circuits*, pp. 163-164.
- [6] C. S. Kim, M. Park, C. -H. Kim, M. -Y. Park, S. -D. Kim, Y. -S. Youn, J. -W. Park, S. -H. Han, H. K. Yu, and H. Cho, "Design Guide of Coupling Between Inductors and Its Effect on Reverse Isolation of a MOS LNA", in *IEEE International Microwave Symposium Digest*, pp. 225-228. 2000.
- [7] Cheon Soo Kim, Piljae Park, Joung-Woo Park, Nam Hwang, and Hyun Kyu Yu, "Deep Trench Guard Technology to Suppress Coupling between Inductors in Silicon RF ICs", to be published in *IEEE International Microwave Symposium Digest*, 2001.
- [8] Min Park, Seonghearn Lee, Cheon Soo Kim, Hyun Kyu Yu, and Kee Soo Nam, "The detailed analysis of high Q CMOS-compatible microwave spiral inductors in silicon technology", *IEEE Trans. on Electron Devices*, vol. 45, no.9, pp.1953-1959, Sep., 1998.
- [9] TSMC 2000 Technology Symposium.
- [10] <http://rfcmos.etri.re.kr>
- [11] Seonghearn Lee, Cheon Soo Kim, and Hyun Kyu Yu, "A RF MOSFET SPICE Model with a New Substrate Network", in *IEEE Radio and Wireless Conference*, pp. 203-206, 2000.
- [12] D. K. Shaeffer and T. H. Lee, "A 1.5V, 1.5 GHz CMOS Low Noise Amplifier", in *Symposium on VLSI Circuit Digest*, pp. 32-33, 1996.
- [13] E. Sacchi, I. Bietti, F. Gatta, F. Svelto, R. Castello, "A 2dB NF, fully differential, variable gain, 900MHz CMOS LNA", *Symposium on VLSI Circuits*, pp. 94-97, June, 2000.
- [14] F. Svelto, G. Montagna, S. Deantoni, G. Braschi, R. Castello, "Solutions for image rejection CMOS LNA", *Proceedings of ISCAS*, vol. 3, pp. 49-52, May, 2000.
- [15] C. S. Kim, M. Park, C. H. Kim Y. C. Hyeon, H. K. Yu, K. Lee and K. S. Nam, "A Fully integrated 1.9 GHz CMOS Low Noise Amplifier", in *IEEE Microwave and Guided Wave letters*, vol. 8, pp. 293-295, Aug., 1998.
- [16] C. S. Kim, M. Park, C. -H. Kim, H. K. Yu, K. Lee, D. Y. Kim, and H. Cho, "Thick Metal CMOS Technology on High Resistivity Substrate for Monolithic 900 MHz and 1.9 GHz CMOS LNAs", in *IEEE MTT-s Microwave Symposium Digest*, pp. 573-576. 1999.
- [17] Min-Gun Kim, Chung-Hwan Kim, Hyun-Kyu Yu, and Jaejin Lee, "An FET-Level linearization Method Using a Predistortion branch FET", *IEEE Microwave and Guided Wave Lett.*, vol. 9, no. 6, June, 1999
- [18] Chien-Hsiung Feng et al., "Analysis of Non-linearities in RF CMOS Amplifiers", *Proceedings of ICECS' 99*, vol. 1, pp. 137-140, 1999.
- [19] J. C. Rudell, J. J. Ou, T. B. Cho, G. Chien, F. Brianti, J. A. Weldon, and P. R. Gray, "A 1.9 GHz de-band IF double conversion CMOS integrated receiver for cordless telephone applications", in *ISSCC Dig. Tech. Papers*, pp. 304-305, Feb., 1997.
- [20] A. Rofougaran, J. Y. C. Chang, M. Rofougaran, and A. A. Abidi, "A 1 GHz CMOS RF Front

-
- End IC for a Direct-Conversion Wireless Receiver", *IEEE J. Solid-State Circuits*, vol. 31, no. 7, July, 1996.
- [21] *Analog Product Center Magazines*, AD9832, Analog Devices, Inc., 1997.
- [22] C.-M. Hung and K. O. Kenneth, "A Packaged 1.1GHz CMOS VCO with Phase Noise of -126 dBc/Hz at a 600-kHz Offset", *IEEE J. Solid State Circuits*, vol. 35, pp.100-103, January, 2000.
- [23] A. A. Abidi, "Direct-conversion radio transceivers for digital communications", *IEEE J. Solid-State Circuits*, vol. 30, pp. 1399-1410, Dec. 1995.
- [24] *ETRI Internal Report*

≡ 필자소개 ≡

김 천 수

1978년~1982년: 경북대학교 전자공학과 (공학사)

1982년~1984년: 경북대학교 대학원 전자공학과(공학석사)

1992년~1999년: 과학기술원 전기/전자공학과(공학박사)



1986년~현재: 전자통신연구원 RF CMOS회로팀, 책임연구원

[주관심 분야] DRAM 셀구조, CMOS 소자 reliability, RF CMOS 능/수동소자, RF 모델링, 저잡음 설계기술, Core셀 설계기술 분야