

LTCC 기술을 활용한 적층 VCO 모듈

이영신 · 유찬세 ·
이우성 · 강남기

전자부품연구원
고주파재료연구센터

Abstract

The key advantage of LTCC(low temperature co-fired ceramics) technology is the ability to integrate passive components such as resistors, capacitors, and inductors. More compact circuits with an increased scale of integration are needed with the development for advanced telecommunication system such as IMT-2000. LTCC technology can be obtained by removing these elements from the substrate surface to inside of ceramic body. And it can miniaturize the wireless phone through integration of planar patch antenna, duplexer, band pass filter, bias line, circuit of impedance matching and RF choke etc. Furthermore, with the multi-layer chip process and its outstanding electrical material characteristics, LTCC is predestined for highly-integrated, cost effective wide band applications. This paper focuses on the general description of LTCC MCM technologies and the fabrication of the multilayer VCO module.

Key word : LTCC, MCM-C, Multilayer, LCR Libraries, VCO

요 약

최근에 이동통신 시스템의 다기능/고기능화에 따라 여러 선진업체에서 RF부품의 모듈화 개발이 추진되고 있으며, 이에 대응하여 LTCC를 이용한 MCM

(Multi-Chip Module) 적층기술의 개발이 확대되고 있다. 이 기술은 세라믹기판 내부에 L, C, R 등의 수동소자를 3차원적으로 구성, 일체화할 수 있기 때문에 이들 수동소자 뿐 아니라 세라믹 개별 부품으로 이용되고 있는 대역통과 여파기 및 바이어스라인, 임피던스 매칭 회로, 스트립라인등을 하나의 구조물에 집적화 시킴으로써 제품의 소형화 및 대량생산이 가능해진다. 본 논문에서는 LTCC를 활용한 고집적 복합모듈 기술과 동향에 대한 개요 및 개발사례로서 적층 VCO 모듈의 제작에 대해 소개하기로 한다.

I. LTCC 다층 복합 모듈 기술의 개요

1-1 LTCC 적층 세라믹 기술의 필요성

기존에 사용되던 HTCC (High Temperature Co-fired Ceramic) 기술은 96%의 알루미늄 세라믹을 고온에서 동시 소성을 하는 기술로서 고온에서 견딜 수 있는 금속을 전도체로 사용해야 한다는 문제점을 지니고 있으며 또한 이러한 재료인 W, Mo은 높은 비저항과 산화성으로 인한 내부식성으로 인해 도금을 해야 한다는 단점이 있다. 그러나 Au, Ag는 전도 특성이 우수하면서도 대기 중에서 소성이 가능하고 도금이 필요하지 않다. 바로 이러한 장점을 활용한 것이 LTCC(Low Temperature Cofired Ceramic) 기술이다. 이 전극 재료들은 산화분위기에서 소성이 가능하기 때문에 저항, 캐패시터, 인덕터와 같은 소자를 만들기 위한 산화물 재료와 함께 사용

할 수 있다는 장점을 지니고 있다. 이러한 LTCC 기술과 적층기술의 접목은 다음과 같은 몇가지 장점을 지니고 있다.^[1]

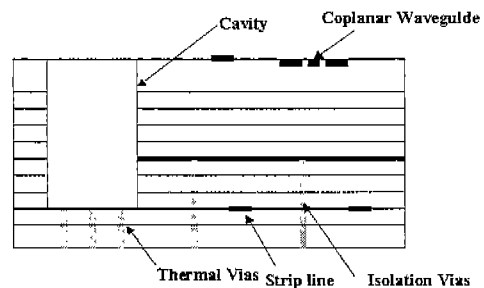
기존의 인쇄회로기판(Printed Circuit Board) 기술은 고주파 회로 응용을 위한 패키징 및 부품개발에 있어 많은 제약을 가지고 있다. 특히 인쇄회로기판용 고분자 재료는 열팽창계수가 약 20 ppm/°C 이상이 되어 온도의 변화에 크게 영향을 받으며, 습기에 약해 다습한 환경에서는 기판의 치수가 변하거나 전기적 특성이 저하되는 문제를 유발한다. 또한 높은 유전체 손실은 주파수가 증가할수록 더욱 크게 나타나며 따라서 손실이 적고 전기적으로 안정적인 특성을 나타내는 기판 기술이 요구되어 왔다. 또한 무선 단말기 분야에서는 임피던스 매칭과 필터링을 위해 수동소자들이 다량 사용되고 있는데, 이러한 소자들이 인쇄회로기판에서 대부분의 면적을 점유하고 있어 조립비용 및 부품비가 증가하고 소형화 및 경량화에 걸림돌이 되어 왔다. LTCC 기술은 기판내에 수동소자들을 집적화해서 소형화 및 경량화를 이루고, 실장부품수의 감소로 인한 신뢰성의 증가를 꾀할 수 있는 장점 때문에 기술적으로 수요가 꾸준히 증가되고 있다.

둘째로, LTCC의 낮은 유전손실 특성으로 인해 고주파 회로의 신호전달 특성을 향상시킬 수 있다. 고온 소성용 재료와 동시 소성된 세라믹 재료는 손실이 너무 크며 후막 유전체는 전송선로 임피던스 매칭을 위한 두께 편차를 조절하는 것이 불가능했다. 뿐만 아니라 LTCC 기술은 아날로그 및 디지털, RF 기술을 모두 혼합할 수 있는 플랫폼을 제공한다. 따라서, 설계 용이성 및 집적화에 우수한 특징을 가지고 있어 생산원가를 낮출 수 있다.

셋째로, LTCC 기술에 후막공정을 적용함으로써 수 십 μm 의 선폭 및 미세라인 간격의 구현이 가능하다. 이러한 미세라인의 선폭 및 간격은 감광성 재료 및 에칭 공정을 활용할 경우 20 μm 의 선폭과 간

격의 구현이 가능하다. 물론 박막 공정을 활용할 경우에 좀더 미세한 라인의 구현이 가능하나 공정 가격이 비싸며 밀착성이 있는 박막을 제조하기 위해서 소성된 세라믹 재료의 표면이 매우 평평해야 한다는 단점을 지니고 있다. 물론 소성된 재료를 연마하면 편평도를 얻을 수 있으나 물리적 연마로 인한 결함의 발생으로 밀착성에 문제가 생긴다. HIC 공정에서 이용되는 후막 기술에서는 다음 층이 없어 질으로써 두께가 불균일해지기 때문에 정밀도가 떨어지게 되는데, LTCC에서는 각각의 층들이 따로따로 공정이 행해지기 때문에 매층마다 균일한 인쇄정밀도를 구현할 수 있다. 그리고 절연체 위아래를 작은 직경을 가지는 비아로 수십 층을 연결하는 것이 가능하여 부품의 고밀도가 가능하게 된다.

또 다른 장점은 세라믹 테입의 가공을 통해서 다양한 형상의 구조물 제조가 가능하다는 것이다. 층간의 소자나 스트립라인의 연결이 용이하여 접속을 위한 어셈블리 비용을 절감시켜 주며, 기존의 HIC, 박막, HTCC 등에 비해서 유연한 설계가 가능하다. 특히, [그림 1]과 같이 마이크로 스트립, 코플레너 구조, DC 라인 등을 기판상에서 구현할 수 있게 해준다. 또한 3차원적인 공정이 가능하기 때문에 DC 조절 선로, 전력 공급 선로 등이 한꺼번에 포함되게 할 수 있으며 접지용 비아 어레이와 접지면을 넣어서 회로적으로 격리(isolation)된 구조도 만들 수 있



[그림 1] LTCC 모듈의 단면 예

다.

마지막으로 LTCC 기술의 핵심은 바로 내장 소자 (Embedded Component)의 제작이 가능하다는 점이다. 박막 공정을 이용한 MCM-D 기술도 수동소자의 제작이 가능하지만, LTCC 기술을 활용하면 박막 기술에 비해서 넓은 용량 값을 구현할 수 있다. LTCC 기술로 일체화가 가능한 수동소자는 저항, 커패시터, 인덕터이며 그 밖에 패치 안테나나 필터, 커플러등으로 이러한 소자들을 동시에 형성함에 따라서 회로 연결에 사용되는 소자간의 접속 수 감소, 신뢰성 증가, 비용절감, 회로밀도 증가 등의 장점을 지니게 된다. 이 중 가장 큰 장점은 우선 소자들의 접속을 위한 단자 수의 감소인데, 과거의 어셈블리는 소자들을 접속시키기 위해 패드가 필요하며 단자 연결에 사용되는 납땜, 에폭시 등은 회로 내에 손실의 원인이 된다. 이러한 접속 패드가 제거된다면 회로내의 손실은 크게 감소하게 된다. 그러나 LTCC 기술로는 내장형 소자가 선로 다음에 바로 배치되는 구조를 지니기 때문에 패드의 감소가 가능하게 된다.

또한, 내장소자를 형성함으로써 생기는 다른 장점은 신뢰성이 증가한다는 점이다. 보통 인쇄회로기판의 불량은 이종 재료 사이의 경계면에서 발생하게 된다. 즉 열팽창계수 차이가 큰 재료를 접속하면 경계면에서 스트레스가 발생되며 발생한 스트레스는 균열을 발생시키게 되는데, 따라서 단자 접속의 수가 감소되는 것으로도 신뢰성 향상에 크게 기여하게 된다.

1-2 LTCC 적층화에 따른 기술적 문제점

RF 부품을 적층화할 때 발생하는 문제점은 크게 두가지 영역으로 구분할 수 있다. PCB 위에 SMD 부품을 실장하여 RF 시스템을 제작하는 것이 아니라 세라믹 내부에 회로를 구현하여야 한다는 입장

에서 먼저 제작 공정상의 어려움을 들 수 있다. 두 번째로는 내장된 소자의 평가인데, 세라믹 기판 내부에 일정한 용량을 갖는 소자가 위치하게 되므로 이에 대한 측정 및 모델링이 정확하게 이루어져야 한다는 것이다. 여기서는 주로 공정상의 문제점에 대하여 서술하기로 한다.

첫째로, LTCC 재료의 선정이다. 이제까지 LTCC의 응용은 패키지에 집중되어 있었다. 특히 신호선은 인덕터로 등가화할 수 있는데, 이 경우 기생 성분을 줄이고 자기공진 주파수를 증가시키며 신호의 전달속도를 증가시키기 위해서는 가능한 유전율이 낮아야 했다. 따라서 알루미나에 저용점과 낮은 유전율을 가지는 글라스를 혼합하여 사용해 왔는데, 현재 가장 많이 사용되고 있는 재료는 6 ~ 8 사이의 유전율을 가지고 있다. 그러나 커패시터 소자의 경우 저유전율 재료를 사용하면 동일한 커패시턴스를 얻기 위하여 상대적으로 많은 전극층을 요구하기 때문에 소형화, 고성능화 추세에 반하게 되며 따라서 저온동시소성이 가능하고 유전율이 40 이상인 재료의 개발이 많은 부분 진행되어 왔다.

또한 기판용 재료로서 유전체가 아닌 자성체가 사용될 수 있는데, 현재 사용되는 자성체의 경우 페라이트 인덕터, 비드, 서큘레이터, 아이솔레이터 등에 사용되고 있다. 따라서 이러한 페라이트 소자들까지 함께 모듈로서 구현하기 위해서는 유전체 재료와 자성체 재료간의 접합이 매우 중요하다. 이와 같이 LTCC를 이용한 모듈화를 위해서는 서로 다른 재료의 이종접합을 위한 동시소성기술 개발이 필수 불가결하다고 볼 수 있다.

둘째로, 전극 재료이다. 현재 LTCC 재료에 사용되는 전극용 재료로는 Ag가 주종을 이루고 있으며 이와 함께 Ag-Pd, Ag-Pd-Pt, Au, Cu 등이 사용되고 있다. 특히 961°C의 용점을 갖는 Ag의 경우 가격이 싸고 전기적 특성이 우수하며 LTCC 자체가 Ag를 기반으로 개발되고 있기 때문에 가장 많이 사용되

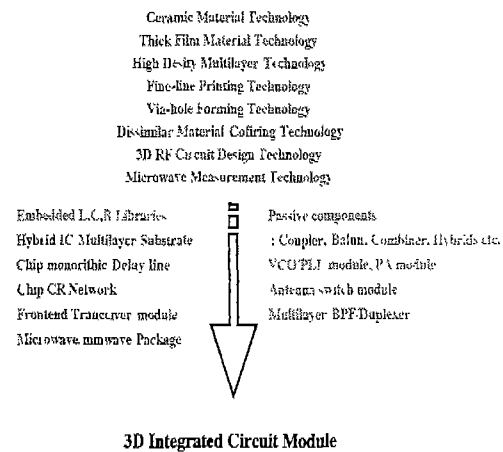
고 있다. 하지만 리칭(leaching)의 발생으로 인한 welding 문제가 있어 이를 대체하기 위하여 도금기술이 함께 연구되고 있으며, 현재는 welding 특성이 우수한 Ag-Pd 등이 능동부품등이 표면실장되는 전극으로 많이 사용되고 있다. 전극 재료는 LTCC 기판과의 접합성 때문에 유리 혹은 세라믹 기판의 조성과 유사한 성분을 첨가하여 제조되며 첨가되는 조성비나 양에 따라 기판과의 접합 특성이 매우 달라지게 되므로 이에 대한 연구가 활발히 진행되고 있다.

셋째로, 적층공정의 핵심인 전극의 프린팅 공정이다. 기존 PCB 공정에서는 내부 회로간의 연결을 PCB 위에 전극 라인을 형성함으로써 제작하였지만 LTCC를 이용한 MCM 공정에서는 부품간의 전기적 연결을 PCB처럼 전극선로를 이용하지만 기판 내부에서는 비아홀을 형성한 후 이 홀에 전극을 채워 넣어 부품간을 연결시켜 주는 방법을 택하고 있다. 일반적으로 소자간을 연결시켜주는 Termination 및 Transition 부분에서 많은 손실이 발생하게 되는데, MCM의 경우도 소자간 연결시 사용되는 비아홀에서의 적절한 전극 필링(filling) 여부와 완벽한 접촉여부가 회로의 손실 및 신뢰성에 많은 영향을 미치게 된다.

마지막으로, 개별 Layer를 일체화하는 적층(Stacking 및 Lamination)공정이다. 비아 및 인쇄패턴이 포함된 세라믹 테입은 x, y 방향의 수축률에 편차가 생기게 된다. 이러한 편차는 내부 소자의 용량값의 변화에 직접적으로 영향을 미치며 심할 경우 층사이 비아홀이 연결되지 않을 수 있다. 따라서 이러한 현상을 방지하기 위하여 편(pin) 및 광원을 이용한 정렬(align) 방식등이 적용되고 있다. 또한 세라믹 테입의 제조(Tape casting)시 세라믹과 유기물의 배치(batch)에 따라서 테입제조과정에서 직접적인 압력을 받게되는 z 방향의 수축률에도 차이가 발생하게 된다. 따라서 세라믹 테입 제작에서 적층(lamina-

tion) 공정까지의 일련의 과정에서 가능한 낮은 수축 및 신장이 일어나도록 해야 하며 특히 일정한 편차(tolerance)를 유지하도록 해야 한다.

이상과 같이 LTCC 기술을 활용한 고주파 부품 복합모듈을 제작하기 위해 필요한 요소기술을 정리하면 다음과 같다. LTCC 기술은 층수에 제약이 없으며 낮은 손실의 전도체를 사용하며 무엇보다도 주요한 이점은 다층 기판 내에 저항, 콘덴서, 인덕터 등의 수동 소자를 내부에 실장할 수 있어 표면에 위치한 부품을 기판 내부로 위치시킬 수 있어서 회로의 고밀도화가 가능하다는 점은 앞서 기술하였다. 그러나 회로의 고밀도에 따른 부품간 간섭 현상(Crosstalk)이 복합모듈의 구현에 제약을 주게 되는데, 따라서 3차원 회로 설계의 최적화를 위해 재료 특성과 공정 기술을 고려한 회로구조 설계가 필요하다. 또한 내장되는 소자의 정확한 모델링과 마이크로 스트립과 스트립라인, 스트립라인간, 패드와 라인간 Transition 등에 대한 이해가 중요시된다. 그리고 이와 더불어 후막 인쇄 기술, 고밀도 다층 배선 형성 기술, 미세 전극 인쇄 기술, 비아 홀 형성 기술, 이형소재의 동시소성 기술, 고주파 유전체 재료 측정기술 등에 관한 기반 기술이 결합되어야만 한



[그림 2] LTCC 모듈의 핵심 기반기술 및 응용

다. [그림 2] 에는 MCM-C 모듈 부품을 제작하기 위해서 요구되는 기반 기술들을 도해하였다.

1-3 업계동향

이와 같은 LTCC를 활용한 고집적 복합모듈기술은 현재 일본의 Murata, TDK, 마츠시타전기, Hitachi 등의 부품 제조업체에 의해 주도되고 있다. 특히 Murata사는 다년간에 걸쳐 확보된 고주파 유전체 재료 기술과 RF 부품 설계 능력을 기반으로 저온동시 소성용 유전체 물질을 활용한 수동소자 내장형 유전체 기판을 개발, 현재 각종 고주파 부품과 RF 다이오드 스위치 등의 모듈 부품을 생산하고 있다.

미국에서는 일본의 세라믹 부품업체들의 독주에 맞서 90년대 초반에 일본과의 전자제품의 경쟁력 강화를 위해 국가의 지원 하에 DARPA를 중심으로 MCM에 대한 연구개발을 활발히 진행하였으며 부문별로 관련 기업들과 정부 연구소의 컨소시엄이 구성되어 기술 개발을 수행하고 있다. 이러한 컨소시엄에는 IBM, National Semiconductor, nChip, Dupont, Ferro社 등의 컴퓨터, 반도체 업체와 항공 업체, 재료 관련 업체 등이 총망라되어 참여하였으며 선진화된 MCM의 상품화 기술 개발에 주력하였다. 현재 Philips사와 Motorola사, Hughes사에서는 Multi-layer 구조로 안테나와 필터와 같은 단일 수동부품

에 대한 연구가 활발히 진행 중에 있다. 또한, National Semiconductor 사 등에서는 직접 제조한 반도체를 활용하여 PLL 모듈(LMX9402)을 개발하여 시제품을 출시하고 있다. 표 1에는 대표적인 LTCC 적층 RF부품을 소개하고 있다.

II. 고주파 복합모듈 개발사례 :

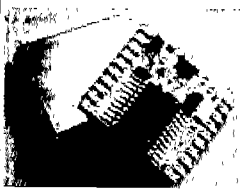
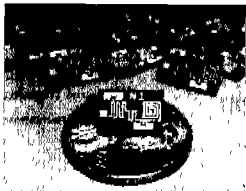


IMT-2000용 VCO 모듈

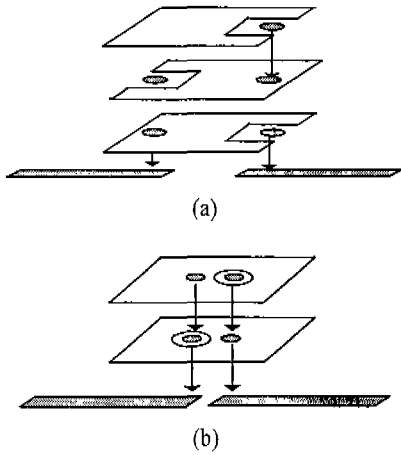
본 연구에서는 LTCC 모듈 제작에 있어서 내장형 수동소자의 라이브러리의 제작과 이로부터 얻어진 설계 파라미터들과 소자간, 선로간 Transition 작업을 통하여 기본적인 회로구조를 구축하였다. 공진단 및 피드백 회로, 출력 매칭 회로등을 3차원 시뮬레이션을 통해 검증하였고, 이를 바탕으로 3차원 모듈 Layout을 설계하였다. 이 장에서는 우선 VCO모듈에 응용되는 수동소자 라이브러리 제작에 관하여 논의하고^{[2]-[5]}, 다음으로 적층 VCO 모듈의 제작 사례에 대하여 논하기로 한다.

2-1 내장용 캐패시터

중래의 칩 캐패시터 구조는 칩의 특성상 정해진 패턴을 사용해야 하기 때문에 그 특성을 향상 시키는데 한계가 있었다. 그러나 내층형인 경우에는 칩

<표 1> LTCC 모듈의 응용

업체명	National Semiconductor	Dupont	Murata	TOKO
제품				
용도	이동통신용 PLL Module	이동통신용 Filter	이동통신용 Antenna	이동통신용 Duplexcr



[그림 3] 내장용 캐패시터 구조

경계가 없어지기 때문에 면적과 패턴의 모양을 다양하게 할 수 있는 장점이 있다. 캐패시터의 구조를 고안함에 있어서 기생으로 생기는 인덕턴스 값을 최소화하는 것과 작은 면적에서 더 큰 용량을 낼 수 있는, 즉 면적 효율성을 높이는데 그 중점을 두었다.

[그림 3]에는 대표적인 내장 캐패시터의 구조가 나타나 있다. 내층형은 칩과는 달리 전극과 전극이 via를 통해 연결되기 때문에 via가 위치할 공간이 확보되어야 한다. (a)구조는 이러한 점을 보완하기 위해 신호선 역할을 하는 via 주변까지 그 면적을 확장하여 면적 효율을 높인 구조이다. 실제로 캐패시터가 모듈에서 차지하는 면적이 작을수록 유리하기 때문에 동일한 용량을 나타내면서 모듈내에서 차지하는 면적이 작은 구조가 요구된다. (a)구조와 종래의 칩 캐패시터 구조와의 비교 결과가 <표 2>에 있다.

위의 결과에서 알 수 있듯이 내장구조는 거의 동일한 용량을 나타내면서도 그 차지 면적은 종래구

<표 2> MLCC 구조와의 면적 활용도 비교

	내장구조(a)	MLCC 구조
C(pF) @ 100MHz	5.61	5.72
차지 면적(mm ²)	0.49	1.1

<표 3> 기생 인덕턴스 값 비교

	내장구조(b)	MLCC
C(pF) @ 100MHz	2.41	1.68
자기 공진 주파수(GHz)	4.891	4.077
기생 인덕턴스(nH)	0.44	0.91

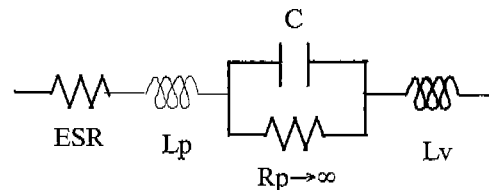
조의 45 %정도 밖에 되지 않았다.

캐패시터는 기생 인덕턴스 값이 작을수록 자기 공진 주파수가 높아지는데 기생 인덕턴스는 주로 전극의 모양, 길이에 의해 결정된다. 동일한 용량을 나타내면서 기생 인덕턴스가 더 작다면 자기 공진 주파수가 높아지게 되고 소자의 고주파 대역 활용도가 높아지게 된다. [그림 3]의 (b)는 이러한 점에 착안하여 신호선의 위치를 전극의 중심에 위치시켜서 전극의 유효 길이를 최소화하였다. 이 구조에 대한 분석결과가 아래에 나타나 있다.

<표 3>에서 알 수 있듯이 내장구조는 더 큰 용량을 나타내면서도 오히려 자기 공진 주파수는 더 높게 나타났는데 이는 기생 인덕턴스가 종래구조에서 보다 1/2이하로 작기 때문이다.

[그림 4]에는 내장용 캐패시터의 구조 분석에 사용된 등가회로가 제시되어 있다.

내장 캐패시터는 패턴 전극이 외부로 드러나지 않기 때문에 측정을 위해서는 양쪽 전극의 끝부분을 외부로 빼내 주어야 한다. Lv는 내장 소자의 측정을 위해 첨가된 비아에 의한 인덕턴스 값으로 모든 측정 결과에 동일하게 포함되어 있다. 따라서 내장 소자를 모듈에 적용할 경우에는 이 영향을 배제



[그림 4] 내장용 캐패시터의 등가회로

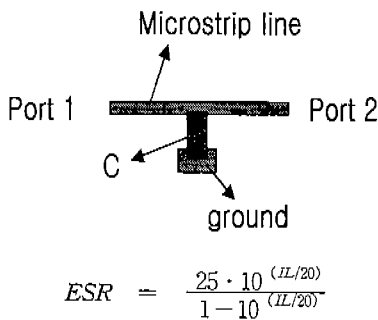
<표 4> 측정을 위해 첨가된 비아 영향의 보정 결과

	보정 전	보정 후
C(pF) @ 100 MHz	3.65	3.6498
C(pF) @ 2.5 GHz	6.15	5.39

하여야 한다. 이를 위해 동일 패턴에 대해 via의 길이만을 변화시켜서 단위 길이당의 인덕턴스 값을 추출하였는데, 지름이 120 μm이고 길이가 80 μm인 비아 1개가 갖는 인덕턴스는 약 0.038 nH 정도 되었다. 캐패시터의 측정 결과에서 이 via의 영향을 보정한 결과가 <표 4>에 제시되어 있는데 고주파 대역으로 갈수록 그 영향이 커지고 있음을 알 수 있다. 따라서 2 GHz 이상의 주파수 영역에 적용할 경우 비아에 대한 보정이 반드시 필요하다고 판단된다.

또한 Q값이 높은, 즉 손실이 적은 캐패시터를 얻기 위해서는 ESR(Equivalent Series Resistance)이 작을수록 좋다.

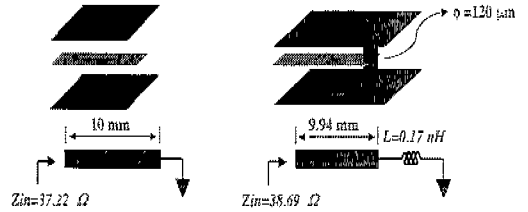
[그림 5]에 나타난 지그와 계산식을 이용하여 내층용 캐패시터의 ESR을 측정된 결과 칩 캐패시터에 비해 작게 측정되었는데, 칩의 경우에는 전극 끝부분에 단자 전극이 연결되고 여기에 다시 2~3종의 금속이 도금되는데 반해 내층형의 경우에는 이러한 이종 금속간의 계면이 존재하지 않기 때문에 더 좋은 특성을 나타냈다. 그 비교 결과가 <표 5>에 제시되어 있다. 캐패시턴스 값은 100 MHz에서



[그림 5] ESR 측정 지그 및 계산식

<표 5> 내장 캐패시터와 칩 캐패시터의 ESR 비교

내층용 캐패시터		칩 캐패시터	
C(pF)	ESR(Ω)	C(pF)	ESR(Ω)
3	0.2	3	0.5
5	0.15	5	0.42
12	0.15	12	0.31



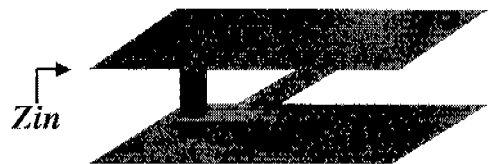
[그림 6] 스트립라인 시뮬레이션 구조

측정한 것이다.

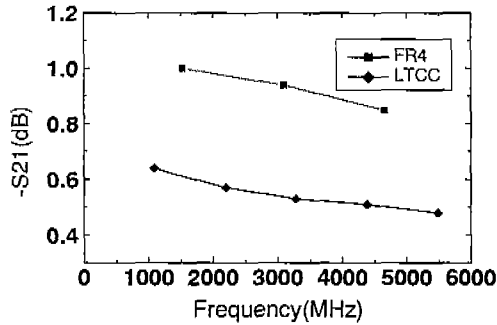
2-2 내장형 인덕터 - 스트립라인

인덕터는 모듈내에서 주변 환경에 의한 영향을 많이 받기 때문에 이에 비해 안정적인 특성을 갖는 스트립라인 구조를 적용하였다. 실제 적용에 앞서 HFSS(High Frequency Structure Simulator)를 이용하여 그 특성을 예측하였다.

10 mm의 길이를 갖는 스트립라인을 사용하고 끝부분을 비아로 연결할 경우 유효길이는 9.94 mm이고 0.17 nH의 인덕터 성분이 첨가됨을 알 수 있다. [그림 7]에는 실제로 적용한 스트립라인 구조가 나타나 있는데 실제 측정치와 거의 일치하고 있음



[그림 7] 실제 적용한 스트립라인 구조



[그림 8] 각 재료들의 손실값 비교

<표 6> 측정결과와 시뮬레이션 결과 비교

f=2.33GHz	Measured	Simulated
Zin	22Ω	21.32Ω

을 알 수 있다.

[그림 8]에서는 마이크로스트립 라인 구조를 이용하여 세라믹 재료와 FR-4의 손실값을 측정 비교한 것을 나타내고 있다. 많은 연구들에서 보고된 대로 세라믹 기판의 경우 손실값이 작게 나왔으며 이는 VCO의 잠음특성을 향상시킬 것으로 판단된다.

본 연구에 적용된 공진단 회로에서는 스트립라인의 특성 임피던스가 낮을수록 좋은 특성을 나타내었는데, 20 μm 정도의 얇은 세라믹 쉬트를 제작하여 스트립라인의 특성 임피던스를 4~5 Ω 정도로 낮출 수 있었다.

2-3 내장용 저항

내층용 저항은 LTCC 기판 및 스크린 인쇄공정을

<표 7> 페이스트와 저항체 크기에 따른 DC 저항값

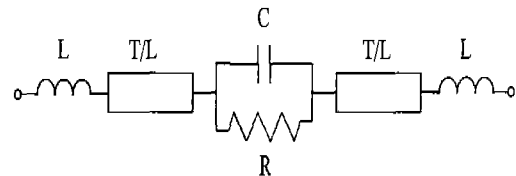
페이스트 / 저항체 폭	10 Ω	100 Ω	1K Ω	10K Ω
0.2~1.0 mm	2~29	70~377	1121 ~4623	2144 ~12241

이용한 후막 공정으로 제작되었다. LTCC용 기판은 $\epsilon_r = 7.7$, $t = 118 \mu\text{m}$ 인 쉬트를 사용하였으며, 내부 저항체용 페이스트는 10Ω~10KΩ/□ 저항값을 가진 페이스트를 사용하였다(표 7).

내층용 저항의 거동을 스미스 차트로 보면 DC 저항값을 나타내는 실수축에서 시작하여 주파수가 증가에 따라 저 저항에서는 인덕턴스 방향으로, 고 저항에서는 캐패시턴스 방향으로 시계 방향으로 회전하는 거동을 보이게 된다. 2.5 GHz 이하의 주파수에서는 임피던스의 실수성분, 즉 저항이 DC 저항 용량에서부터 10 % 이내에 존재하지만 그 이상의 주파수에서는 급격한 차이가 발생함을 확인할 수 있었다. 이상적인 저항이라면 저항 성분만이 존재하게 되므로 주파수에 따라 변하지 않고 스미스 차트의 실수축 위의 한 점에만 존재하는 RF 특성을 보이게 된다. 하지만, 저항내부에 존재하는 기생성분에 의해 주파수 변화와 비례하여 변화하는 고주파 특성을 가지고 있음을 확인할 수 있었다.

전송선로는 그 폭에 따라서 다른 특성임피던스를 가지게 되는데 저항체를 전송선로로 가정한다면, 저항체의 크기에 따라서 다른 특성임피던스를 가지므로 고주파 특성에 변화가 발생한 것으로 설명할 수 있다.

이러한 내부저항의 고주파 특성 측정결과와 시뮬레이션을 통해 저항성분과 함께 전송선로 및 인덕턴스, 캐패시턴스 성분이 혼합된 [그림 9]의 등가 회로를 얻을 수 있었다. 등가회로의 캐패시턴스 성분은 저항체 자체에서 나오는 것으로 보여지는데, 이



[그림 9] 내층용 저항의 등가회로

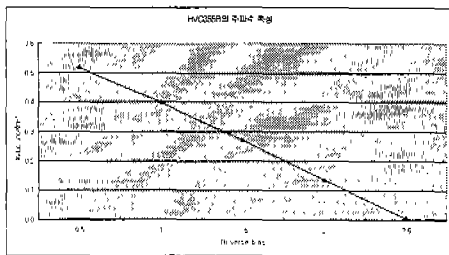
는 캐패시턴스 성분이 저항의 구조와는 상관없이 저항값의 변화에 따라서 증가하는 양상을 보이기 때문이다. 이러한 결과는 구조 시뮬레이터를 이용한 예측치에 의해서도 확인할 수 있었다. 또한 인덕턴스 성분은 저항 자체에 의한 기생성분 보다는 주로 저항과 외부전극과의 연결을 위한 비아에서 얻어지는 것으로 생각된다.

2-4 적층 VCO 모듈⁶⁾

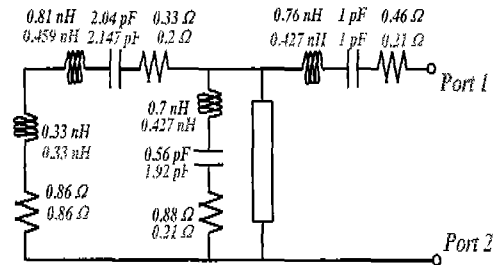
이제 모듈의 제작에 대해 기술하기로 한다. 공진단의 설계에 앞서 우선 주파수 조정소자인 벡터(Varactor) 다이오드의 주파수 응답특성을 측정해야 한다. 본 실험에서 사용한 소자는 Hitachi사의 HVC-355B이며 0.5~2.5 V의 전압조정범위에서의 주파수 특성은 2.3 GHz에서 [그림 10]과 같이 측정되었다. 측정은 diode에 걸리는 bias회로를 포함하여 실제 회로와 동일하게 구현하여 1-port 측정된 결과이다. 다이오드는 약 1.5 GHz에서 공진점을 가지며 2.3 GHz에서는 1.5 V 조정전압에서 약 0.27 nH의 인덕턴스값을 갖는 것으로 측정되었다.

VCO의 잡음특성을 향상시키기 위해서는 회로의 Q값이 커야 하며 이를 위해서는 무엇보다 공진단이 높은 무부하 Q값을 갖도록 해야 한다. 그러므로 공진단의 설계에서 사용 소자들의 내부 직렬저항이 작아야 하며 탱크회로의 L/C 비가 낮아야 한다.

본 실험에서 설계된 L/C 비는 0.35였고 인덕터는

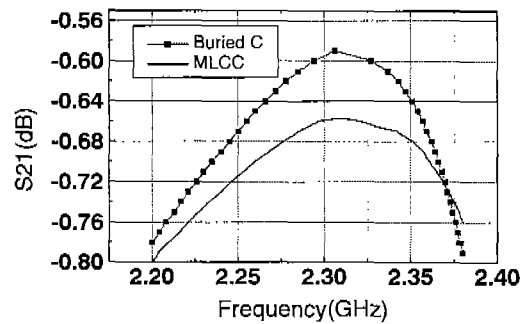


[그림 10] 벡터 다이오드의 특성 측정치



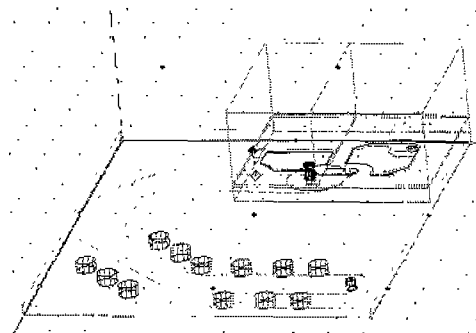
[그림 11] 등가회로

(용량표기 : up→칩, down→내장용)



[그림 12] 공진단회로와 특성 비교

높은 Q값을 얻기 위해 스트립라인 공진기 형태로 구현하였다. [그림 11]과 [그림 12]에서는 LTCC 내장형으로 제작된 인덕터와 캐패시터 라이브러리로 구성된 공진회로와 세라믹 칩인덕터와 캐패시터를 이용한 공진회로의 특성을 측정결과를 토대로 등가



[그림 13] HFSS 시뮬레이션 예-공진단

회로화 하여 비교해 보았다.

[그림 13]은 HFSS로 시뮬레이션한 도면을 예로 보여주고 있다.

다음은 발진단 설계에 대한 것이다. 바이어스 회로의 구성은 안정적인 이득과 스푸리어스 억제를 고려하여야 하는데, 특히 바이어스 전류의 증가는 베이스밴드 노이즈의 증가로 잡음특성을 감소시키므로 동작전류 8mA 기준으로 설계하였고 이득감쇄를 막기 위해 RF Choke를 사용하여 바이어스 회로를 구성하였다. 사용한 트랜지스터는 NEC사의 2SC5010으로 발진단은 발진부와 증폭부로 구성되었으며 발진부는 콜렉터 접지며 기본적으로 Colpitts 형태이고 증폭부는 에미터 접지하여 구성하였다.

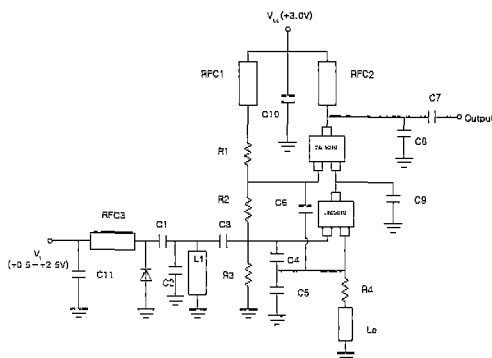
모듈에 들어가는 캐패시터, RFC, 공진기, 저항 등의 수동소자들의 수는 총 20개이며 이중 고용량 바이패스 캐패시터를 제외한 모든 수동소자들을 내장하였다. 그러나 저항값의 편차가 존재하여 바이어스 튜닝을 위해 상단에 패드를 올렸으며 이로 인해 모듈의 사이즈가 다소 커지게 되었다. 바이어스 튜닝은 레이저를 이용한 트리밍이나 드릴을 이용한 기계적인 트리밍을 할 수도 있고 패드를 올려 칩저항을 병렬 연결하여 튜닝할 수 있다. 본 실험에서는 두가지 경우를 모두 고려하여 설계하였다. 또한 주파수 튜닝을 위해서 공진단의 패턴을 상단에 구성하여 주

파수 미세튜닝이 가능하도록 하였다. [그림 14]는 최종적인 VCO 설계회로이며, 표 8에서는 설계된 소자들의 값과 기판 내부로의 내장 여부를 정리하였다. <표 8>에서 보는 바와 같이 23개의 부품 중 18개를 내장하여 내장률 78%를 구현하였다.

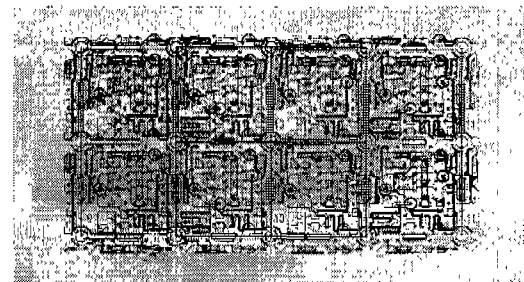
[그림 15]는 설계된 적층 VCO 모듈의 3차원 layout을 보여주고 있다. 내장 캐패시터와 신호연결선은 총 9층으로 구현되었으며 공진기와 RFC는 상하 그라운드 면을 만들어 스트립라인 구조로 설계하였다. 3차원 설계를 위한 기판재료의 파라미터는 유전체 테이프의 유전률이 7.7, 유전손실이 0.005, 전극두께는 7 μ m, 각 층의 두께는 35 μ m이다. 또한 소자내부 및 소자간 비아, 스트립구조 구현을 위한 그라운드 비아, 포트 비아의 직경은 70~250 μ m이

<표 8> 설계된 소자들의 정수값

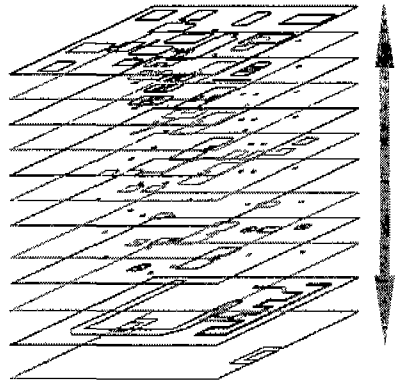
부품	설계값	내장	부품	설계값	내장
C1	2pF	○	C10	330pF	×
C2	0.5pF	○	C11	1nF	×
C3	3pF	○	R1	1K Ω	○
C4	1.2pF	○	R2	2.2K Ω	○
C5	1pF	○	R3	2K Ω	○
C6	0.5pF	○	R4	27 Ω	△
C7	3.3pF	○	L1	Stripline Resonator	○
C8	1.8pF	○	Le	Suspended μ strip line	○
C9	8pF	○	RFC	Stripline	○



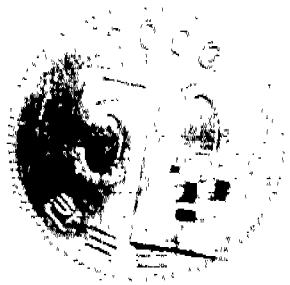
[그림 14] 최종적인 VCO 모듈의 회로도



[그림 15] VCO 모듈의 3차원 CAD 도면



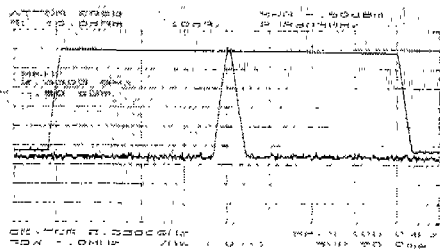
[그림 16] 각 패턴 Layer의 적층 개요도



[그림 17] 제작된 적층 VCO 모듈의 사진

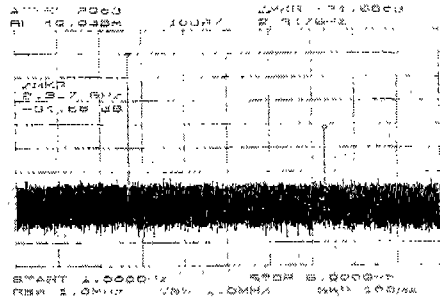
었다. [그림 16]은 설계된 각 Layer를 적층공정에 적용하는 개요도를 보여주고 있으며 [그림 17]은 제작된 적층 VCO 모듈의 사진이다. 소성 후 최종 모듈 샘플의 크기는 $5 \times 5 \times 1.5 \text{ m}^2$ 이었다.

다음은 제작된 VCO의 측정 결과이다. [그림 18]



[그림 18] 출력 특성

은 HP 8561E 스펙트럼 분석기로 측정된 발진기의 출력 특성으로 기준 주파수의 출력 파워와 주파수 조정 범위, 출력 평탄도 등을 보여주고 있다. 기본 주파수에서 출력의 크기는 약 0 dBm이었고 이때 바이어스 조건은 3 V, 8 mA였다. 주파수 조정 범위는 조정전압을 0.5~2.5 V로 변화시키는데 따른 주파수의 변화량으로서 약 $40 \pm 5 \text{ MHz/V}$ 였고, 출력 변화는 $\pm 0.5 \text{ dB}$ 이내로 선형성이 우수하였다. [그림 19]에서 보여 주듯 기준 주파수와 2차 고조파 성분 간에는 약 -31 dBc 정도의 하모닉 특성을 나타내고 있다. 그 외의 측정된 특성 파라미터들은 <표 9>에서 정리하였는데, SSB 위상노이즈는 HP4352B VCO/PLL 분석기로 측정하였으며 10 KHz offset에서는 -90 dBc/Hz, 100 KHz offset에서는 -120 dBc/



[그림 19] 고조파 특성

<표 9> 적층 VCO 모듈의 측정결과

측정항목	측정치	
사용 전압	$3.0 \pm 0.15 \text{ V}$	DC bias
조정전압	0.5~2.5 V	DC bias
동작 주파수	$2330 \pm 30 \text{ MHz}$	-
출력	$\geq -1 \text{ dBm}$	$3.0 \pm 0.15 \text{ V}$
조정범위	$\approx 40 \text{ MHz/V}$	$V_t = 0.5 \sim 2.5 \text{ V}$
고조파특성	$\geq -30 \text{ dBc}$	2nd harmonic
Pushing figure	$\leq \pm 400 \text{ KHz}$	$3.0 \pm 0.15 \text{ V}$
Pulling figure	$\leq \pm 200 \text{ KHz}$	VSWR=2.0 for all phase
SSB 위상잡음	$\approx 120 \text{ dBc/Hz}$	@ 100 KHz offset
소모전류	$\approx 8 \text{ mA}$	3.0 V supplied

H_z로 우수한 잡음특성을 얻을 수 있었다. 또한 인가 전원의 변화에 따른 주파수의 변화인 푸싱 피규어 (Pushing Figure)는 ± 0.15 V의 가변범위에서 ± 400 KHz 정도를 나타내어 제작된 VCO 모듈이 저위상 잡음 특성을 갖고 있음을 알 수 있었다.

III. 결 론

지금까지 LTCC 기술에 대한 전반적인 소개와 이를 활용한 적층 VCO 모듈 개발에 대하여 기술하였다. 개발된 VCO 모듈은 기존 PCB 부품 보다 좋은 유전특성을 가지고 있고 수동부품의 내장화가 가능하여 부품의 소형화와 특성향상에 많은 잇점을 가지고 있다.

아직 국내 세라믹 적층 부품 기술의 수준은 일본이나 미국등 선진 업체에 비해 다소 뒤떨어져 있다고 할 수 있다. 특히 트랜시버 모듈이나 밀리미터 대역의 부품 및 모듈 개발에 있어서는 거의 전무한 실정이라고 볼 수 있다. 그러나 국내 RF 부품업체 및 연구그룹에서는 최근 듀얼밴드 스위치 모듈, 필터 및 듀플렉서, 커플러등의 단일 수동 부품 등, LTCC를 기반으로 한 적층 RF 부품 개발에 많은 관심을 기울이고 있다. 당 연구원의 고주파재료 연구 센터에서는 지난 몇 년간 적층 대역통과 여파기, 커플러, 트랜스포머, 발룬 및 적층 칩 부품의 개발의 성과를 바탕으로, 최근에는 IMT-2000용 적층 VCO/PLL 모듈 및 LNA/Mixer 모듈등을 개발하였다. 현재는 2.5/10Gbps급 광통신용 패키지, 초소형 적층 VCO/PLL 모듈 및 듀플렉서 개발을 진행하고 있으며, 광식각 공정을 활용한 초미세라인 패턴 가공기술을 개발로 이를 이용한 밀리미터 대역의 고

주파 부품 모듈의 개발을 진행하고 있다.

참고문헌

- [1] Dupont社, "Ceramic Solutions for Cost Savings in Handsets", 1999-IMAPS Conference, 1999. 6.
- [2] K. Drüe, H. Thust, "RF-Behavior of Printed Resistors in the Frequency Range up to 6 GHz", *Proceedings of the 1996 International Symposium on Micro Electronics*, Minneapolis, Minnesota, Oct 8-10, pp 66-70, 1996.
- [3] J. Asaumi, K. Nakai, T. Ezaki, O. Sugano, S. Takahashi, C. Yamahashi, "Copper Circuit on Co-fired Multi-layered Ceramic Substrate with Embedded Capacitors and Resistors", *Proceedings of the 1991 International Symposium on Microelectronics*, p.402.
- [4] H. Kannda, R. C. Mason, C. Okabe, J. D. Smith and R. Velasques, "Buried Resistor and Capacitor for Multilayer Hybrids", *Proceedings of the 1995 International Symposium on Microelectronics*, p.47.
- [5] Hiroshi Kanda, Robert C. Mason, Chie Okabe, Jerome D. Smith and Richardo, Velasquez. "Buried Resistor and Capacitor for Multilayer Hybrids", *Proceedings of the 1996 International Symposium on Microelectronics*, p.248.
- [6] G. D. Vendelin, A. M. Pavio, U. L. Rohde, *Microwave Circuit Design : using linear and non-linear techniques*, Wiley-Interscience, pp. 145 ~ 158, 1990.

≡ 필자소개 ≡

이 영 신

1996년 : 서강대학교 전자공학과(공학사)
1996년~1998년 : 현대전자 시스템IC연
구소
2000년 : 서강대학교 전자공학과 대학원
(공학석사)
2000년~현재 : 전자부품연구원, 고주파
재료연구센터 전임연구원



이 우 성

1990년 : 고려대학교 금속공학과(공학사)
1992년 : 동 대학원(공학석사)
1992년~1997년 : (주)유유 부설연구소
1997년~현재 : 전자부품연구원, 고주파
재료연구센터 선임연구원



유 찬 세

1996년 : 서울대학교 자원공학과(공학사)
1998년 : 동 대학원(공학석사)
1998년~현재 : 전자부품연구원, 고주파
재료연구센터 전임연구원



강 남 기

1983년 : 연세대학교 금속공학과(공학사)
1985년 : 동 대학원(공학석사)
1991년 : 동 대학원(공학박사)
1992년~현재 : 전자부품연구원, 고주파
재료연구센터 수석 연구원

