

기가비트 이더넷 8B/10B 선로부호의 Running Disparity 에러 검출 회로 설계

정회원 이승수*, 송상섭**

A Design of Running Disparity error detection circuit for Gigabit Ethernet 8B/10B Line coding

Seung-soo Lee*, Sang-seob Song** *Regular Members*

요 약

8B/10B 선로부호를 채택한 기가비트 이더넷 PCS 수신측에서는 동기부의 바이트 동기획득과 수신부의 디코딩을 위해 Running Disparity(RD) 에러인 데이터열을 검출해야 한다. 기존의 RD 에러 검출 방법은 직렬 입력 비트에서 RD 에러를 검출하였으나 제안하는 RD 에러 검출 방법은 125MHz 속도의 10비트 데이터열을 받아 4비트열과 6비트열로 나누어 바이트 클럭에 따라 RD를 계산하고 계산된 이전의 RD값과 현재의 RD값을 비교하며 RD 위반 에러 데이터를 검출한다. 이는 기존의 RD 에러 검출 방법이 비트 클럭과 니블 클럭에 따라 RD 에러를 검출하기 때문에 야기되는 초고속 처리에 대한 한계를 해결한 것이며 기가비트 이더넷에 적합한 새로운 RD 에러 검출 방법이다.

ABSTRACT

The received part of Gigabit Ethernet PCS adapting 8B/10B line coding must also detect Running Disparity(RD) error data for decoding. The former RD error detector has found RD error with the serial input bit. But the RD error detection proposed in this paper takes 10 bits parallel data of 125MHz, divides them to 4 bits data and 6 bits data, calculates RD value by byte clock, and detects RD error data by comparing past RD value with present RD value. There is the limit of the high speed process because former RD error detector finds out RD error depending on bit clock and nibble clock. A new and proper parallel RD error detector for Gigabit Ethernet is a good solution which overcome the limit not to operate with high speed.

1. 서 론

기가비트 이더넷에서 표준으로 채택된 8B/10B 선로부호는 DC-balanced 코딩방법^[1]이라 하며 1의 개수에서 0의 개수를 뺀 값인 disparity값을 -2, 0, 그리고 +2 세 가지의 경우로 제한시켜 DC 균형을 이루도록 한 코딩 방법이다. Running Disparity(RD)는 0과 1로 구성된 10 비트 데이터열에서 1의 개수가 많을 경우 positive라고 하며 반대로 0의 개수가 많을 경우 negative라 하는데 PCS 송신부에서는 이

전 데이터의 RD값이 negative이면 현재 데이터의 RD값은 positive인 데이터열을, 반대로 이전의 RD값이 positive이면 현재의 RD값은 negative인 데이터열을 보내도록 하여 1과 0의 개수가 균형을 이룬다.

PCS 송신부에서 RD 계산 과정을 살펴보면, 그림 1과 같이 최종적인 RD값은 positive나 negative가 되며, 10비트 데이터열을 수신하여 각각 6비트 데이터 열과 4비트 데이터 열로 나누어 계산한다. PCS 송신부에서 초기값으로 RD값을 negative(-)로 설정

* 한국전자통신연구원 국가보안기술연구소 정보보증연구부(kadan@etri.re.kr),
논문번호 : 010185-0720, 접수일자 : 2001년 7월 20일

** 전북대학교 전자공학과 부호연구실

하고 먼저 6비트 데이터열을 가지고 RD6을 계산하며, 계산된 RD6값을 가지고 나머지 4비트 열에 대한 RD4값을 계산하여 최종적인 RD값을 그림 1의 A로 내보낸다. 따라서 다음 10비트 데이터열에서의 RD 계산은 이전 10비트 데이터열의 최종 RD값인 A를 가지고 현재의 6비트 데이터열 RD6을 계산한다. PCS 송신부에서는 8B/10B 인코딩시 이전 데이터열의 RD값이 positive인지 negative인지에 따라 두 개의 가능한 인코딩 10비트 데이터열중에서 RD값이 반대인 코드열을 선택하여 전송하게 된다. 결국 RD 에러 검출은 RD 계산 과정에 위배되는 10비트 데이터열을 수신부에서 역으로 찾는 것이다. RD 에러 검출을 수행하는 이유는 수신측의 동기부에서 비트 동기를 획득하는 과정과 수신부에서의 8B/10B 디코딩을 수행하는 과정에서 RD 에러 검출 기능이 제대로 동작하지 않을 경우에는 정상적인 동작을 수행할 수 없기 때문이다.

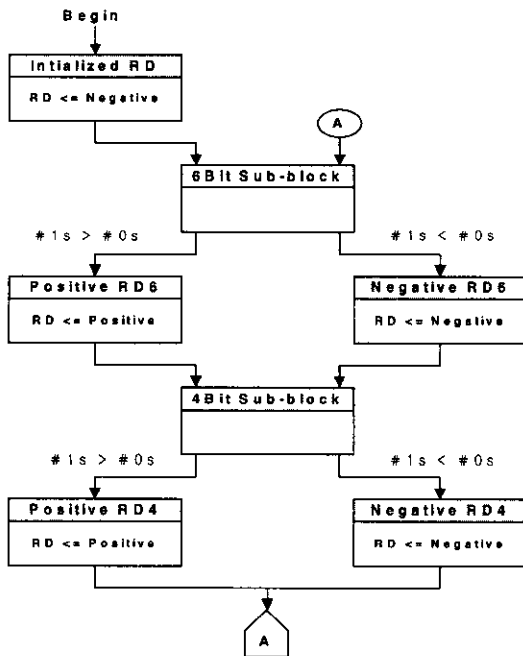


그림 1. RD 계산 과정.

기존의 Gleichert RD 에러 검출방법^[2]은 비트 클럭에 동기된 직렬 입력 비트열에서 실시간으로 RD 에러를 검출할 수 있는 방법이나 저속 동작에만 활용이 가능하다는 제한이 있고 특히 이를 기가비트 이더넷에 적용할 경우에는 비트 클럭이 1.25GHz인 0.8ns 비트 간격에 플립플롭을 동작시켜야 하기 때문에 새로운 RD 에러 검출 방법이 필요하다. 이를

해결하기 위해 본 논문에서 제안한 RD 에러 검출 방법은 125MHz의 비트 클럭에 동기된 병렬 10비트 데이터열을 수신하면서 수신된 10비트 데이터의 RD를 계산하고 RD 에러를 검출할 수 있는 방법을 제안하며, ASIC 구현을 고려하여 적절한 파이프라인 기법을 적용하였으며 8ns 간격으로 동작하는 기가비트 이더넷 PCS에 적합하도록 하였다.

RD 에러 검출기가 그림 2에서와 같이 기가비트 이더넷의 동기부와 수신부에 위치한다. 본 논문의 구성은 2장에서 기존의 RD 에러 검출 방법을 소개하고 3장에서 기가비트 이더넷에서 동작할 수 있는 제안한 RD 에러 검출 방법을 설명하며 4장에서 기존 방법과 제안한 방법과의 비교 분석을 통해 결론을 맺는다.

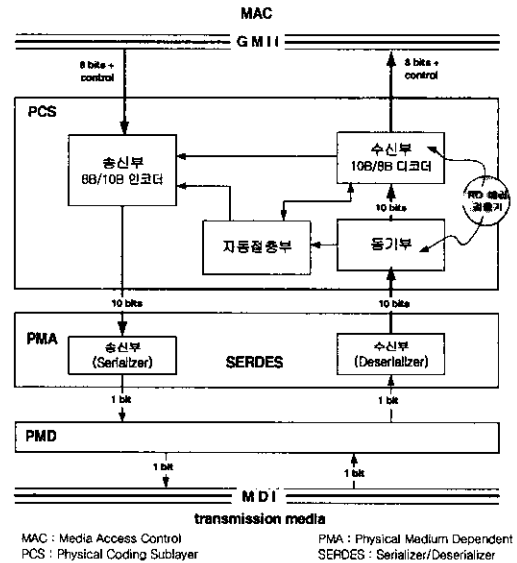


그림 2. 1000BASE-X 물리계층의 기능 블록도

II. 기존의 RD 에러 검출 방법

RD 에러는 이전 데이터열의 RD값이 negative이면서 현재 데이터열도 negative이거나 이전의 RD값이 positive이면서 현재 RD값도 positive인 데이터열이 수신될 경우를 의미한다. 기존의 RD 에러 검출 방법으로 Gleichert가 제안한 직렬 비트열을 수신하면서 실시간으로 RD 에러를 검출할 수 있는 회로를 살펴본다. 이에 대한 회로 및 주요 타이밍도는 그림 3에 나타내었다^[2].

그림 3의 기존의 RD 에러 검출 회로는 카운터와 RD 에러 검출 회로로 구성되어 있으며, 직렬 입력

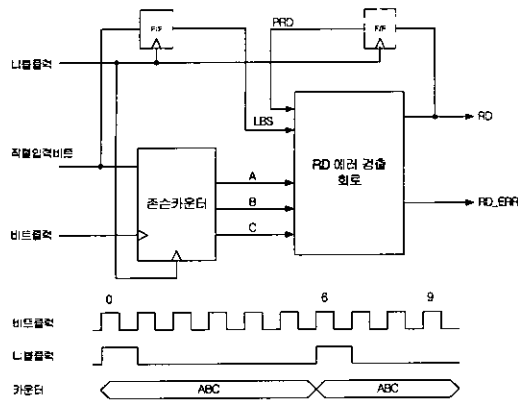


그림 3. 기존의 RD 에러 검출 회로도 및 타이밍도

비트열이 비트 클럭에 따라 한 비트씩 입력되며 플립플롭을 거치면서 계산된 카운터의 상태값과 이전의 RD값을 가지고 조합논리회로로 구성된 RD 에러 검출 회로를 통해 RD 에러를 검출한다. 카운터의 동작원리를 살펴보면 비트 클럭에 따라 동작하며, 세 개의 플립플롭으로 구성된 카운터의 상태값을 통해 직렬 입력신호에서 6비트열과 4비트열의 1의 개수를 계산한다. 여기서 니블 클럭은 또한 6비트열과 4비트열에 대한 경계를 구분 짓는 역할을 한다. 사용된 니블 클럭은 외부에서 직렬 비트 클럭에 의해 생성되며 그림 3의 타이밍도와 같이 비트 클럭 한 주기동안 '1'로 유지된다. 카운터는 "000"에서 "111"까지 표현할 수 있으나 초기 상태값과 6비트열에서 1의 개수가 5를 초과할 수 없기 때문에 그림 4와 같이 6개의 상태값으로 구성되어 있다.

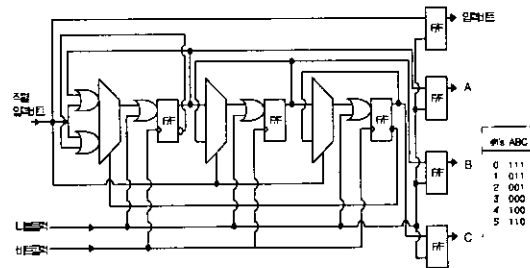


그림 4. 존슨카운터 회로 및 상태값.

그림 4는 그림 3의 카운터의 내부이며 직렬 입력 비트에서 1의 개수를 세는 존슨카운터의 회로 및 상태값을 나타낸 것으로 예를 들면 초기 상태에는 "111"상태를 유지하다가 1의 개수가 3개인 6비트 입력 비트가 들어올 경우에는 3'으로 상태값이 "000"으로 변한다.

위와 같은 RD 에러 검출 방법의 장점은 실시간으로 RD 에러 위반을 검출할 수 있다는 점이다. 반면에 그림 3에서와 같은 타이밍을 갖는 니블 클럭을 별도로 생성할 수 있는 회로가 필요하며, 비트 클럭이 기가비트 이더넷과 같이 고속으로 동작되는 경우는 사용에 한계가 있다는 단점을 가지고 있다. 이는 기가비트 이더넷에서는 8ns 간격으로 10비트 데이터열이 수신되므로 0.8ns 간격의 입력 비트 클럭에 따라 플립플롭이 동작되며 니블 클럭에 의해 카운터 상태값이 동작되어야 하기 때문이다.

III. 제안한 기가비트 이더넷 RD 에러 검출 방법

본 장에서 제안한 RD 에러 검출 방법은 기존의 RD 에러 검출 회로의 비트 클럭에 의한 RD 에러 검출을 통해 문제가 된 처리 속도의 단점을 극복하기 위해 바이트클럭에 따라 RD 계산 및 RD 에러 검출한다. 제안한 RD 에러 검출 방법은 크게 두 기능으로 나눌 수 있다. 먼저 수신된 10비트 데이터열을 6비트열과 4비트열로 나누어 각각의 RD를 계산하는 RD 계산기능과 계산된 RD값과 이전의 RD값을 이용하여 RD 에러를 검출하는 기능으로 나뉘어진다. 사용한 RD 계산 기능은 1장에서 언급한 RD를 계산하는 과정과 같으며 비트열에서 1의 개수를 세기 위해 카운터를 사용하였다. 그림 5는 본 논문에서 제안한 RD 계산 및 에러 검출 과정을 블록 다이어그램으로 나타낸 것이다.

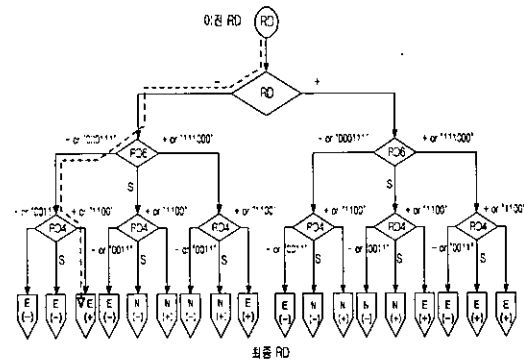


그림 5. RD 계산 및 에러 검출 과정.

그림 5를 살펴보면, 초기 RD값은 negative나 positive로 설정할 수 있으며 10비트 데이터 열을 6비트 열과 4비트 열로 나누어 각각의 RD값을 계산한 결과가 RD6과 RD4로 표기한다. 최종적인 RD값은 그림 4의 가장 아래 부분의 가로 안에 + 또는

- 기호로 표시하였으며, 최종 결과값에 'E'와 'N'으로 표시한 것은 'E'인 경우는 RD 에러인 경우이고, 'N'으로 표시된 경우는 RD 에러가 아닌 경우를 의미한다. 마름모꼴의 아래로 향하는 'S'까지는 1의 개수와 0의 개수가 같은 경우를 의미하여 이전의 RD값을 유지한다는 의미이다. 표 1에서는 Same이라 표기하였다. 덧붙여 그림 5에서 조건문에 쓰인 "111000"과 "000111"은 6비트열의 패턴을 의미하고, "1100"과 "0011"은 4비트열 값을 표시한 것이며 이는 IEEE802.3z에 규정된 8B/10B RD값 계산시 예외 규정을 만족시키기 위함이다^[3]. 최종 RD값은 다음 데이터열의 RD를 계산할 경우에는 그림 5에서 상위의 RD로 표시된 바와 같이 이전의 RD값으로 해석된다.

그림 5의 제안한 RD 에러 검출 과정을 회로도화 타이밍 관계로 살펴보면 그림 6과 같으며 먼저 V(n)을 가지고 RD6과 RD4를 계산하고 V(n+1)과 이전의 RD(PRD)값을 가지고 현재의 RD값과 에러인 RD_ERR를 계산하므로 RD 에러 계산을 위해 두 클럭의 지연이 발생함을 보이고 있다.

그림 6에서 입력신호 V는 10비트 데이터열이고, 출력신호는 RD_ERR와 RD값을 내보내고 있으며 BCLK는 바이트 클럭을 의미한다. 그림 5와 같이 회로도들을 구성할 경우 기가비트 이더넷 환경에서 RD6과 RD4 계산시 타이밍 위반이 발생하지 않음을 Post-layout 시뮬레이션을 통해 확인하였으며, 또한 RD 계산 및 RD 에러 검출 계산과정에서도 타이밍 위반이 발생하지 않음을 ASIC 구현을 통해 기능 검증시 확인하였다^[4].

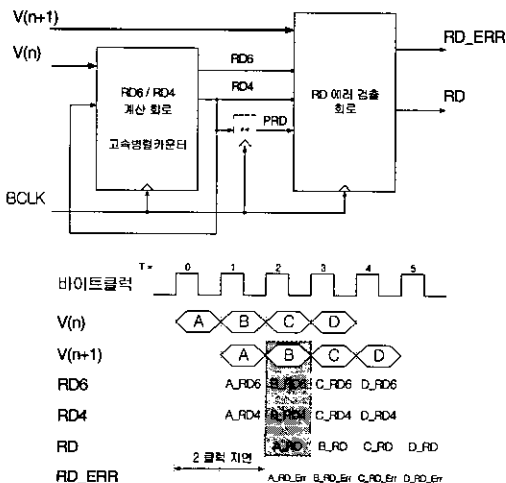


그림 6. 제안한 RD 에러 검출 회로도 및 타이밍 도

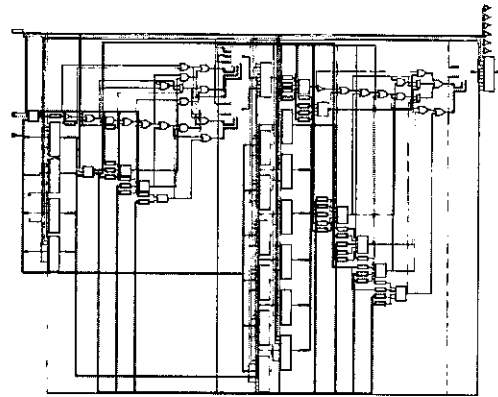


그림 7. 논리회로로 합성한 RD 에러 검출 회로

예를 들어 A, B, C, D 4개의 데이터가 순서대로 수신되었을 경우 RD 에러 검출 과정을 살펴보면 표 1과 같고 표 1의 RD 에러가 검출되는 과정은 그림 5에 점선으로 표시하였다. 에러로 판정한 이유는 B의 최종 RD값이 negative인데 C의 RD6값이 또 negative이므로 C 데이터는 RD 에러인 데이터이다.

그림 7은 제안한 RD 에러 검출 회로를 논리회로로 합성한 후 최적화시킨 것이며, 그림 8은 제안한 RD 에러 검출 회로의 동작을 시뮬레이션을 통한 결과 파형으로 나타낸 것이다. 표 1과 같은 입력 패턴을 주었을 경우 RDERR 신호가 '1'로 표시됨을 보이고 있다.

표 1. RD 에러 검출 예.

V[9:0]	A	B	C	D
RD	0101111100	0101001001	1101001010	0010010101
RD6	Positive(+)	Negative(-)	Negative(-)	Same(+)
RD4	Same(+)	Same(-)	Positive(+)	Negative(-)
최종 RD	Positive(+)	Negative(-)	Positive(+)	Negative(-)
RD_ERR	No Error	No Error	Error	No Error

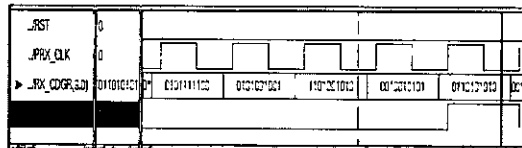


그림 8. RD 에러 검출 회로 결과 파형.

IV. 결론

본 논문에서 제안한 RD 에러 검출 방법은 기가비트 이더넷 동기부와 수신부의 125MHz 클럭에

동작되는 회로로서 기존의 RD 에러 검출 방법의 직렬 입력 비트를 통한 저속의 RD 에러 검출의 단점을 극복한 것으로 초고속에서 RD 계산과 RD 에러를 검출하는 방법이며, 특히 구현까지 고려하여 제안한 RD 에러 검출 방법은 VHDL를 통해 회로 설계가 이루어졌다. 또한 본 논문에서 제안한 RD 에러 검출 방법 및 회로도 는 Layer 3급 기가비트 이더넷 스위치 시스템의 핵심 ASIC 칩에 적용되어 그 기능 및 성능을 검증하였다. 특히 본 논문에서 제안한 RD 에러 검출 방법은 계산시 발생할 수 있는 타이밍 위반을 고려하여 수신된 데이터열을 4비트열과 6비트열로 나누어 계산한 것 이외에도 적절한 파이프라인 기법을 도입하여 타이밍 위반이 발생하지 않도록 하였다. RD 에러 판정시 소요되는 두 클럭 동안의 지연 문제는 PCS 수신부에서는 RD 에러 검출이외에 연속된 세 바이트열을 보고 프레임의 끝을 판독하는 기능, 8B/10B 디코딩 기능 등이 서로 조화를 이뤄야 하고 현재의 수신 데이터에 대한 판정 시기만 일치시키면 되므로 PCS 수신부에서 데이터 처리로 인해 소요된 약간의 지연은 문제가 되지 않는다. 기존의 방법과 제안한 방법의 특성 및 성능을 비교 분석하면 표 2와 같다.

표 2. RD 에러 검출 방법 비교

항목 방법	동작 클럭	회로의 크기	입력	비 고
기존의 RD 에러 검출 방법	비트 클럭 니블 클럭	120 gates	직렬 비트	<ul style="list-style-type: none"> 저속 직렬 입력 비트사 적합 니블 클럭 생성기 필요 기가비트 이더넷 적용 불가
제안한 RD 에러 검출 방법	바이트 클럭	160 gates	병렬 바이트	<ul style="list-style-type: none"> 고속 데이터 처리 적합 2클럭 지연

본 논문에서 제시한 RD 에러 검출 방법 및 회로도는 현재 10기가비트 이더넷이 표준화가 진행 중에 있으며 코딩방식으로 8B/10B 코딩방식이 채택될 예정이기 때문에 10기가비트 이더넷 PCS 구현 시에도 활용될 수 있다^[5].

참 고 문 헌

[1] A. X. Widmer and P. A. Franzaszek, "A DC-Balanced, Partitioned-Block, 8B/10B Transmission Code," Sep. 1983.

[2] Gleichert, "Method and circuit for performing running disparity measurements," US5229769.
 [3] IEEE 802.3z, "Media Access Control Parameters, Physical Layer, Repeater and Management parameters for 1000Mb/s Operation," Jun. 23, 1998.
 [4] 연구개발보고서, "Gigabit Ethernet 기술개발," ETRI, Dec. 1999.
 [5] IEEE 802.3ae, "Media Access Control Parameters, Physical Layer, and Management parameters for 1000Mb/s Operation," Sep. 7, 2000.

이 승 수(Seung-soo Lee)

정희원



1995년 2월 : 전북대학교
전자공학과 학사
1997년 2월 : 전북대학교
전자공학과 석사
2000년 8월 : 전북대학교
전자공학과 박사수료

2001년 3월~현재 : 한국전자통신연구원 국가보안기술연구소

<주관심 분야> 기가비트이더넷, 정보보증

송 상 섭(Sang-seob Song)

정희원



1978년 2월 : 전북대학교
전기공학과 학사
1980년 2월 : KAIST 전기 및
전자공학과 석사
1990년 2월 : 캐나다 마니토바
대학교 전기컴퓨터
공학과 박사

1981년 3월~현재 : 전북대학교 전자정보공학부 교수

<주관심 분야> HomePNA, xDSL 모뎀, 기가비트이더넷