

# 듀얼 위상 주파수 검출기를 이용한 CMOS RF Charge-Pump PLL 설계

준회원 최 현 승\*, 김 종 민\*, 박 창 선\*, 이 준 호\*\*, 이 근 호\*\*\*, 김 동 용\*

## Design of CMOS RF Charge-Pump PLL using Dual PFD

Hyun-seung Choi\*, Chong-min Kim\*, Chang-sun Park\*, Jun-ho Lee\*\*, Geun-ho Lee\*\*\*,

Dong-yong Kim\* *Regular Members*

요 약

본 논문에서는 위상획득과정과 동기과정에서 trade-off현상을 향상시킨 듀얼 위상 주파수 검출기를 제안하여 차지펌프 PLL을 설계하였다. 듀얼 위상 주파수 검출기는 상승에지에서 동작하는 POSITIVE 위상 주파수 검출기와 하강에지에서 동작하는 NEGATIVE 위상 주파수 검출기로 구성되어있다. 제안한 차지펌프는 전류뺄셈회로를 이용하여 전류 부정합을 감소시켰으며, reference spurs와 전압제어발진기의 변동을 감소시킬수 있도록 구현하였다. 제안한 차지펌프 PLL은 0.25 $\mu\text{m}$  CMOS 공정을 사용하여 SPICE로 시뮬레이션 하였으며, 그 결과 1.6~1.85GHz의 넓은 동기범위를 나타내었다.

ABSTRACT

In this paper, the charge pump PLL using the dual PFD to improve the trade-off between acquisition behavior and locked behavior is proposed. This dual PFD consists of a positive edge triggered PFD and a negative edge triggered PFD. The proposed charge pump shows that it is possible to overcome the issue of the charge pump current mismatch by the current subtraction circuit. Also, this charge pump can suppress reference spurs and disturbance of the VCO control voltage. The proposed charge pump PLL is simulated by SPICE using 0.25 $\mu\text{m}$  CMOS process parameters and operates in lock over a wide frequency range from 1.6GHz to 1.85GHz.

### I. 서론

현대의 무선 통신은 매우 높은 주파수를 발생시키는 주파수 합성기를 필요로 하기 때문에 주파수 합성기에 사용되는 PLL중에서도 전압제어발진기나 프리스케일러(prescaler)는 고주파 소자인 GaAs나 Bipolar 등으로 만들어지고 나머지 부분은 저가의 CMOS 공정으로 집적화 하는 경우가 대부분이다.<sup>[1]</sup> 하지만 CMOS 공정의 지속적인 발달로 전압제어발진기나 프리스케일러를 포함한 PLL전체를 CMOS 공정만을 이용한 단일 칩에 구현하려는 노력이 계

속되어 왔다.<sup>[2][3][4]</sup>

통신기술이 발전하고 가용주파수 대역이 높아짐에 따라 이동통신 시스템에 필수적으로 사용되는 부품중 주파수 합성기로 사용되는 RF PLL 역시 고주파에서 안정적으로 동작해야 한다. 또한 입력 주파수의 변화에 따른 주파수 추적속도와 잡음 등이 통화품질에 커다란 영향을 미치므로 설계에 있어 고려해 주어야 할 중요한 관건이 된다.

일반적으로 PLL의 위상 검출기는 위상잡음특성이 좋은 XOR 위상 검출기대신 주파수 추적속도가 빠른 위상 주파수 검출기가 사용되며, 출력인 디지

\* 전북대학교 전기공학과 회로 및 시스템연구실(chs@moak.chonbuk.ac.kr),

\*\* LG전자 연구소

\*\*\* 군산대학교 전자정보공학부

논문번호 : 010095-0516, 접수일자 : 2001년 5월 16일

털신호를 아날로그신호로 바꿔주기 위해 차지펌프가 출력단에 사용된다.<sup>[5][6]</sup> 기존의 차지펌프는 두개의 스위치가 모두 ON이 되는 경우 단락된 회로에 의해서 전압제어발진기의 제어전압이 변하게 되고 리셋에 필요한 시간동안 왜곡된다. 또한, 두 전류가 정확하게 일치되지 않으면 두 전류의 차는 전압제어발진기의 제어전압을 변화시켜 출력주파수는 왜곡되어 지터 및 spurs 발생의 원인이 된다.

본 논문에서는 기존의 PLL이 가지고 있는 이러한 단점을 극복하기 위하여 새로운 구조의 듀얼 위상 주파수 검출기와 차지펌프를 제안하였다.

본 논문의 구성은 2장에서 설계한 위상주파수 검출기와 차지펌프 및 각 구성 블록의 설계에 대해서 논하였고, 3장에서는 설계된 PLL 회로를 SPICE로 모의실험 한 결과에 대해서 고찰하였다. 4장에서는 본 논문의 결론을 맺었다.

## II. 차지펌프 PLL설계

PLL은 위상에 대한 부계환 루프를 사용하여 입력신호와 출력신호의 위상신호를 줄이거나 0이 되게 하는 비선형 아날로그 소자이며, 두 신호의 위상 차이가 줄어들게 되므로 두 신호의 주파수도 같아지게 된다. 차지펌프 PLL의 기본구조는 그림 1과 같으며 동기된 상태에서 발생하는 정지위상오차가 기존의 선형 PLL에 비하여 매우 적다는 장점이 있다.

위상 주파수 검출기는 두 입력신호의 위상을 비교하여 그 차이를 전압의 형태로 출력하며, 차지펌프는 위상 주파수 검출기의 출력신호로 시간 정보를 가지고 있는 UP과 DN신호를 루프필터 내의 커패시터에 전위정보로 바꾸어 주는 역할을 한다. 루프필터를 통하여 필터링 된 전압은 전압제어발진기의 제어전압으로 출력주파수를 제어하며, 분주기는 전압제어발진기의 출력주파수를 나누는 역할을 한다. 위상 검출기의 두 입력신호의 주파수가 같을 때 PLL이 동기 되었다고 한다.

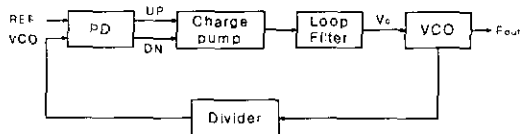


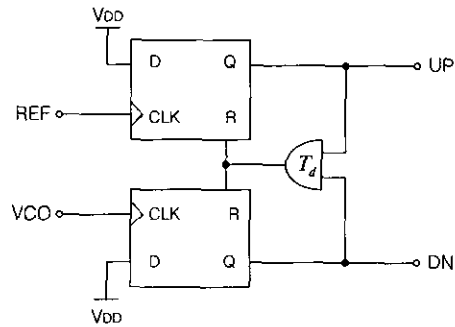
그림 1. 차지펌프 PLL의 기본구조

### 1. 위상주파수 검출기

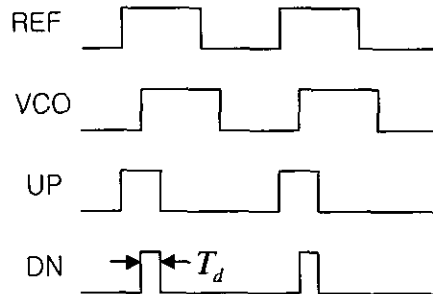
위상 검출기는 두 입력신호의 위상 차이에 비례

하는 전압을 출력시키는 소자이다. 위상 검출기를 크게 분류하면 스위치 형태와 시퀀셜 형태로 구분된다. 스위치 형태 위상 검출기로는 아날로그 곱셈기와 XOR(exclusive-OR)가 있고, 시퀀셜 형태 위상 검출기는 latch나 flip-flop등의 기억소자를 사용하는 것으로서 2상태와 3상태로 세분된다. 상태수가 3개 또는 그 이상인 시퀀셜 형태 위상 검출기는 두 입력 신호의 위상 차이 뿐 만 아니라 주파수 차이도 검출하므로 위상 주파수 검출기(PFD)라고 불린다.

시퀀셜 형태 위상 검출기로 주파수 합성기에 적합한 3상태 위상 주파수 검출기는 그림 2와 같다.<sup>[5]</sup> 3상태 위상 주파수 검출기는 그림 2(a)의 블록도에 서와 같이 두개의 D flip-flop과 AND gate로 이루어져 있다. 그림 2(b)는 REF신호가 VCO신호보다 빠를 때의 입출력 파형을 나타낸 것으로서 출력전압은 입력주파수  $\omega$  및 그이상의 주파수 성분을 가진다.



(a) 블록도



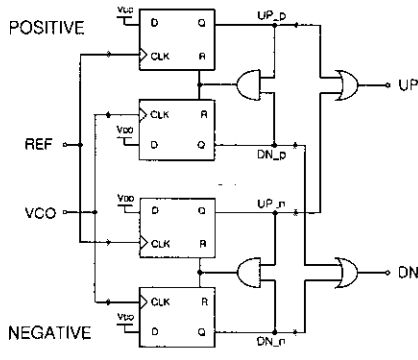
(b) 입출력 파형

그림 2. 일반적인 위상주파수 발진기

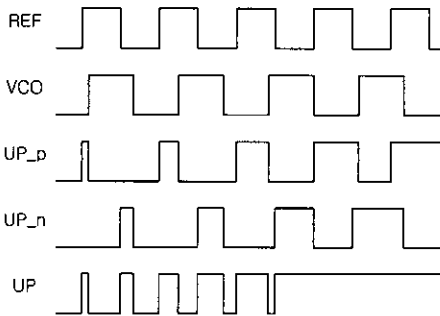
제안한 위상 주파수 검출기회로는 그림 3(a)와 같이 Positive 위상 주파수 검출기와 Negative 위상 주파수 검출기 두개를 합한 듀얼 위상 주파수 검출기로서 각 위상 주파수 검출기의 출력은 OR게이트의 입력으로 들어가서 그림 3(b)와 같이 출력된다.

그림 3(b)와 같이 REF와 VCO신호가 입력으로 주어질 때 Positive 위상 주파수 검출기는 입력신호의 상승에지에서 동작하여 UP\_p신호를 출력하며 Negative 위상 주파수 검출기는 입력신호의 하강에지에서 동작하여 UP\_n신호를 출력한다.

그림 2(b)와 그림 3(b)를 비교해보면 위상오차  $\phi_e$ 가  $0 < \phi_e < \pi$ 인 경우 일반적인 위상 주파수 검출기는 UP신호를 한 주기동안 1번 검출하는데 제한한 듀얼 위상 주파수 검출기는 UP신호를 한 주기에 2번 검출하며, 위상오차  $\phi_e$ 가  $\pi < \phi_e < 2\pi$ 인 경우 출력신호는 High로 일정하여 일반적인 위상 주파수 검출기에 비해 주파수 추적속도가 향상된 것을 알 수 있다.



(a) 블록도



(b) 입출력 파형

그림 3. 제한한 듀얼 위상주파수 검출기

그림 4는 위상오차  $\phi_e$ 에 대한 위상 주파수 검출기의 평균출력전압  $\overline{v_d(t)}$ 를 나타낸 것이다. 일반적인 위상주파수 검출기는 그림 4(a)와 같이  $\phi_e > 0$ 일 때  $\overline{v_d(t)}$ 의 평균값은  $0.75V_{DD}$ 이지만 제한한 듀얼 위상 주파수 검출기는 그림 4(b)와 같이  $0.875V_{DD}$

로서 주파수 검출 기능이 향상되었다는 것을 알 수 있다.

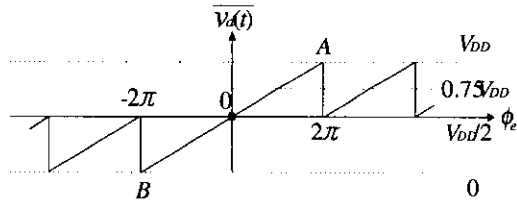
그림 4의 직선부분인 A~B영역에서 일반적인 위상 주파수 검출기의 소신호 위상 주파수 검출기 이득  $K_d$ 는  $V_{DD}/4\pi$ 이지만 제한한 듀얼 위상 주파수 검출기의 이득은 식 (1)로 주어지고,

$$K_d = \frac{V_{DD}}{2\pi} \quad (1)$$

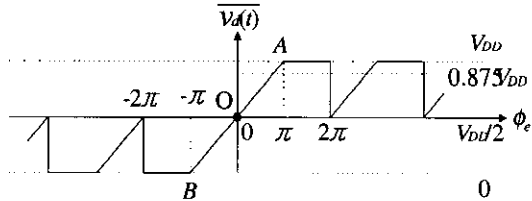
위상 주파수 검출기의 평균 출력전압  $\overline{v_d(t)}$ 는 식 (2)와 같다.

$$\overline{v_d(t)} = K_d \phi_e(t) + V_{DD}/2 \quad (2)$$

식 (1)로부터 제한한 듀얼 위상 주파수 검출기는 일반적인 위상 주파수 검출기에 비해 2배의 이득을 가진다는 것을 알 수 있다.



(a) 일반적인 위상주파수 검출기



(b) 제한한 듀얼 위상주파수 검출기

그림 4. 위상주파수 검출기의 동작특성

## 2. 차지펌프

차지펌프는 위상 주파수 검출기의 출력신호인 시간 정보를 가지고 있는 UP과 DN신호를 루프필터 내의 커패시터에 전위 정보로 바꾸어 주는 역할을 하며, 설계하는데 있어서 가장 중요한 점은 위상 주파수 검출기의 세가지 상태에 따른 정확한 제어전압의 형성이다.<sup>[4]</sup>

문제점은 위상이 동기가 된 후에도 위상 주파수 검출기의 리셋 구간 동안 UP과 DN신호가 동시에

1이 되는 경우가 존재한다는 것이다. 두개의 스위치가 모두 ON이 되면 루프필터의 제어전압은 단락된 회로에 의해서 순간적으로 변하게 되고 리셋에 필요한 시간동안 왜곡된다. 또한, 두 전류가 정확하게 일치되지 않으면 전압제어발진기의 제어전압을 변동시켜 출력주파수는 왜곡되어 지터(jitter)를 발생시킨다. 따라서, 두 전류원은 공급전압, 온도 그리고 공정변화에 둔감하도록 설계해야 하며 전류의 크기를 정확하게 일치시켜야 한다.

제안한 차지펌프는 전류셀회로<sup>[7]</sup>를 사용하여 UP과 DN신호가 동시에 1이 되는 경우 두개의 스위치가 모두 OFF됨으로서 단락전류에 의한 제어전압의 변동을 막을 수 있고, 전류 부정합을 개선시키며, spurs를 억제할 수 있도록 설계되었다.

2차 루프필터를 사용하였을 때 위상 주파수 검출기의 동작에 따라 UP만 1인 상태, UP과 DN이 1인 상태, DN만 1인 상태로 나누어 제안한 차지펌프의 동작을 설명하면 다음과 같다.

그림 5에서 UP만 1이 되면 MP4와 MP5의 전류미러 회로에 의해 MP5에  $aI_2$ 의 전류가 흐르게 된다. DN이 0이므로 MN1과 MN2에 전류가 흐르지 않고 MN3에  $aI_2$ 의 전류가 흐르게 되어 MN3과 MN11의 전류미러 회로 동작에 의해 MN11에  $abl_2$ 의 전류가 흐르게 되며, MP7과 MP8의 전류미러 회로 동작에 의해  $I_{p1}$ 의 전류가 루프필터로 흐르게 된다. DN만 1일 때도 위와 같은 동작에 의해  $I_{p2}$ 의 전류가 루프필터로 흐르게 된다.

UP과 DN이 1일 경우 MN1에  $aI_1$ , MN2에  $aI_2$ 의 전류가 흐르게 된다.  $aI_1 > aI_2$ 가 되도록 설계를 하면 MN1과 MN2의 전류미러 회로에서 MN2가 triode 영역에 들어가게 되어 MN2의 드레인 노드 전위는 Gnd에 가까워져서 MN3의  $V_{GS}$ 값이 문턱전압보다 작게 된다. 그리하여  $aI_2$  전류가 모두 MN2로 흐르게 되고 MN3은 OFF되어 MN3에 흐르는 전류는 0이 되며 MN3과 MN11, MP7과 MP8의 전류미러 회로에 의해 MP8에 전류가 흐르지 않게 되어  $I_{p1} = 0$ 이 된다.  $I_{p2}$  또한 위와 같은 동작에 의해  $I_{p2} = 0$ 이 된다.

따라서, 제안한 차지펌프는 UP과 DN신호가 동시에 1이 되는 경우  $I_{p1} = I_{p2} = 0$ 이 되어 단락전류에 의한 제어전압의 변동을 막을 수 있고, 두 전류가 정확하게 일치되지 않더라도  $aI_1 > aI_2$ 가 되도록 설계를 하면 루프필터에 전류가 흐르는 것을 막을 수 있으며 spurs를 억제 할 수 있다.

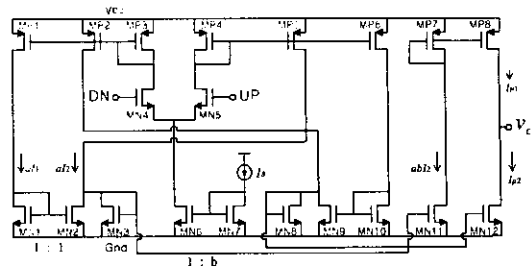


그림 5. 제안한 차지펌프 회로 1

고속으로 동작하는 PLL의 경우, 차지펌프를 구동하는 위상 주파수 검출기의 출력신호는 매우 짧은 폭의 펄스 형태가 된다. 이러한 짧은 폭의 펄스에 대응되는 전류를 출력단에 공급하기 위해서는 고속으로 동작하는 차지펌프가 필요하게 된다. 그림 5의 차지펌프 1 회로는 입력이 인가된 후 출력이 나오기 까지 3단의 전류미러가 동작 되어야 하므로 동작속도가 느리다는 단점이 있다.

그림 6은 제안한 차지펌프 2 회로로서 1단의 전류미러가 동작한 후 출력되도록 설계하여 동작속도를 빠르게 했다. UP과 DN에 의해 각각  $I_{p1}$ 과  $I_{p2}$ 의 전류가 흐르도록 했으며, UP과 DN이 1일 경우 제안한 차지펌프 1 회로와 같이 전류 셀회로를 이용하여 UP과 DN에 의해  $I_{p1}$ 과  $I_{p2}$ 의 전류가 0이 되도록 설계했다.

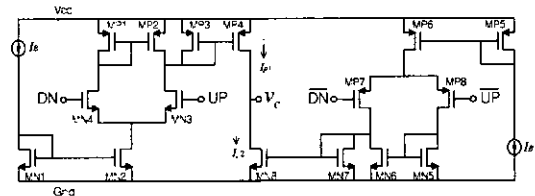


그림 6. 제안한 차지펌프 회로 2

### 3. 전압제어발진기

최근 클럭 주파수가 증가하여 클럭 주기가 감소함에 따라 클럭 지터도 매우 작은 값으로 유지되어야 한다. 이를 위해서 전압제어발진기의 노이즈를 감소시켜야 하는데 노이즈는 주로 공급 전압선으로부터 유기된다. 이러한 노이즈를 감소시키기 위해서는 완전 차동 방식을 사용하여 공급 전압선으로부터 유기되는 공통모드 노이즈의 영향을 제거할 수 있다.

전압제어발진기는 제어회로와 4단의 차동지연셀로 구성하였으며 입력전압이 없더라도 1.56GHz에서 동

작하도록 설계하였다. 지연셀은 차동 NMOS쌍과 PMOS 다이오드로 이루어져 있으며 전압 swing을 제한함으로써 최대 동작주파수를 향상시켰다.<sup>[8]</sup>

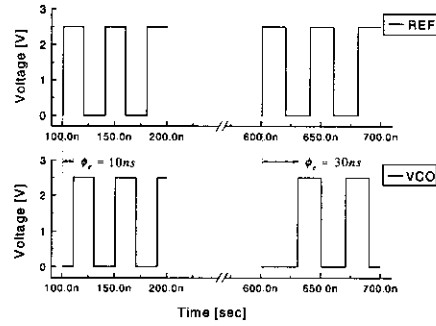
#### 4. 분주기

주파수 합성기가 널리 사용되는 근래의 무선 통신 시스템은 필요한 출력주파수가 매우 높기 때문에 값이 싸고 전력 소모가 적은 CMOS 공정으로 집적할 경우 그만큼 높은 주파수에서 동작하는 주파수 분주기를 만들기가 매우 어려워진다. 따라서 일단 매우 빠른 주파수에서 동작할 수 있는 간단한 분주기를 이용하여 전압제어발진기의 출력주파수를 일정량 낮춘후 이를 다시 나누는 저속의 분주기를 통해 PLL을 형성하는 방법이 널리 쓰이는데 이때 전압제어발진기의 출력을 직접 받아들이는 빠른 주파수 분주기를 프리스케일러라고 부른다. 분주기는 하나의 클럭만을 사용하여 매우 높은 주파수에서 동작하도록 TSPC(true-single-phase-clock) 플립플롭 회로를 사용하였다.<sup>[3]</sup> 첫째단에는 4/5분주회로를 포함하는 듀얼 모듈러스 프리스케일러로서 4분주를 하며 둘째단 이후는 16분주를 하여 총 64분주를 하도록 설계하였다. 첫째단에 의해 분주기의 최대 동작 주파수가 결정되며, 플립플롭을 둘째단 이후에 직렬로 추가 연결하여 분주값을 크게 할 수 있다.

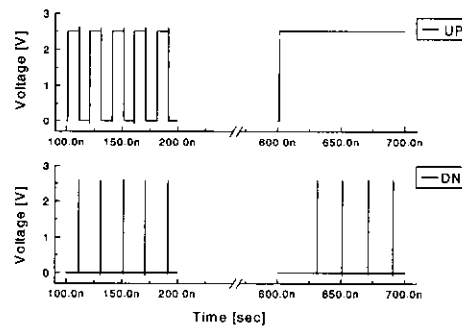
### Ⅲ. 실험결과

그림 7은 제안한 듀얼 위상 주파수 검출기의 전달특성을 나타낸 것으로 dead zone 없이 작은 위상 오차도 검출하는 특성을 가지고 있으며, 그림 8은 듀얼 위상 주파수 검출기의 두 입력이 25MHz이고 위상오차가  $\pi/2$ 와  $3\pi/2$ 일 때의 출력파형을 나타낸 것이다. 위상오차가  $\pi/2$ 일 때 출력은 XOR 위상 검출기와 같으며  $3\pi/2$ 일 때의 출력은 High로서 주

파수 추적속도를 향상시킬 수 있다. 입력이 들어가서 출력이 나오기까지의 전달시간은 0.287nsec이고 리셋 시간은 0.217nsec이며 최대 동작 주파수는 1.2GHz이다.



(a) 입력파형



(b) 출력파형

그림 8. 듀얼 위상주파수 검출기의 입력력 파형

그림 9는 제안한 차지펌프의 두 입력 위상오차가 +2nsec, +1nsec, 0, -1nsec, -2nsec일 때 출력전류를 나타낸 것이다. 각 위상오차 시간동안만 해당 전류를 출력하며 위상오차가 0일 경우는 두 전류값이 0이라는 것을 알 수 있다.

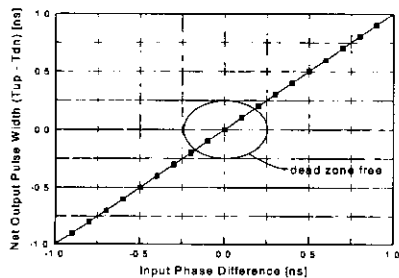
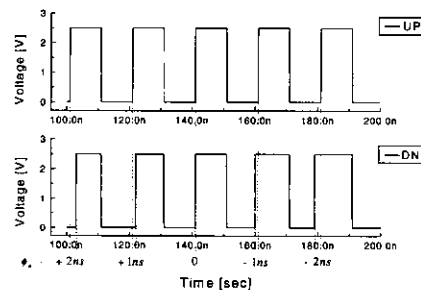
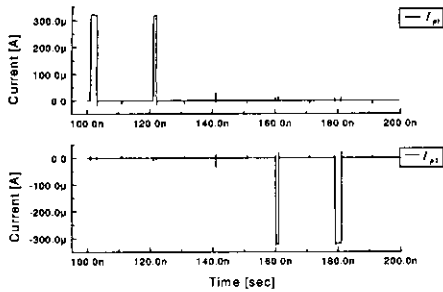


그림 7. 듀얼 위상주파수 검출기의 동작특성



(a) 입력파형



(b) 출력파형

그림 9. 차지펌프의 입력력 파형

전압제어발진기의 전달특성을 그림 10에 나타내었다. 설계한 전압제어발진기는 1.56~1.93GHz의 범위를 가지며 이득은 250MHz/V이다.

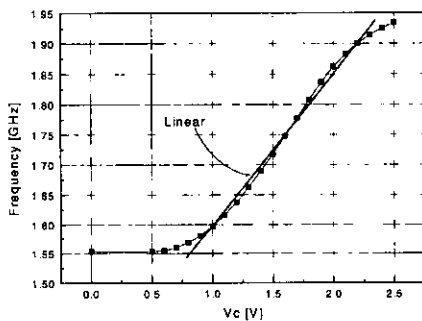


그림 10. 전압제어발진기의 전달특성

그림 11은 PLL의 입력으로 28.125MHz, 분주수 64일때의 출력 스펙트럼을 나타낸 것으로 출력 1.8GHz를 중심으로  $\pm 56.25\text{MHz}$ ,  $\pm 112.5\text{MHz}$ , 등  $2\omega_i$  및 그 이상의 주파수 성분만큼 떨어진 곳에 spurs가 발생된다는 것을 알 수 있다.

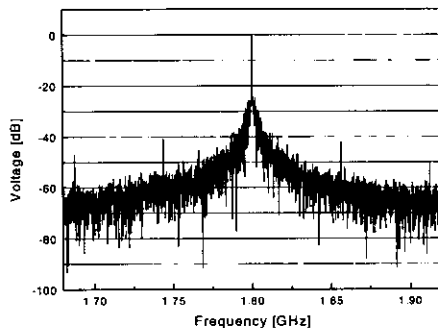


그림 11. 제안한 PLL의 출력 스펙트럼

#### IV. 결론

본 논문에서는 RF 주파수 합성기로 사용되는 차지펌프 PLL에 이용 가능한 듀얼 위상 주파수 검출기와 차지펌프를 새롭게 제안하였다. 제안한 듀얼 위상 주파수 검출기는 Positive 위상 주파수 검출기와 Negative 위상 주파수 검출기를 병렬로 구성함으로써 이득은  $V_{dd}/2\pi$ 로 일반적인 위상 주파수 검출기에 비해 2배의 증가된 특성을 지니며, 위상오차  $\phi_e > 0$ 일 때  $\overline{v_d(t)}$ 의 평균값은  $0.875 V_{DD}$ 로서 주파수 검출 기능이 향상되었다. 차지펌프는 두개의 스위치가 모두 on되는 경우 전류가 흐르지 않도록 설계하여 단락된 회로에 의한 제어전압의 변동을 막을 수 있고 전류 부정합에 의해 생기는 오차특성을 개선시키며 spurs를 억제할 수 있는 특성을 지니고 있다. 제안한 차지펌프 PLL은  $0.25\mu\text{m}$  CMOS 공정 파라미터를 이용하여 SPICE로 시뮬레이션을 수행하였으며, 1.6~1.85GHz의 넓은 동기범위를 가진다.

#### 참고 문헌

- [1] H. P. Singh, R. A. Sadler, W. J. Tanis, and A. N. Schenberg, "GaAs Prescalers and Counters for Fast-Settling Frequency Synthesizers," *IEEE J. Solid-State Circuits*, vol. 25, no. 1, pp. 239-245, Feb. 1990.
- [2] 성혁준, 윤광섭, 강진구, "전류펌핑 알고리즘을 이용한 클락동기용 CMOS PLL설계," *한국통신학회 논문지*, 제25권, 제1B호, pp. 183-192, Jan. 2000.
- [3] N. Foroudi and T. A. Kwasniewski, "CMOS High-Speed Dual- Modulus Frequency Divider for RF Frequency Synthesis," *IEEE J. Solid-State Circuits*, vol. 30, no. 2, pp. 93-100, Feb. 1995.
- [4] J. G. Maneatis, "Low-Jitter Process-Independent DLL and PLL Based on Self-Biased Techniques," *IEEE J. Solid-State Circuits*, vol. 31, no. 11, pp. 1723-1732, Nov. 1996.
- [5] M. Soyuer and R. G. Meyer, "Frequency Limitations of a Conventional Phase-Frequency Detector," *IEEE J. Solid-State Circuits*, vol. 25, no. 4, pp. 1019-1022, Aug. 1990.

