

고속 DSL 모뎀을 위한 Programmable RS 부호 설계

정회원 정인택*, 이승수**, 송상섭*

The Design of Programmable RS Code for High-bit-rate DSL Modem

In-taek Jeong*, Seung-soo Lee**, Sang-seob Song* *Regular Members*

요 약

최근 전화선과 같이 기존에 존재하는 전송선로를 이용하여 고속의 데이터를 전송할 수 있는 DSL 모뎀 개발에 많은 연구가 활발히 진행되고 있다. DSL 모뎀과 같이 열악한 특성과 제한된 대역폭을 갖는 채널을 통하여 고속의 데이터를 전송하기 위해서는 복잡한 변조방식과 우수한 채널부호(FEC) 알고리즘이 요구된다.

특히, ADSL 시스템 및 VDSL 시스템에서는 다양한 오류정정 능력을 갖는 RS(Reed-Solomon) 부호를 사용하도록 권고하고 있다^{[4][5]}.

이에 대해, 본 논문에서는 ADSL 및 VDSL 시스템의 권고 인(오류정정 능력(t) = 0-8)을 만족하는 RS 부호를 한 조의 RS 부호기 및 복호기로 대체할 수 있는 설계구조를 제시한다. 제시된 구조는 8조의 RS 부호가 갖는 면적의 약 23%만으로, $t=8$ 인 RS 부호에 대해 약 6%의 추가 면적으로 설계할 수 있다.

ABSTRACT

Nowadays, much work is doing in the DSL modem which transmits high speed data with existing telephone line. As the telephone line is band limited and worse impulse characteristics to apply for high speed data transmission, DSL modem needs complex modulation methods and robust channel coding algorithm. Therefore ADSL system and VDSL system have been recommended to adopt Reed-Solomon code as a channel coding.

In this paper, we shall describe the effective architecture of RS codec which is satisfied to the recommendation of ADSL and VDSL. This architecture of RS codec is programmable, which has variable error correcting capability.

I. 서 론

최근 디지털 통신 기술의 급속한 발전으로 기존의 전송선로를 통하여 고속 데이터를 전송할 수 있는 모뎀 개발에 열띤 경쟁이 이루어지고 있다. 이러한 고속 데이터 전송 시스템에는 최대 10 Mbps 급의 ADSL(Asymmetric Digital Subscriber Lines)과 최대 50 Mbps급의 VDSL(Very high-speed DSL)을 들 수 있다. 이 중 ADSL은 Multi-carrier 방식을 채택하여 상용화되었으며, VDSL의 경우 single

carrier 방식과 multi-carrier 방식이 결합 중에 있다.

이들 시스템들은 저급의 UTP-3 선로를 사용함으로써 채널로부터 많은 오류가 발생하게 된다. 이러한 오류에 대해 ADSL과 VDSL 시스템에서는 성능 평가기준으로 10^{-7} 의 비트 오류에 6dB margin을 요구한다^[5]. 또한 서비스의 종류와 데이터의 전송속도를 고려하여 오류정정 능력을 가변 할 수 있도록 한다.

ADSL의 경우 DMT 심벌(S) 1, 2, 4, 8, 16개에 대해 각각 패리티 비트 R=0, 2, 4, ..., 14, 16 중

* 전북대학교 전자공학과 부호연구실(itjeong@codelab.chonbuk.ac.kr), ** 한국전자통신연구원 국가보안기술연구소 정보보증연구부
 논문번호 : 010036-0312, 접수일자 : 2001년 3월 12일

하나를 갖는 RS 부호를 사용하도록 권고한다⁴⁾. 그리고 VDSL의 경우에서도 RS 부호의 메시지 비트 K와 패리티 비트 R에 대해 programmable 파라미터를 갖도록 하며, 패리티 비트 R=0, 2, 4, ..., 14, 16을 지원하도록 권고한다⁵⁾. 위와 같은 권고안을 만족하기 위해서는 오류정정 능력이 1, 2, 3, ..., 7, 8비트를 갖는 8조의 RS 부호를 필요로 한다.

현재 상용중인 칩의 경우, 위의 권고안을 만족하고 있으나, N, K, R 등의 파라미터 변화와 reset시 반드시 초기화 과정을 필요로 하고 있다⁶⁾.

이에 대해, 본 논문에서는 위의 초기화 과정 없이 제어신호만으로 권고안을 만족시킬 수 있는 programmable RS 부호의 설계구조를 제안한다. 제안된 구조는 한 조의 RS 부호기 및 복호기에 제어블록을 두었으며, 제어신호에 따라 다양한 오류정정 능력을 갖는다. 이 결과 위의 오류정정 능력을 갖는 8조의 RS 부호가 갖는 면적의 약 23%만으로, t=8인 RS 부호의 면적에 약 6%의 추가 면적으로 programmable RS 부호를 설계할 수 있다.

본 논문의 구성은 제 2장에서 RS 부호의 일반적인 이론을 설명하고, 제 3장에서는 ADSL 및 VDSL 시스템을 위한 제안된 RS 부호의 programmable 설계구조를 제시하고, 그 복잡도를 분석하며, 제 4장에서 결론을 정리한다.

II. RS 부호

RS 코드는 그림 1에서 보듯이 부호기에서 입력 데이터 $d(x)$ 에 CRC 정보가 첨가된 코드워드 $c(x)$ 를 생성한다. 이 코드워드는 채널로 전송되며, 다양한 형태의 잡음으로부터 영향을 받게된다. 복호기에서는 채널을 통과한 수신 데이터 $v(x)$ 를 입력받아 전송선로 등에서 발생한 오류 $e(x)$ 를 제거하여 원래 송신부에서 보낸 데이터를 복원한다.

RS 부호에서는 입력되는 데이터를 부호화하기 위해서 생성다항식을 사용하는데 생성다항식 $g(x)$ 의

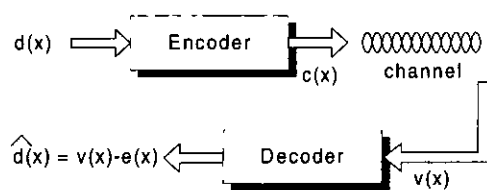


그림 1. RS 디코더의 기능.

차수에 따라 오류정정 능력이 결정된다. 즉, $g(x)$ 의 차수가 $2t$ 라면, 코드워드 중 t 개의 오류를 정정할 수 있다.

d_i 로 표현한 정보 데이터를 다항식으로 표현하면 식(1)과 같다.

$$d(x) = d_0 + d_1x + \dots + d_{k-2}x^{k-2} + d_{k-1}x^{k-1} \quad (1)$$

그리고, 코드워드를 이루는 c_i 의 코드워드 다항식 $c(x)$ 는 식 (2)와 같이 divided by $g(x)$ 회로에 의해서 생성된다.

$$\begin{aligned} c(x) &= x^{2t}d(x) + r(x) \\ r(x) &= R_{g(x)}[x^{2t}d(x)] \\ &= r_0 + r_1x + \dots + r_{2t-1}x^{2t-1} \end{aligned} \quad (2)$$

식 (2)에서 $r(x)$ 는 데이터에 x^{2t} 을 곱한 후 이를 생성다항식 $g(x)$ 로 나눈 나머지이다. 따라서 $c(x)$ 는 $g(x)$ 로 나누어 떨어지고 코드워드 다항식 $c(x)$ 는 생성다항식 $g(x)$ 의 근을 대입하면 항상 '0'이 되며, 이것은 복호기에서 오류를 정정하는데 중요한 정보가 된다³⁾.

위의 생성다항식 $g(x)$ 는 일반적으로 다음과 같이 정의한다.

$$\begin{aligned} g(x) &= \prod_{i=0}^{2t-1} (x + \alpha^i) \\ &= (x + \alpha^0)(x + \alpha)(x + \alpha^2) \dots (x + \alpha^{2t-2})(x + \alpha^{2t-1}) \end{aligned} \quad (3)$$

여기서, α 는 원시다항식 $p(x)$ 의 원소이며, 생성다항식 $g(x)$ 는 근 α^i 를 갖는 식 (3)과 같이 전개된다³⁾.

III. DSL 시스템에서 RS 부호

ADSL 시스템과 VDSL 시스템에서는 전송률과 서비스의 종류에 따라 표 1과 같이 다양한 오류정정 능력($t=R/2$)을 갖도록 하고 있다.

표 1. ADSL 및 VDSL RS 부호의 파라미터⁴⁾⁵⁾.

파라미터	ADSL	DMT VDSL
패리티 비트 (R)	R=0, 2, 4, 6, 8, 10, 12, 14, 16	R : ADSL과 동일
DMT 심벌/코드워드 (S)	S-1, 2, 4, 8, 16	코드워드(N) : to 255 바이트

표 1에서 보듯이 코드워드 바이트와 패리티 바이트는 가변구조 또는 programmable 구조를 가져야함을 알 수 있다. 그리고 이들 ADSL 및 VDSL 시스템에서 사용되는 RS 코드의 심벌은 각각 8비트로 구성되며, 원시다항식 $p(x) = x^8 + x^4 + x^3 + x + 1$ 에 의해 생성된 $GF(2^8)$ 의 원소들이다^{[4][5]}.

이에 대해, 본 논문에서는 이들 조건을 만족할 수 있는 programmable RS 부호를 제안하여 설계한다.

1. Programmable RS 부호의 개념

RS 부호는 메시지를 부호화하기 위해 생성다항식 $g(x)$ 를 사용하며, 그의 차수는 오류정정 능력(t)의 2배인 $2t$ 와 같다. 따라서, DSL 시스템에서와 같이 여러 종류의 t 에 응용하려면 각 t 에 따른 $g(x)$ 가 필요하게 된다. 각 t 에 대한 $g(x)$ 는 식 (3)으로부터 구할 수 있다.

표 2. t 에 따른 생성다항식의 파라미터.

t	$a^{\#}$	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
1		.	.														
2													
3											
4									
5								
6							
7						
8					

여기서 식 (3)의 소괄호 안에 있는 $a^0, a^1, a^2, \dots, a^{14}, a^{15}$ 등의 파라미터는 복호기의 복호과정에서 필요로 하며, 이를 전개하였을 때 $a^{120}, a^{104}, a^{107}, \dots, a^{25}, a$ 등의 파라미터는 부호기의 부호과정에서 필요로 함을 알 수 있다. 그리고 식 (3)에서 소괄호 안의 파라미터들은 표 2에서와 같이 t 가 증가함에 따라 반복해서 사용됨을 알 수 있다.

따라서 표 2의 생성다항식의 파라미터들을 적절하게 공유하도록 한다면, 여러 조의 RS 복호기를 한 조의 RS 복호기로 대신할 수 있게 된다. 예를 들어, t 가 8일 때의 생성다항식($g_2(x) = g_{16}(x)$)은 a^0 에서 a^{15} 의 파라미터를 사용하고 있기 때문에 t 가 1~7인 생성다항식($g_2(x) \sim g_{14}(x)$)의 파라미터들은 $t=8$ 일 때의 파라미터들을 공유하여 사용할 수 있다.

부호기에서는 a^{120} 에서 a 과 같은 파라미터를 곱

하는 부분만 다를 뿐 전체적인 회로의 구조는 어느 생성다항식을 사용하나 모두 같기 때문에 a^{120} 에서 a 까지의 파라미터를 곱하는 부분만을 전부 설계하고 이 중 필요한 값만 취하여 공유하도록 설계할 수 있다.

2. Programmable RS 부호기

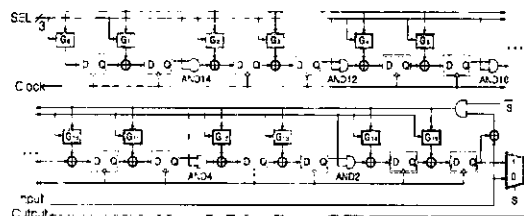
본 논문에서 제시하는 programmable RS 부호기는 권고 안에서 오류정정 능력이 가장 큰 $t=8$ 일 때의 생성다항식 $g_{16}(x)$ 에 맞게 설계된 일반적인 RS 부호기^[1]에 초기값으로 주어지는 표 3의 제어신호 SEL과 MUX, 스위치를 이용하여 $t=1\sim 8$ 일 때의 모든 생성다항식에 적용할 수 있는 구조를 갖도록 하였다.

표 3. 생성다항식에 따른 제어신호

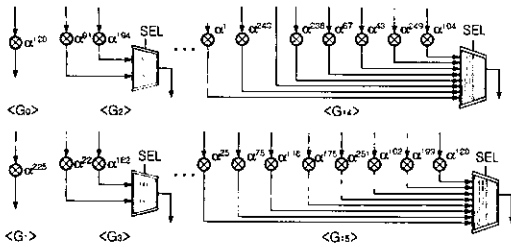
$g_{\#}(x)$	2	4	6	8	10	12	14	16
제어신호(SEL)	000	001	010	011	100	101	110	111

그림 2(a)는 위의 기능을 갖는 programmable RS 부호기의 전체 블록도이다. 블록도의 기본 구성은 일반적인 RS 부호기와 같으나, 제어신호 SEL에 따라 각기 다른 생성다항식의 계수들을 적용해야 하기 때문에 그림 2(b)와 같이 G_0, G_1, \dots, G_{16} 로 표시한 조합회로를 이용하였으며, 플립플롭의 개수 또한 생성다항식에 따라 달라져야 하기 때문에 AND2, AND4, ..., AND14로 표시한 스위치를 갖도록 하였다.

예를 들어, 생성다항식 $g_2(x)$ 를 적용할 경우 AND2에서 AND14까지는 모두 "off" 상태가 되며, 생성다항식 $g_4(x)$ AND2만이, 생성다항식 $g_6(x)$ 에 대해서는 AND2와 AND4만이 "on" 상태가 된다. 그리고 계속하여 생성다항식 $g_{16}(x)$ 에 대해서는 모든 스위치가 "on" 상태가 된다.



(a) Programmable RS 부호기



(b) G의 세부 블록도

그림 2. Programmable RS 부호기의 기능 블록도

그림에서 모든 선은 8비트로 이루어져 있으며, ◎ 과 ⊙은 각각 8비트 단위의 연산과 8개의 플립플롭을 나타낸다.

3. Programmable RS 복호기

그림 3은 일반적인 RS 복호기의 주요기능은 신드롬 계산부, 오류위치 및 평가 다항식 생성부, 오류 크기 계산 및 정정부로 구성되어 있다. 본 논문에서는 부호기에서와 같이 복호기에서도 이들 블록들 각각이 오류정정 능력(t)에 따라 모두 공유될 수 있도록 하였다. 그림 3에서 $R(x)$, $\lambda(x)$ 및 $\mu(x)$ 는 Modified Euclid's Algorithm(MEA)의 초기값으로 각각 x^{2t} , 0, 1값을 갖는다. 그리고 $\Lambda(x)$ 와 $\Omega(x)$ 은 MEA블록의 출력신호로 각각 오류평가 다항식과 오류위치 다항식을 나타낸다.

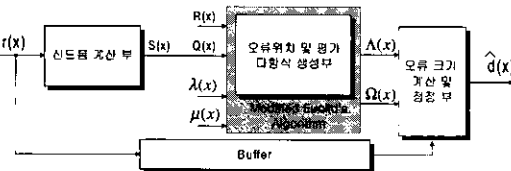


그림 3. RS 부호의 복호기 기능 블록도

3.1. 신드롬 계산 부

본 논문에서 설계한 programmable RS 복호기의 신드롬 계산 부는 일반적인 RS 복호기의 신드롬 계산 부^[11]에 초기값으로 주어지는 제어신호 SEL과 레지스터, MUX, 그리고 신드롬 생성 블록의 끝과 다음 블록의 시작을 알리는 start 제어신호를 이용해 $t=8$ 에서 $t=1$ 까지의 모든 경우에 사용될 수 있도록 하였다.

$$S(x) = \sum_{i=0}^{2t-1} S_i x^i \quad (4)$$

$$S_i = v(a^i) \quad i = 0, 1, \dots, 2t-1$$

여기서, 생성다항식 $g_2(x)$ 로부터 생성된 코드워드는 오류정정을 위해서 식 (4)와 같이 신드롬 값 S_0 과 S_1 이 필요한 반면, $g_{16}(x)$ 에 대해서는 S_0 에서 S_{15} 의 신드롬 값이 필요하다.

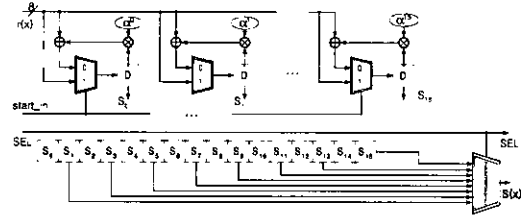


그림 4. Programmable 신드롬 계산 부의 블록도

따라서, 본 논문에서는 그림 4에서와 같이 S_0 에서 S_{15} 까지 신드롬 값 모두를 구한 후, 제어신호 SEL에 따라 원하는 값만을 선택하여 이용하도록 설계하였다.

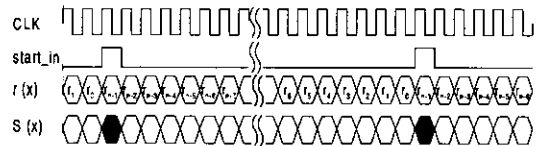


그림 5. 신드롬 계산 타이밍도

그림 5는 신드롬 계산 타이밍도로 start_in 신호는 입력되는 부호어의 첫 번째 바이트에서 high 신호를 갖으며 신드롬 값을 reset시키는 역할을 한다. 그리고 S(x)신호에서 어두운 색으로 구분한 부분이 한 개의 코드워드가 모두 입력된 후 출력되는 유효한 신드롬 값이다. 이 신드롬 값은 그림 4의 아래 부분에 위치한 시프트 레지스터에 입력되어 제어신호 SEL에 따라 차례대로 MUX를 통하여 출력된다.

예를 들어, 생성다항식이 $g_4(x)$ 인 경우 제어신호 SEL 값은 "001"임으로 신드롬 값은 S_3, S_2, S_1, S_0 가 선택되어 출력된다.

3.2. 오류위치 및 평가 다항식 생성 부

신드롬 계산 부에서 생성된 오류에 대한 정보를 갖는 신드롬 다항식으로부터 오류의 위치를 찾는 과정이 필요하다. 오류위치 다항식 $\Omega(x)$ 와 오류평가 다항식 $\Lambda(x)$ 을 생성하기 위한 알고리즘으로는 식 (5)와 같이 역원계산이 필요하지 않아 구현이 용이한 MEA(Modified Euclid's Algorithm)가 사용

된다^[2]. 식 (5)에서 a_i 와 b_i 는 각각 Q 와 R 의 최고 차 항의 계수를 나타내며, 이 알고리즘의 수행이 끝나는 데 $2t$ 번의 반복 계산이 필요하다.

초기화

$$R_0(x) = x^{2t}, Q_0(x) = S(x), \lambda_0(x) = 0, \mu_0(x) = 1, i = 0$$

반복 $i = 0, 1, 2, \dots$

$$l_i = \deg[R_i(x)] - \deg[Q_i(x)] \tag{5}$$

$$\Lambda_i = \begin{cases} 1 & \text{if } l_i \geq 0 \\ 0 & \text{if } l_i < 0 \end{cases}$$

$$R_{i+1}(x) = [\Lambda_i b_i R_i(x) + \bar{\Lambda}_i a_i Q_i(x)] - x^{l_i} [\Lambda_i a_i Q_i(x) + \bar{\Lambda}_i b_i R_i(x)]$$

$$\lambda_{i+1}(x) = [\Lambda_i b_i \lambda_i(x) + \bar{\Lambda}_i a_i \mu_i(x)] - x^{l_i} [\Lambda_i a_i \mu_i(x) + \bar{\Lambda}_i b_i \lambda_i(x)]$$

$$Q_{i+1}(x) = \Lambda_i Q_i(x) + \bar{\Lambda}_i R_i(x)$$

$$\mu_{i+1}(x) = \Lambda_i \mu_i(x) + \bar{\Lambda}_i \lambda_i(x)$$

종료 조건

$$\text{If } \deg[\lambda_{i+1}(x)] > \deg[R_{i+1}(x)]$$

또한 위의 알고리즘을 systolic array 구조를 채용하여 설계할 경우 오류위치 다항식과 오류평가가 다항식의 계수를 구하는 시간을 단축시킬 수 있다^[2].

그림 6은 systolic array 구조를 갖는 오류위치 및 평가 다항식의 생성블록도로 programmable 구조를 나타내고 있다^[1].

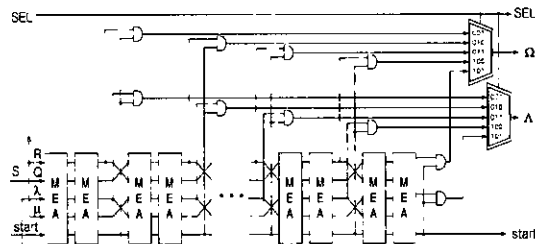


그림 6. 오류위치 및 평가다항식 생성 블록도

그림 6에서 전체 블록의 크기는 신드롬 생성 블록과 마찬가지로 $g_{16}(x)$ 에 맞추어 MEA 블록을 $2t$ ($t=8$)개인 16개로 설계한 후, 제어신호 SEL에 의해 $g_{16}(x)$ 에서 $g_2(x)$ 까지 적용할 수 있는 구조이다. 만약 t 가 8일 때에는 16개의 MEA 블록을 거친 후에 오류위치 다항식과 오류평가가 다항식의 계수 값이 구하여지고, t 가 7일 때에는 14개 그리고 t

가 1일 때에는 2개의 MEA 블록을 거친 후 값이 구해진다. 따라서, 오류정정 능력 t 에 대해 $2t$ 개의 M.E.A 블록들을 거친 값은 제어신호 SEL에 의해 선택되어 원하는 값만을 취하도록 하였다.

이로 인해, 오류위치 및 평가다항식 생성 블록에서는 입력이 가해진 후 M.E.A 블록들을 거치는 $2t$ 클럭의 시간지연과 Q 와 Λ 의 계수 값들이 출력되는데 1클럭의 지연이 있게 된다.

3.3. 오류크기 계산 및 정정 부

오류크기 계산 및 정정 부에서는 오류위치 및 평가 다항식 생성부에서 계산된 오류위치 다항식과 오류평가가 다항식을 이용하여 그림 7과 같이 오류위치 및 오류의 크기를 계산하고, 이를 수신된 코드워드에 더함으로써 오류를 정정한다.

일반적으로 오류의 위치를 찾기 위해서 Chien search 방법을 사용되며, 오류크기를 계산하기 위해서 Forney 알고리즘이 사용된다.

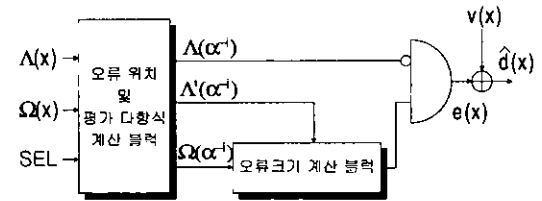


그림 7. 오류평가 및 정정 부의 블록도

Forney 알고리즘은 오류 위치 다항식의 값이 '0'인 경우에 오류가 발생한 위치에서의 오류 크기를 계산한다.

그림 8은 오류위치 및 평가 다항식 계산 부에서 계산된 오류위치 다항식(Ω)과 오류평가가 다항식(Λ)의 계수와 제어신호 SEL을 이용하여 오류정정 능력에 따라 동작할 수 있도록 한 구조이다.

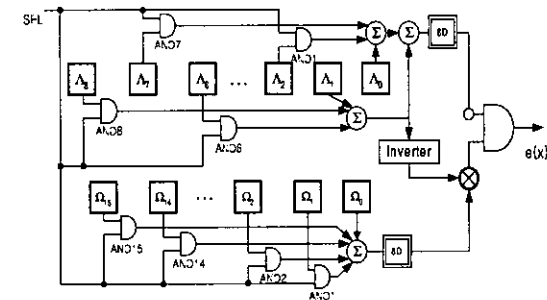


그림 8. 오류위치와 크기 계산 블록도

오류정정 능력 t 에 따라 t 가 1이면 $\Lambda_1, \Lambda_0, \Omega_1, \Omega_0$ 이 필요하고, t 가 2이면 $\Lambda_2, \Lambda_1, \Lambda_0, \Omega_3, \Omega_2, \Omega_1, \Omega_0$ 이 필요하고, t 가 8이면 $\Lambda_8, \Lambda_7, \dots, \Lambda_0, \Omega_{15}, \Omega_{14}, \dots, \Omega_0$ 이 필요하다. 그리고 그림에서 AND회로는 오류정정 능력 t 에 따라 Λ, Ω 의 계수가 선택되도록 하는 스위치역할을 수행하며, 이는 제어신호 SEL에 의해 조정되도록 하였다.

위와 같은 방법으로 설계한 programmable RS 부호의 복잡도를 $t=8$ 일 때와 t 가 1에서 8에 해당하는 RS 부호 각각을 합한 복잡도와 비교하여 표 3, 표 4로 정리하였다.

표 3. 부호기에서 복잡도 비교

연산자 \ 구분	$\sum_{i=1}^8$	t=8	Programmable RS	비 고
덧셈기	72	16	16	
상수곱셈기	72	16	72	xor 30/1곱셈기
D f/f	72	16	16	
AND	8	1	15	
OR	0	0	7	
Invertor	0	0	9	
2x1 MUX	8	1	1	
합 계	232	50	136	

표 4. 복호기에서 복잡도 비교

연산자 \ 구분	$\sum_{i=1}^8$	t=8	programmable RS	비 고
덧셈기	248	52	52	
상수곱셈기	188	41	41	xor 30/1곱셈기
곱셈기	404	89	89	
D f/f	412	90	104	
2x1 MUX	72	16	16	
8x1 MUX	0	0	6	
AND	116	25	25	
invertor	8	1	1	
Register	116	25	25	단위 (byte)
합 계	1564	339	359	

표에서 보듯이 programmable RS 부호의 경우 $t=8$ 일 때와 복잡도에 있어 큰 차이 없이 여러 가지 오류정정 능력을 갖음을 알 수 있다.

IV. 결론

본 논문에서는 ADSL 시스템 및 VDSL 시스템에서 요구되는 다양한 오류정정 능력을 RS 부호를 하나의 RS 부호로 만족할 수 있도록 programmable RS 부호의 부호기 및 복호기의 구조를 제시하였다.

일반적인 RS 부호를 이용하여 ADSL, VDSL 시스템의 권고 안을 만족하기 위해서는 8조의 RS 부호를 사용하여야 한다. 그러나 이를 8조의 RS 부호의 기능은 1조의 RS 부호에 오류정정 능력에 따라 적절하게 동작할 수 있는 제어회로를 부가함으로써 간단하게 설계될 수 있었다. 그리고 programmable RS 부호와 8조의 RS 부호와 복잡도를 비교하였으며, 그 결과 패리티 비트가 가장 큰 RS 부호의 복잡도에 약간의 제어회로를 추가함으로써 8조의 RS 부호의 복잡도를 대신할 수 있었다.

본 논문에서는 ADSL 시스템 및 VDSL 시스템에서 요구되는 다양한 오류정정 능력을 RS 부호를 하나의 RS 부호로 만족할 수 있도록 programmable RS 부호의 부호기 및 복호기의 구조를 제시하였다.

일반적인 RS 부호를 이용하여 ADSL, VDSL 시스템의 권고 안을 만족하기 위해서는 8조의 RS 부호를 사용하여야 한다. 그러나 이를 8조의 RS 부호의 기능은 1조의 RS 부호에 오류정정 능력에 따라 적절하게 동작할 수 있는 제어회로를 부가함으로써 간단하게 설계될 수 있었다. 그리고 programmable RS 부호와 8조의 RS 부호와 복잡도를 비교하였으며, 그 결과 패리티 비트가 가장 큰 RS 부호의 복잡도에 약간의 제어회로를 추가함으로써 8조의 RS 부호의 복잡도를 대신할 수 있었다.

참고 문헌

- [1] 송상섭 외 4, "DAVIC 표준의 VDSL 모델 TC 부 오류정정 알고리즘 설계," 한국통신학회 추계 종합학술대회, 1997. 11
- [2] Howard M. Shao and Irving S. Reed, "On the VLSI design of pipeline Reed-Solomon decoder using systolic arrays," *IEEE Transaction on Computer*, Vol. 37, Oct. 1988.
- [3] Stephen B. Wicker, *Error Control Systems for Digital Communication and Storage*. Prentice Hall, 1995.
- [4] ITU COM 15-131-E, "Draft New Recommen-

ation G.992.1: Asymmetrical Digital Subscriber Line(ADSL) Transceiver-For Approval," March, 1999.

- [5] T1E1.4/2000-152, "Very-high-speed Digital Subscriber Lines(VDSL) Metallic Interface, Part 1: Functional Requirements and Common Specification," May, 2000.
- [6] www.aha.com, "12.5 Mbytes/sec Reed Solomon Error Correction Device" aha = "Advanced Hardware Architectures".

송 상 섭(Sang-seob Song) 정회원



1978년 2월 : 전북대학교
전기공학과(공학사)
1980년 2월 : KAIST 전기 및
전자공학과(공학석사)
1990년 2월 : 캐나다 마니토바
대학교 전기컴퓨터공학과
(공학박사)

1981년 3월~현재 : 전북대학교 전자정보공학부 교수
<주관심 분야> HomePNA, DSL 모뎀, 채널부호,
기가비트이더넷

정 인 택(In-taek Jeong) 정회원



1994년 2월 : 순천대학교
전자공학과 학사
1997년 2월 : 전북대학교
전자공학과(공학석사)
2001년 8월 : 전북대학교
전자공학과(공학박사)

<주관심 분야> DSL 모뎀, 채널부호

이 승 수(Seung-soo Lee) 정회원



1995년 2월 : 전북대학교
전자공학과(공학사)
1997년 2월 : 전북대학교
전자공학과(공학석사)
2000년 8월 : 전북대학교
전자공학과(박사수료)

2001년 3월~현재 : 한국전자통신연구원 국가보안기
술연구소

<주관심 분야> 기가비트이더넷, 정보보증