

결합 보간 필터를 이용한 QSPK Clock Recovery 회로

정회원 신은정*, 장일순*, 김응배*, 조경록**

A QPSK clock recovery circuit based on a combined filter

Eun-jeong Shin*, Il-soon Jang*, Eung-bae Kim*, kyoung-Rok Cho** *Regular Members*

요약

본 논문에서는 클럭 동기 회로에 사용되는 다차 함수 형태의 결합 필터를 선형 근사화 하는 알고리즘을 제안하고 이를 하드웨어로 구현한다. 정합 필터와 보간필터에 의한 클럭 동기회로는 수신기를 전 디지털 회로를 구현하기 위해 선호되지만 계산량이 증가하는 단점이 있다. 본 논문에서는 정합 필터의 임펄스 응답을 갖는 결합 보간 필터를 구현하고, base 함수의 적용을 선형 근사화 하여 필터의 계산량을 감소 시켰다. 본 논문에서는 선형 근사화된 결합 보간 필터의 동작을 Matlab을 통한 시뮬레이션과 ALTERA Chip으로 테스트하였다.

ABSTRACT

In this paper, we propose a linearly approximated combined filter aiming minimum hardware size of the clock recovery circuits. Though a combined filter consist of a matched filter and interpolators is adopted for the clock recovery circuits in wholly digital communication systems, it has a defect increasing hardware complexity of circuits. In this paper, to reduce the complexity, we modified the combined filter which has a impulse response of a matched filter. and approximate the high order base function to 1st order linear function. We verify the proposed algorithm with Matlab and implemented to FPGA Chip.

1. 서론

송신기로부터 전송된 데이터를 수신하여 추출하는 과정에 있어서 클럭 동기 회로가 필요하다. 클럭 동기란 입력된 신호의 올바른 신호값 해석을 위해 비트 천이지점을 찾는 것으로 샘플링 위치를 변화시켜 비트 천이 점을 찾는 방식과 고정된 샘플링 간격의 샘플링 신호로부터 비트 천이 지점의 보간 신호를 생성하여 찾는 방식이 있다. 샘플링 위치를 변화시켜 비트 천이지점을 찾는 방식은 NCO (Numerically Controlled Oscillator)에서 발생하는 샘플링 주파수를 변화시키기 위해 샘플링 주파수보다 빠른 클럭이 NCO를 제어해야하는 단점이 있다. 보간 신호에의한 클럭 동기 회로는 순수 디지털

방식으로 고정된 주파수로 샘플링된 신호는 보간 필터에서 올바른 비트 천이지점에서의 신호 값으로 복원된다. 이 방식은 수신기의 전디지털 회로 구현과 샘플링 주파수만으로 수신기의 동작이 제어될 수 있는 장점이 있지만 실시간 입력되는 신호를 처리하는 보간 신호생성을 위한 필터의 계산량 증가 문제가 발생한다.

고정된 간격으로 샘플링된 입력 신호로부터 특정 위치에서 신호 값의 복원은 sinc 함수의 FIR 필터만으로 가능하다. 그러나 클럭 동기 회로는 비트 천이지점을 찾기 위해 동기화가 이루어지기 전까지 변화되는 위치에서 신호값 복원을 필요로 한다. 따라서 보간 필터는 sinc 함수의 임펄스 특성과 샘플링된 신호사이($0 \leq t \leq T_{sample}$)에서 동기된 신호 값을

* ETRI(우선방송기술연구소)

** 충북대학교 정보통신 공학과 통신회로 및 시스템 연구실(ejshin@hbt.chungbuk.ac.kr),

논문번호: 00431-1103, 접수일자: 2000년 11월 3일

복원할 수 있어야 한다.

보간 신호에 의하여 실시간 적인 신호의 클럭 동기화를 이루는 방식에는 선형 보간 함수를 이용하는 경우와 다차의 보간 함수를 Farrow 구조에 적용하여 계산하는 방법이 있다. 선형적인 보간 함수는 계산량은 적지만 정확도가 떨어지며 Farrow 구조를 이용한 보간 필터는 보간 함수의 항이 증가함에 따라 계산량 증가문제가 심각하게 발생한다.

Farrow 구조는 실시간 입력으로부터 고속의 계산을 수행하고 다차 함수를 하드웨어적으로 쉽게 구현할 수 있는 장점이 있다. 일반적으로 보간 필터의 계수는 cubic Lagrange 보간법에 의하여 얻어지고 있으나^{[2][3]}, cubic Lagrange 보간법을 Farrow 구조에 적용하면 보간 함수의 차수에 따라 FIR필터의 계수와 단수, base 함수에 적용하는 곱셈블록이 증가한다.

본 논문에서는 클럭 동기가 이루어진 신호의 여러 값 증가를 최소화하고 보간 필터의 하드웨어적인 크기를 줄이는데 주안점을 두어 보간 필터계수를 Lagrange 보간법이 아닌 정합 필터의 임펄스로부터 추출하였으며 다차 함수의 차수에 따라 증가하는 Farrow 구조의 곱셈 블럭을 최소화하기 위해 base 함수를 선형 근사화 하는 알고리즘을 제안하고 이를 이용하여 클럭동기 회로를 설계 검증한다.

본 논문은 II장에서 클럭 동기 회로의 구조, III장에서 결합 보간 필터 계수의 추출, IV장에서 선형 근사화된 함수의 특징과 성능 비교, V장에서는 결합 보간 필터를 MATLAB, ALTERA Chip으로 테스트하여 검증하였다. VI장에서는 결론을 맺는다.

II, 클럭 동기 회로의 구조

디지털 시스템에서는 수신된 신호의 올바른 해석을 위해 고정된 주파수로 샘플링된 수신 신호로부터 비트 천이지점에서의 신호값 계산이 요구된다. 비트 천이지점의 거리가 입력 신호로부터 고정되어 있다면 FIR 필터만으로도 복원이 가능하지만 클럭 동기 회로는 식(1)을 만족하는 거리의 신호값을 복원할 수 있어야 한다^{[2][3]}.

$$kT_i = (\mu + m)T_s \quad 0 \leq \mu \leq 1 \quad (1)$$

식 (1)을 만족하는 위치에서 신호 값을 복원하기 위해서는 식(2)와 같은 특성을 갖는 FIR필터가 요구된다. Farrow 구조를 갖는 필터는 식(2)와 같은 특성을 만족할 수 있는 다차 함수의 적용이 용이하다.

$$\begin{aligned} y(kT_i) &= \sum_{i=-N/2}^{N/2-1} x_m[(m-i+1)T_s] \cdot h_i[(i+\mu)T_s] \\ &= \sum_{i=-N/2}^{N/2-1} x[(m-i+1)T_s] \cdot h_{comb}[(i+\mu)T_s] \end{aligned} \quad (2)$$

QPSK 수신기에서 샘플링된 신호는 In-phase, Q-phase로 복조된 후 수신된 신호의 대역을 제한하고 SNR을 최대로 하기위해 정합 필터를 통과한다. 식 (2)에서는 고정된 간격으로 샘플링된 신호로부터 클럭 동기된 신호의 생성을 보여준다. mT_s 는 고정된 간격의 샘플링 신호, μT_s 는 mT_s 로부터 $(m+1)T_s$ 사이의 비트 천이지점의 거리이다. T_s 간격으로 입력되는 신호로부터 식(1)과 같은 거리에서 신호를 복원하기 위해서는 식 (2)를 만족하는 필터 h_i 가 필요하다. N 은 보간 필터의 주기를 나타내며 $x_m(mT_s)$ 는 $1/T_s$ 로 샘플링된 신호가 정합 필터를 통과한 후의 값이다. h_{comb} 는 결합 보간 필터로 정합 필터의 임펄스 응답으로부터 필터 계수를 추출하였다. h_{comb} 는 입력 $x(mT_s)$ 가 정합 필터가 아닌 h_{comb} 에서 신호의 대역이 제한되고 SNR이 최대가 될 수 있게 한다. 그림 1은 식 (2)에 따라 구현된 결합 보간 필터를 이용한 클럭 동기 회로이다. 고정된 주파수로 샘플링된 신호는 정합 필터와 동일한 임펄스를 갖는

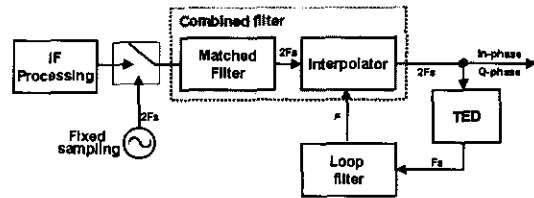


그림 1. 결합 보간 필터를 이용한 클럭 복원 회로

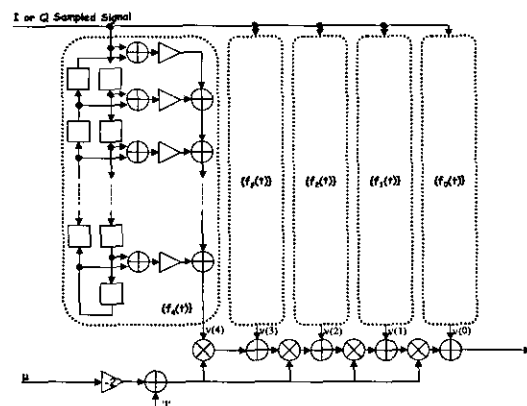


그림 2. 일반적인 Farrow 구조 필터

결합 보간 필터를 통과한 후 TED(Timing Error Detector)에서 에러 값을 추출, 루프필터로 에러 값을 출력한다. TED는 개선된 Gardner 알고리즘을 채택하였으며 루프 필터는 TED에서 입력되는 에러의 평균값을 취한다. 클럭 동기가 이루어지면 TED는 0에 가까운 에러 값을 출력하며 루프필터는 $0 \leq \mu \leq 1$ 사이의 값으로 수렴한다.

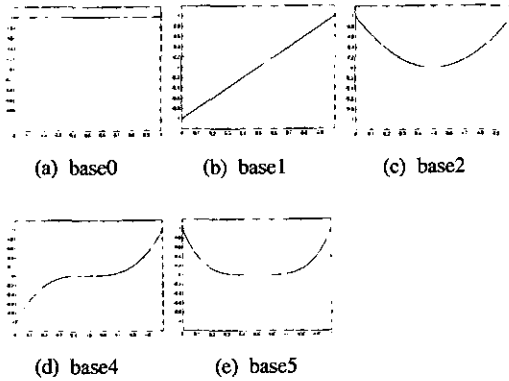


그림 3. μ 에 따른 Base 함수의 변화

III. 결합 보간 필터 계수 추출

Farrow 구조는 다차의 함수를 하드웨어적으로 구현하는데 유연성을 갖는다^{[1][4]}. 이러한 특성을 이용하여 Gardner는 식 (3)과 같이 Farrow 구조를 이용하여 클럭 동기 회로를 구현하였다^{[2][3]}. 여기서 $b(i)$ 은 각 FIR 필터의 출력을 나타내고 μ^i 은 i 차의 다항 함수적용을 가능하게 한다.

$$h_k(t) = h_k(i + \mu_k)T_s = \sum_{l=0}^N b(l) \mu^l \quad (3)$$

식 (4)는 Farrow 구조 필터를 이용한 클럭 동기 회로 함수로 식 (3)의 필터 특성을 만족한다. $x_m(mT_s)$ 는 정합 필터의 출력이며 $C_l(i)$ 는 cubic Lagrange 보간법에 의한 필터 계수이다. $\nu(l)$ 은 각 Farrow 구조내 FIR 필터의 출력, N 은 보간 필터를 구성하는 FIR 필터의 탭수를 의미한다.

Farrow 구조는 식 (4)를 적용하여 다차항 함수를 쉽게 하드웨어적으로 구현할 수 있다^[4]. 그러나 다차항 함수를 적용하기 위해서는 base 함수의 변화 폭이 $0 \leq \mu \leq 1$ 로 국한되어 있을 때 필터 계수 C_l 의 결정이 복잡하게 된다.

$$y(kT_s) = \sum_{i=-N/2}^{N/2-1} x_m(m-i)T_s \sum_{l=0}^N c_l(i) \mu^l \quad (4)$$

$$= \sum_{l=0}^N \mu^l \sum_{i=-N/2}^{N/2-1} c_l(i) x_m(m-i)T_s$$

$$= \sum_{l=0}^N \mu^l \nu(l)$$

where $\nu(l) = \sum_{i=-N/2}^{N/2-1} c_l(i) x_m(m-i)T_s$

Vesma^[1]는 Farrow 구조가 다차항의 함수를 적용하는데 용이함을 이용 μ^l 로 변환하는 base 함수를 식 (5)와 같이 변화시켜 base 함수의 변화 범위를 $-1 \leq f(t) \leq 1$ 로 확장하였다. 그림 2는 식 (5)의 base 함수를 이용한 Farrow 구조의 결합 보간 필터의 구조이며 4차의 다항 함수를 이용, 16탭으로 구성된 5단의 FIR 필터, 4차의 base 함수 적용부로 구성되었다.

$$f(t) = \begin{cases} (2\mu-1)^l, & \text{for } 0 \leq \mu \leq 1 \\ 0, & \text{for otherwise} \end{cases} \quad (5)$$

표 1. 결합 보간 필터 계수

	base 0	base 1	base 2	base 3	base 4
1	-0.0019	0.0063	0.0024	-0.0011	-0.0003
2	0.0082	-0.0019	-0.0054	0.0000	0.0006
3	-0.0082	-0.0065	0.0057	0.0020	-0.0004
4	0.0077	0.0186	-0.0004	-0.0042	-0.0005
5	0.0077	-0.0318	-0.0178	0.0024	0.0019
6	-0.0784	-0.0180	0.0341	0.0102	-0.0009
7	0.0784	0.1821	-0.0428	-0.0109	-0.0031
8	0.4872	0.1538	-0.0611	-0.0143	0.0027
9	0.4872	-0.1538	-0.0611	0.0143	0.0027
10	0.0784	-0.1821	0.0428	0.0109	-0.0031
11	-0.0784	0.0180	0.0341	-0.0102	-0.0009
12	0.0077	0.0318	-0.0178	-0.0024	0.0019
13	0.0077	-0.0186	-0.0004	0.0042	-0.0005
14	-0.0082	0.0065	0.0057	-0.0020	-0.0004
15	0.0082	0.0019	-0.0054	-0.0000	0.0006
16	-0.0019	-0.0063	0.0024	0.0011	-0.0003

$$h(t) = \frac{\sin\left(\pi \frac{t}{T_c} (1-a)\right) + 4a \frac{t}{T_c} \cos\left(\pi \frac{t}{T_c} (1+a)\right)}{\pi \frac{t}{T_c} \left(1 - \left(4a \frac{t}{T_c}\right)^2\right)} \quad (6)$$

$$C_l(i) = h\left(t - i \frac{T}{2} - m \frac{T}{5}\right) f\left(t - m \frac{T}{5}\right)^{-1} \quad (7)$$

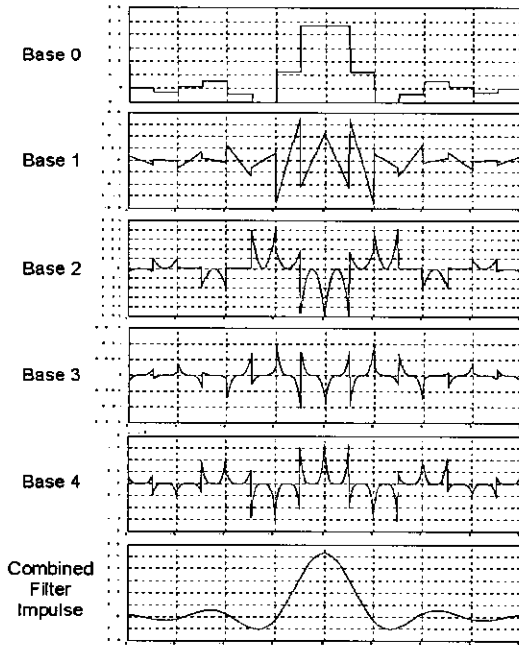


그림 4. 각 FIR 필터의 임펄스 응답

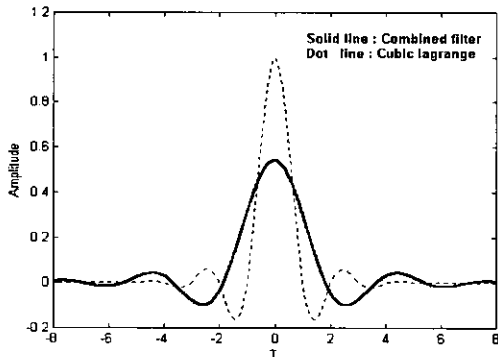


그림 5. Lagrange 보간법과 결합 보간 필터 임펄스 비교

본 논문에서는 $(2\mu - 1)$ 로 변화된 그림 3의 base 함수를 이용하여 식 (6)의 정합 필터 임펄스로부터 식 (7)의 벡터 계산을 통하여 식 (2)의 h_{comb} 를 만족하는 필터 계수 $C_l(i)$ 를 추출하였다. 식 (7)은 spline 함수를 이용하여 식 (5)의 임펄스 응답을 각 주기 별로 5배 샘플링한후의 벡터열과 base 함수의 역함수 벡터의 곱셈으로 결합 보간 필터의 계수를 추출하였다.

보간 필터 계수 $C_l(i)$ 는 base 함수의 차수의 변화에 따라 양함수, 음함수로 식 (8)과 같이 대칭적인 특성을 갖는다. 식 (8)과 같은 특성은 그림 2의 Farrow 구조에 결합 보간 필터 함수를 적용할 때

각 FIR 필터에서 필터 계수와와 곱셈 블록을 folder 형태로 변환, 계산량을 줄일 수 있게 한다.

표 1은 식 (7)을 통하여 계산된 결합 보간 필터 계수이다. 그림 4는 표 1의 필터 계수와 그림 3의 base 함수를 $0 \leq \mu \leq 1$ 과 $-N/2 \sim N/2$ 로 변화시켰을 때 생성되는 각 FIR 필터 출력 단의 합이 정합 필터의 임펄스 응답과 동일함을 보여준다,

$$\begin{cases} c_l(i) = c_l(i-1), & \text{for } l = \text{even} \\ c_l(i) = -c_l(i-1), & \text{for } l = \text{odd} \end{cases} \quad (8)$$

그림 5는 그림 4의 결합 보간 필터의 임펄스 응답과 16 탭의 cubic Lagrange 보간 필터의 임펄스를 비교한다.

IV. 선형근사화된 결합 보간 필터 구조제안

Farrow 구조를 갖는 필터는 l 차의 함수를 하드웨어적으로 적용하기 위해 l 개의 FIR 단과 $l-1$ 개의 곱셈 블록이 파이프 라인으로 구성된다. 이때의 $l-1$ 개의 곱셈 블록은 Farrow 구조를 보간 필터로 적용하는 데 있어서 하드웨어적인 제약을 가져온다.

본 논문에서는 l 차의 다항식을 적용하는데 사용되는 $l-1$ 개의 곱셈블록을 줄이기 위해 그림 7과 같이 base 함수를 선형 근사화 하였다. 그림 6은 2, 3, 4차 base 함수의 변화를 보여준다.

그림 7은 각 base 함수의 차수에 따른 선형 근사화 알고리즘을 보여주며 식 (9)와 같은 μ 의 일차함수인 결합 보간 필터의 출력을 갖는다.

$$y(k_i) = \mu \cdot (\alpha_1 + \alpha_2 + \alpha_3 + \alpha_4) + (\beta_0 + \beta_1 + \beta_2 + \beta_3 + \beta_4) \quad (9)$$

본 논문에서는 결합 보간 필터의 입력을 6비트, 필터 계수를 8비트 곱셈 블록을 15비트로 제한하였으며 필터 출력을 12비트로 양자화 하였다. 그림 8에서는 결합 보간 필터와 같은 수의 양자화 비트 수로 제한된 선형 근사화된 결합 보간 필터의 임펄스 응답과 결합 보간 필터의 임펄스 응답을 비교하여 서로 근사한 임펄스 응답을 확인하였다.

V. 결합 보간 필터의 성능 분석

본 논문에서는 보간신호에 의한 클럭복원 회로를 설계하는데 있어서 MSE의 증가를 최소화하고 가장 큰 문제점인 계산량의 증가를 억제하였다.

보간 필터의 계산량을 줄이기 위해 보간 필터의

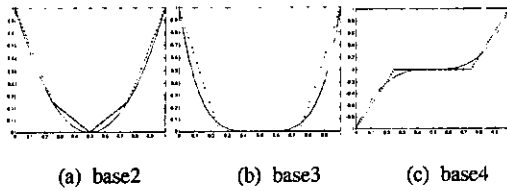


그림 6. 선형 근사화된 base 함수

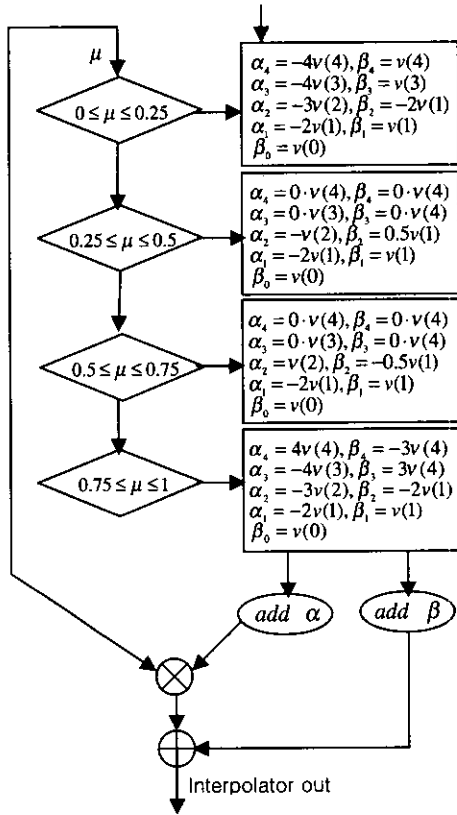


그림 7. 선형 근사화 함수 알고리즘

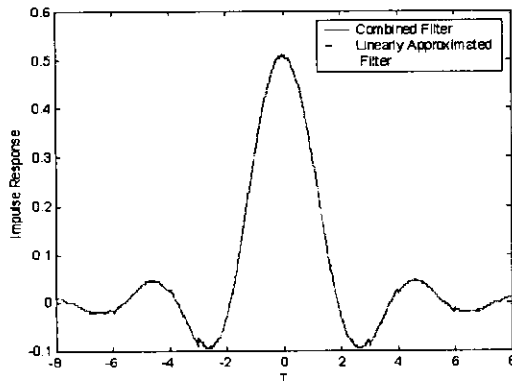


그림 8. 양자화된 임펄스 비교

계수를 정합 필터의 임펄스 응답으로부터 추출하여 보간 필터가 정합 필터의 역할을 동시에 수행하도록 하였으며 Farrow 구조내 함수를 선형 근사화 하여 곱셈 계산을 줄였다.

보간 필터의 성능 평가는 MSE로 측정하였으며 식 (10)과 같다.

$$\epsilon = \frac{1}{N} \sum_{i=1}^N ((h_{comb}(i+\mu)T_s) \cdot x(i+\mu)T_s) - (x(iT_s)h(iT_s))^2 \quad (10)$$

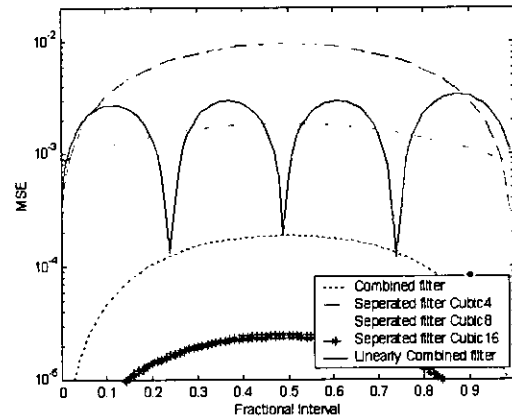


그림 9. MSE 비교

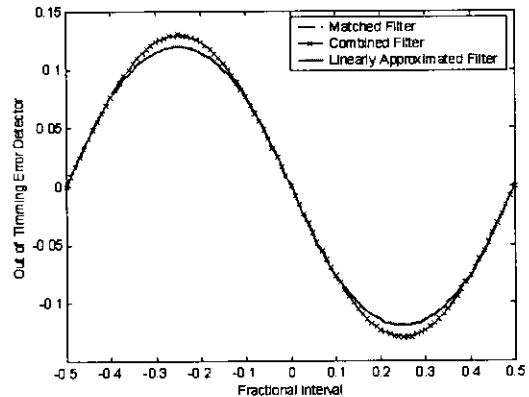


그림 10. S-function 비교

그림 9는 식 (10)을 이용한 4, 8, 16차의 cubic Lagrange 보간 필터와 결합 보간 필터, 선형 근사화된 결합 보간 필터의 MSE를 보여준다. 각각의 cubic Lagrange 보간 필터는 16탭의 선형하는 정합 필터를 통과한후의 신호값을 비교하였다. 그림 9에서 16탭의 cubic Lagrange 보간 필터와 결합 보간 필터의 MSE를 비교하면 결합 보간 필터의

MSE 값이 더 크게 관측되었으나 16탭의 cubic Lagrange 보간 필터를 구현하기 위해서는 16탭의 FIR 필터 16단과 15개의 곱셈 블록이 필요하며 보간 필터 이전에 16탭의 정합 필터가 요구된다. 그러나 본 논문에서 구현된 결합 보간 필터는 정합 필터의 임펄스 응답을 4차 함수로 표현 16탭의 FIR 필터 5단과, 4개의 곱셈기로 구현이 가능하다.

그림 10은 rolloff 0.2의 정합 필터와 결합 보간 필터, 선형 근사화된 결합 보간 필터의 타이밍 함수를 보여준다. 타이밍 검출기는 -0.25~0.25에서 타이밍 함수의 기울기가 클수록 우수하다. 그림 10은 정합 필터, 결합 보간 필터가 같은 기울기를 갖으며 0.25에서 타이밍 함수의 크기차이가 있지만 선형 근사화된 결합 보간 필터도 타이밍 함수의 기울기가 같음을 보여준다.

그림 11, 그림 12는 결합 보간 필터와 선형 근사화된 결합 보간 필터의 양자화 비트수와 SNR에 따른 MSE 비교

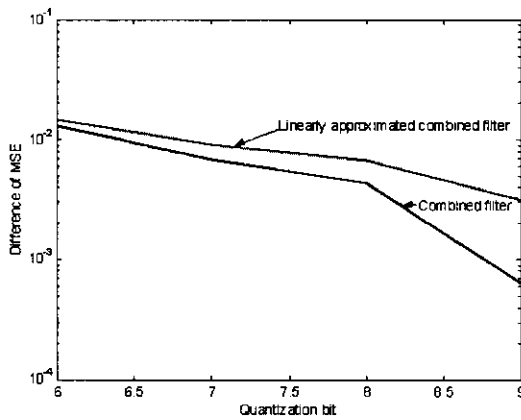


그림 11. 양자화 비트수에 따른 MSE 비교

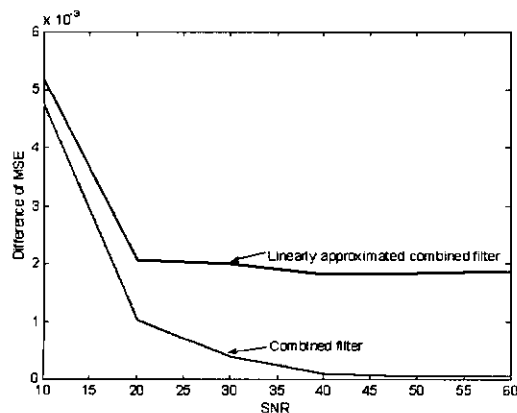


그림 12. SNR에 따른 MSE 비교

른 MSE의 변화를 보여준다. 선형 근사화된 결합 보간 필터는 SNR과 양자화 비트수의 변화에 따른 MSE 증가율의 변화가 작다. 본 논문은 rolloff 0.2, SNR 20dB, 입력 6비트, FIR 필터 계수 8비트, 15비트 곱셈기의 환경에서 클럭 동기 회로를 구현하였다.

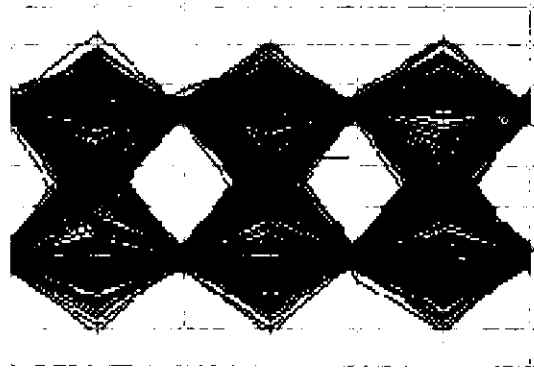


그림 13. Eye-pattern 측정 결과

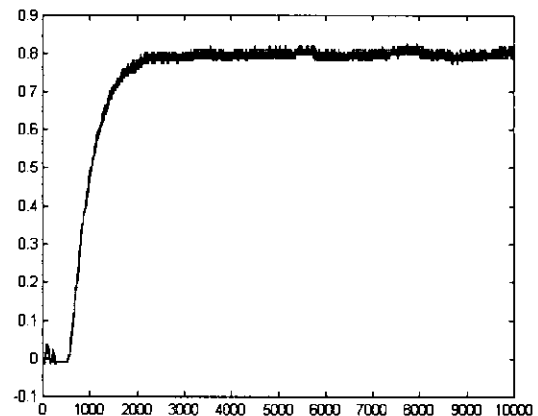


그림 14. 루프필터 출력

본 논문에서는 선형 근사화된 결합 보간 필터를 VHDL로 코딩한후 ALTERA 칩을 이용하여 검증하였으며 송신측 컴퓨터에서 rolloff 0.2의 필터를 통과한 신호에 20 dB의 잡음을 첨가하여 ALTERA 칩에 전송하고 ALTRA 칩을 통하여 동기화된 신호를 수신측 컴퓨터에서 eye-pattern으로 측정하였다. 그림 13는 μ 가 0.75일때 수신측 컴퓨터에서 관측한 eye-pattern을 그림 14는 루프필터의 타이밍 제어 함수 출력을 보여준다.

VI. 결론

본 논문에서는 보간법에 의한 클럭 복원 회로에 사용되는 Farrow 구조가 다차 함수를 하드웨어적으로 쉽게 적용하는 장점을 이용하여 정합 필터의 임펄스 응답을 갖는 결합 보간 필터를 구현하였으며 다차 함수를 선형 근사화하여 계산량을 줄이고 하드웨어를 감소시키는 새로운 알고리즘을 제안한다. 이는 기존의 Lagrange 보간법이 다차 함수의 차수에 따라 보간 필터의 탭, 단, 곱셈기의 수가 증가하고 정합 필터를 필요로 하여 하드웨어적으로 복잡한 클럭 동기 복원 회로를 구현하는 단점을 보완하였다. 그리고 결합 보간 필터의 다차 함수 적용부를 선형 근사화 하여 Farrow 구조의 복잡도를 줄였으며 이렇게 선형 근사화된 결합 보간 필터를 양자화 하여 하드웨어적으로 구현하였을 때 성능의 유사함을 보였다.

본 논문에서 구현된 선형 근사화된 결합 보간 필터는 Matlab과 VHDL 코딩을 통한 FPGA 테스트로 동작을 검증하였으며 QPSK 방식뿐만 아니라 QAM으로의 확장이 가능하며 보간 필터의 주기와 대역폭, rolloff의 변화가 용이하고 복잡도를 최소화 하여 통신 시스템을 one-chip화 하는 추세에 맞추어 라이브러리로 활용될 수 있을 것이다.

참고 문헌

- [1] J. Vesma, T. Saramaki, and M. Renfors, "Combined matched filter and polynomial-based interpolator symbol synchronization digital receivers," *IEEE International Symposium* vol. 3, pp. 94-97, May 1999.
- [2] F. M. Gardner, "Interpolation in digital modems-part I: fundamentals," *IEEE Trans. Commun.*, vol. 41, pp. 501-507, June 1993.
- [3] L. Erup, F. M. Gardner and R. A. Harris. "Interpolation in digital modems-part II: implementation and performance," *IEEE Trans. Commun.*, vol. 41, pp. 998-1008, June 1993.
- [4] C. W. Farrow "A Continuously variable digital delay element," in Proc. *IEEE Int. Symp. Circuits & Syst.*, Espoo, Finland, pp. 2641-2645, June 1988.

- [5] J. Vesma, T. Saramaki, "Interpolation filters with arbitrary frequency response all-digital receivers," in Proc. *IEEE Int. Symp. Circuits & Atlanta GA*, pp. 68-571, May 1996.
- [6] DAVIC, DAVIC 1.0 Specification Part 08 : Lower Layer Protocols And Physical Interfaces.

신 은 정(Eun-jeong Shin)

정회원



1999년 2월 : 충북대학교
정보통신공학과 공학사.
2001년 2월 : 충북대학교
정보통신공학과 석사과정.
2001년~현재 : 한국전자통신
연구원

<주관심 분야> 통신용 ASIC 설계, 디지털 신호처리, 디지털 통신 시스템

장 일 순(ill-soon Jang)

정회원



1997년 2월 : 충북대학교
정보통신공학과 공학사.
1999년 2월 : 충북대학교
정보통신공학과 공학석사.
2001년 2월 : 충북대학교
정보통신공학과 박사수료

2000년 6월~현재 : 한국전자통신연구원

<주관심 분야> 디지털 신호처리, 디지털 통신 시스템

* 한국통신학회논문지 '00-9 Vol.25 No.9A pp1280 ~ 1289 참조

김 응 배(Eung-bae Kim)



1981년 2월 : 고려대학교
전자공학과 공학사
1983년 2월 : 고려대학교
전자공학과 공학석사
1999년 2월 : 고려대학교
전자공학과 공학박사

1983년 2월~1988년 3월 : 금성전기연구소 연구원

1988년 3월~1989년 11월 : 한국통신진흥(주) 과장

1989년 11월~현재 : 한국전자통신연구원 무선방송기

술연구소 광대역무선멀티미디어팀장
<주관심 분야> 이동통신, B-WLL, IMT-2000, BMWS

조 경 록(Kyoung-rok Cho)

정회원



1977년 2월 : 경북대학교

전자공학과 공학사.

1989년 : 일본 동경대학교

전자공학과 공학석사.

1992년 : 일본 동경대학교

전자공학과 공학박사.

1979년~1986년 : (주)금성사 TV연구소 선임연구원.

1992년~현재 : 충북대학교 정보통신공학과 부교수.

1999년 1월~2001년 1월 : Oregon State University
교환 교수.

<주관심 분야> VLSI 시스템설계, 통신 시스템용 LSI
개발, 고속 마이크로프로세서 설계.